

习题五

5.1 用与非门构成的基本RS触发器和用或非门构成的基本RS触发器在逻辑功能上有什么区别？

答：

与非门组成的基本RS触发器为输入低电平有效器件，或非门组成的基本RS触发器为输入高电平有效器件。

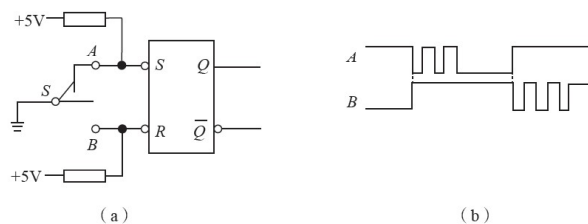
当 $R=S=0$ 时，与非门组成的基本RS触发器状态不定（不允许输入），或非门组成的基本RS触发器状态保持不变。

当 $R=0$ ， $S=1$ 时，与非门组成的基本RS触发器输出置为0状态，或非门组成的基本RS触发器输出置为1状态。

当 $R=1$ ， $S=0$ 时，与非门组成的基本RS触发器输出置为1状态，或非门组成的基本RS触发器输出置为0状态。

当 $R=1$ ， $S=1$ 时，与非门组成的基本RS触发器输出状态不变，或非门组成的基本RS触发器状态不定（不允许输入）。

5.2 分析下图（a）所示的防抖动开关电路，当拨动开关S时，A、B的电压波形如图（b）所示，试画出Q端对应的波形。



答：

图中的RS触发器为一个低电平有效的与非门构成的基本RS触发器，根据基本RS触发器的功能，得到波形图如图5-1所示。

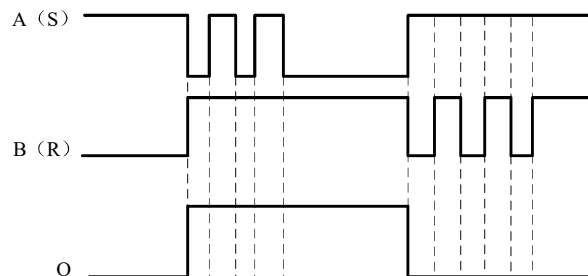
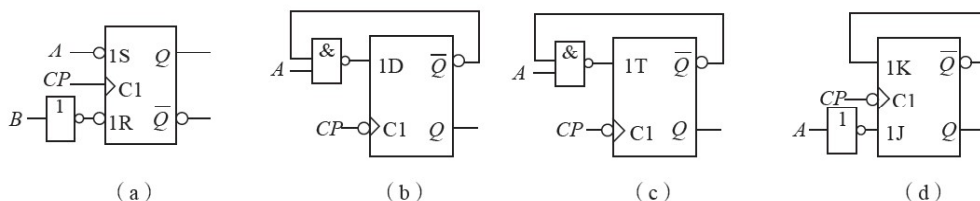


图5-1 Q端对应的波形

【分析】

从图示的触发器逻辑符号可以判断是与非门构成的基本RS触发器，根据基本RS触发器的功能表画出波形图。

5.3 作出下图所示触发器的状态图。



答:

(1) 图(a)中触发器是一个在CP上升沿触发的钟控RS触发器, $R = \bar{B}$, $S = A$, 根据钟控RS触发器的功能, 得到状态图如图5-2(a)所示。(此题需要修改, 去掉RS端的空心圈)

(2) 图(b)中触发器是一个在CP下降沿触发的钟控D触发器, $D = \bar{A} \cdot \bar{Q} = \bar{A} + Q$, 根据钟控D触发器的功能, 得到状态图如图5-2(b)所示。

(3) 图(c)中触发器是一个在CP下降沿触发的钟控T触发器, $T = \bar{A} \cdot \bar{Q} = \bar{A} + Q$, 根据钟控T触发器的功能, 得到状态图如图5-2(c)所示。

(4) 图(d)中触发器是一个在CP下降沿触发的钟控JK触发器, $J = \bar{A}$, $K = \bar{Q}$, 根据钟控JK触发器的功能, 得到状态图如图5-2(d)所示。

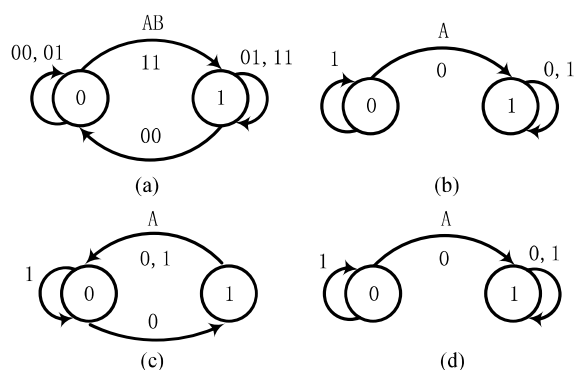
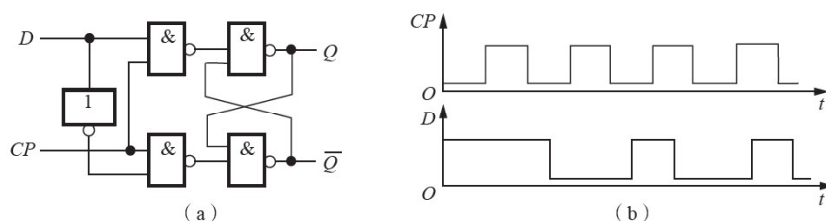


图5-2 状态图

【分析】

触发器有两个稳定状态, 根据触发器输入、类型和功能确定状态转移条件, 注意只画出带钟控信号的触发器逻辑符号而没有特别说明的, 均视作边沿触发的触发器, 若钟控端有空心圈符号为下降沿触发, 无空心圈符号为上升沿触发。

5.4 在下图 (a) 所示的D触发器电路中, 若输入端D的波形如图 (b) 所示, 试画出输出端Q的波形 (设触发器初态为0)。



答:

该逻辑电路中使用了与非门构成的基本RS触发器, 其中:

$$R = \overline{CP \cdot \overline{D}} = \overline{CP} + D$$

$$S = \overline{CP \cdot D} = \overline{CP} + \overline{D}$$

输出波形图如图5-3所示。

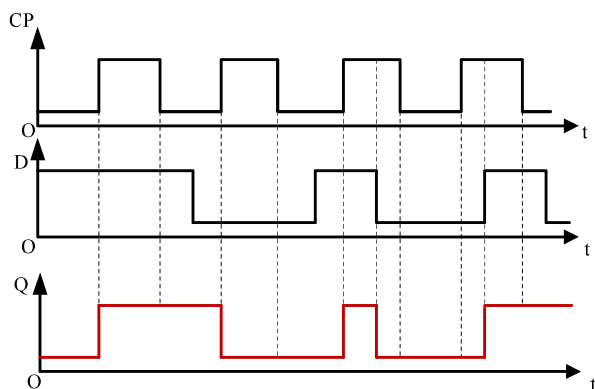
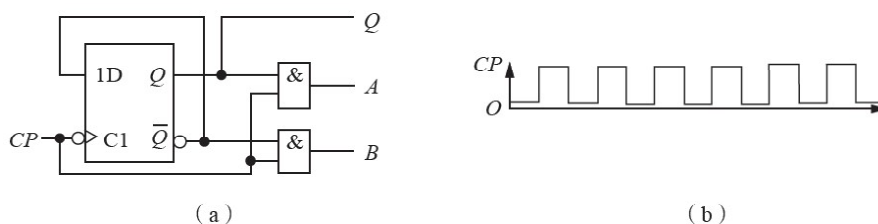


图5-3 Q端输出波形

【分析】

如果直接画出触发器的内部结构, 则按照电路进行分析, 即寻找基本的RS触发器, 然后分析触发器的激励端RS的表达式, 最后通过触发器的类型是与非门还是或非门构成的触发器确定功能。

5.5 分析图 (a) 所示的电路, 试画出在图 (b) 所示的时钟脉冲作用下, A、B 和Q 端的输出波形 (设触发器初态为0)。



答:

电路中有一个下降沿触发的钟控D触发器, 输入 $D = \overline{Q}$, 输出状态Q, $A = CP \cdot Q$, $B =$

$CP \cdot \bar{Q}$ ，据此画出Q、A、B的输出波形图如图5-4所示。

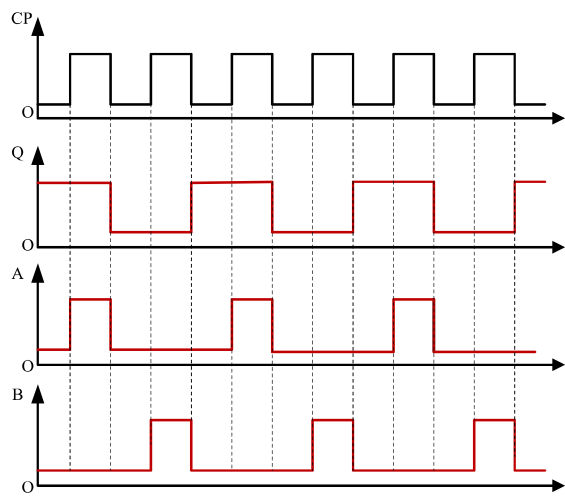
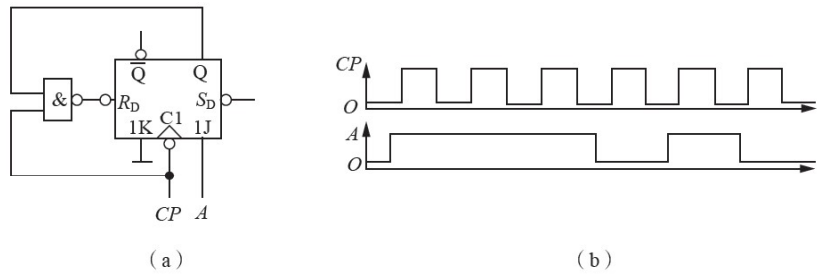


图5-4 Q、A、B输出波形

【分析】

触发器电路的变化过程如下：在CP时钟的下降沿，触发器根据当前D端的输入发生状态的改变，然后状态的改变导致输出A、B以及D端发生相应的变化。

5.6 分析图（a）所示的电路，已知触发器初态为0，时钟脉冲CP和输入信号A的波形如图（b）所示，试画出Q端的输出波形。



答：

该逻辑电路以下降沿触发的钟控JK触发器为主要器件，其中：

$$J = A \quad K = 0 \quad R_D = \overline{CP} \cdot \bar{Q} = \overline{CP} + \bar{Q}$$

R_D 为直接置0端，当 $R_D = 0$ 时触发器状态置为0，画出Q端输出波形图如图5-5所示。

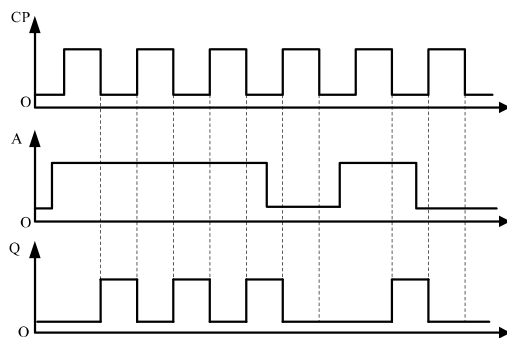


图5-5 Q输出波形

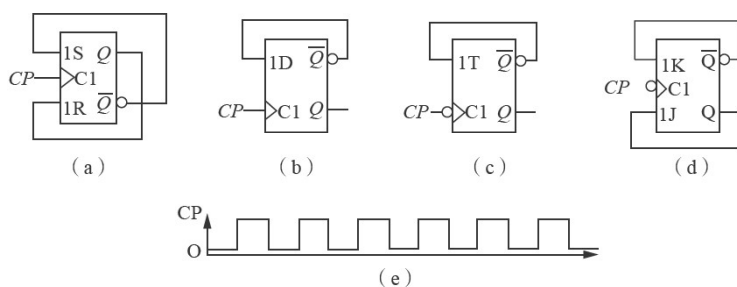
【分析】

(1) 注意空心圈在逻辑电路图的不同位置表示不同的含义：**C1**钟控端的空心圈表示下降沿触发；与非门中与门符号后面的空心圈表示非；**R_D**和**S_D**端的空心圈则表示输入低电平有效。

(2) 一般来说，对于悬空的引脚，如**S_D**端，视作输入高电平1。

(3) **RD**端为直接置0端，只要输入低电平，触发器的状态立刻变为0状态（**Q=0**， **$\bar{Q}=1$** ），不需要时钟端的配合。

5.7 设下图中各触发器初态为0，分别画出各个触发器在CP的作用下的输出波形。



答：

(1) 图a为上升沿触发的钟控RS触发器，输入端**R=Q**，**S=Q $\bar{}$** ，画出输出波形如图5-6所示。

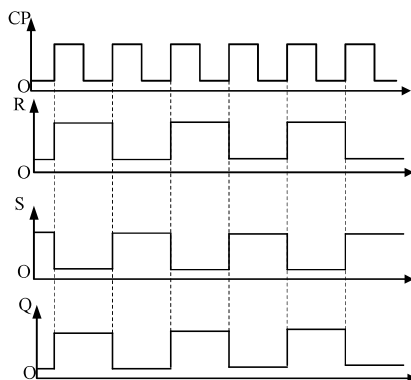


图5-6 触发器波形图

(2) 图b为上升沿触发的钟控D触发器，输入端 $D = \bar{Q}$ ，画出输出波形如图5-7所示。

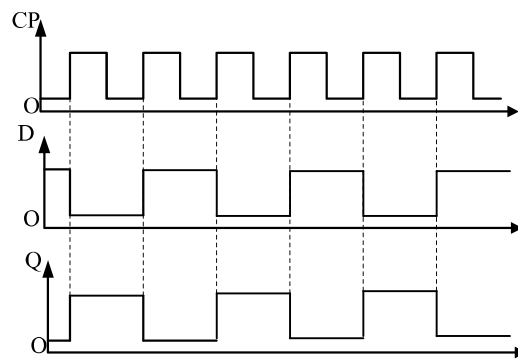


图5-7 触发器波形图

(3) 图c为下降沿触发的钟控T触发器，输入端 $T = \bar{Q}$ ，画出输出波形如图5-8所示。

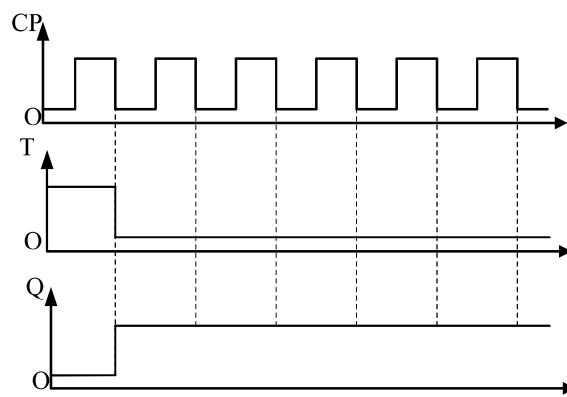


图5-8 触发器波形图

(4) 图d为下降沿触发的钟控JK触发器，输入端 $J = Q$ ， $K = \bar{Q}$ ，画出输出波形如图5-9所示。

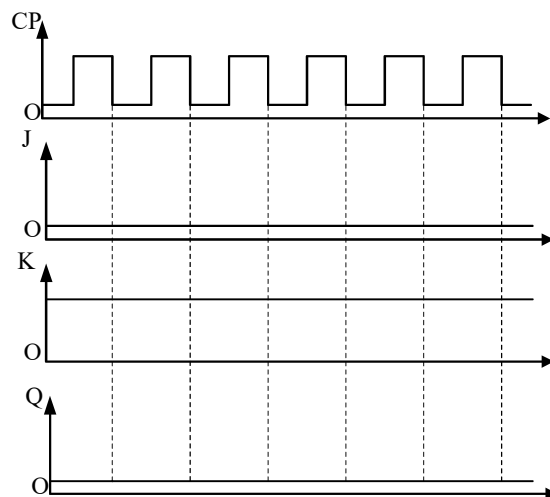
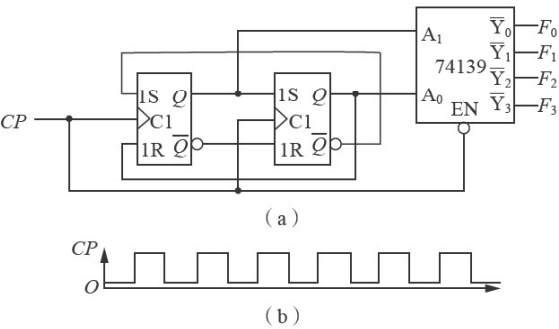


图5-9 触发器波形图

5.8 分析下图所示的逻辑电路，其中74139为低电平译码的2-4线译码器，使能端低电平有效，试画出在CP的作用下，输出端F0~F3的波形（设各触发器初态为0）。



答：

电路由两个上升沿触发的钟控RS触发器和一个74139译码器作为主要器件，假设左侧的钟控RS触发器输出为Q1，右侧的钟控RS触发器输出为Q2，根据电路图可知：

$$\begin{aligned} R1 &= Q2, S1 = \overline{Q2} \\ R2 &= \overline{Q1}, S2 = Q1 \\ A1 &= Q1, A0 = Q2 \end{aligned}$$

74139的使能端EN是低电平有效，意味这CP=0时，74139正常低电平译码。输出波形如图5-10所示。

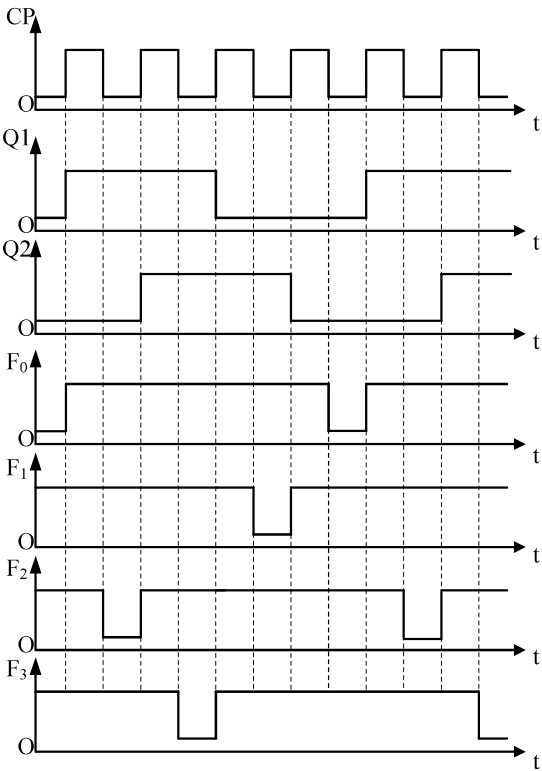


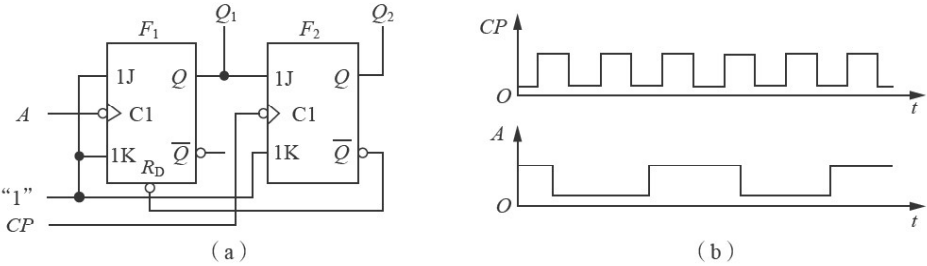
图5-10 输出波形

【分析】

电路可以看作两个部分，一个部分由两个上升沿触发的触发器构成，这两个触发器的

时钟端连在一起，意味着在时钟信号CP的上升沿，两个触发器的状态可以同时发生改变。第二个部分是一个低电平有效的74139译码器，即正常译码时，4个输入信号中与输出信号匹配的输出为低电平，其它输出为高电平。译码器的输入是前一部分两个触发器的状态，同时译码器的控制端EN连接到时钟信号CP，这表明当CP=0的时候，译码器能够正常译码，或者说能够输出低电平信号，当CP=1时，译码器的输出均为高电平。

5.9 分析下图（a）所示的逻辑电路，各触发器初始状态为0，输入信号及CP端的波形如图（b）所示，试画出Q1、Q2的波形图。



答：

两个触发器均为下降沿触发的钟控JK触发器，根据电路图有：

$$\begin{aligned} C1 &= A & J1 &= K1 = 1 & R_D &= \overline{Q_2} \\ C2 &= CP & J2 &= Q1 & K2 &= 1 \end{aligned}$$

画出波形图如图5-11所示。

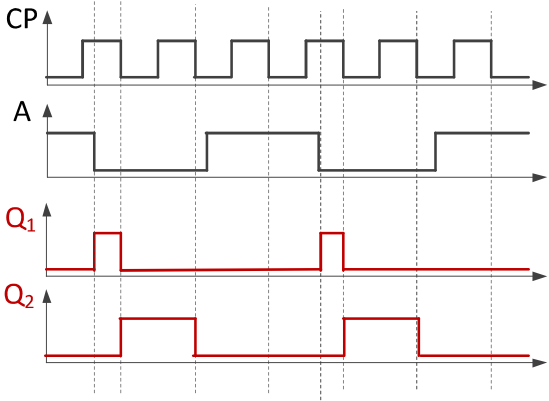
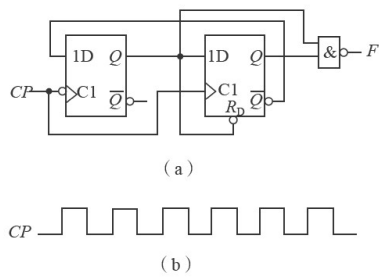


图5-11 波形图

【分析】

电路由两个下降沿触发的钟控JK触发器构成，两个触发器的时钟信号分别为A和CP，这说明电路状态的改变发生在A或者CP的下降沿，根据此时触发器的输入确定触发器的状态。此外，由于第一个触发器的RD端连接了第二个触发器的Q端，因此在第二个触发器处于1状态的时候，第一个触发器被直接置0。

5.10 分析下图 (a) 所示的逻辑电路，设各触发器初态为0，已知CP 端的输入波形如图 (b) 所示，试画出输出端F的输出波形。



答：

两钟控D触发器分别为上升沿触发和下降沿触发，F为两触发器输出结果的与非值。假设下降沿触发的钟控D触发器状态为Q1，上降沿触发的钟控D触发器状态为Q2，有：

$$D1 = \overline{Q2} \qquad D2 = Q1 \qquad F = \overline{Q2 \cdot Q1} \quad R_D = Q1$$

画出波形图如图5-12所示。

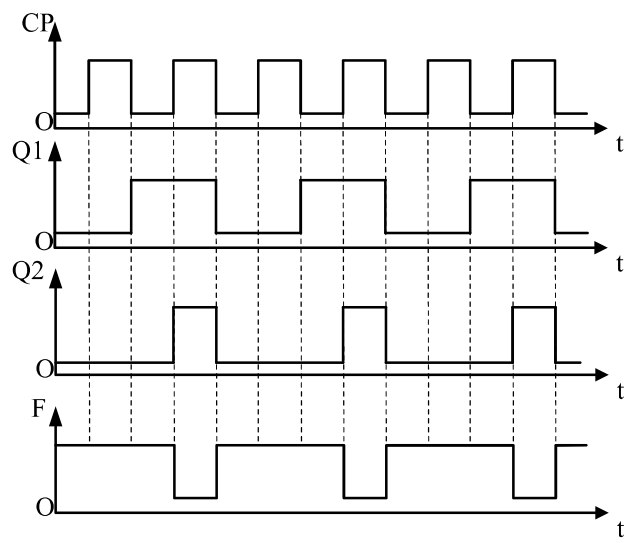
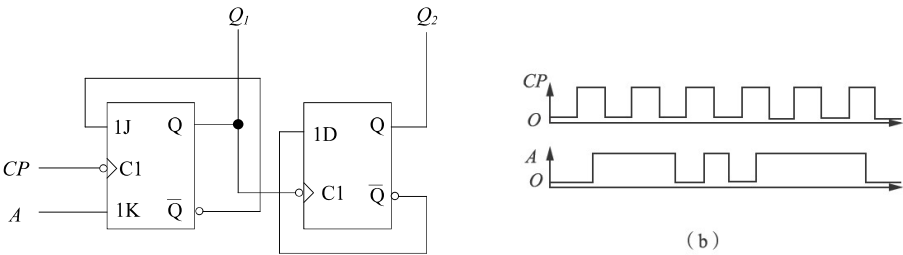


图5-12 波形图

【分析】

本题需要注意的是两个触发器的触发时间不同，一个是上升沿，一个是下降沿，因此在时钟信号CP的上升沿和下降沿均要进行触发器状态的判断。

5.11 分析下图 (a) 所示的逻辑电路，分别画出各个触发器在CP的作用下的输出波形（设各触发器初态为0）。



答：
该逻辑电路由一个钟控JK触发器和一个钟控D触发器组成，两触发器均为下降沿触发。根据电路有

$$J = \overline{Q_1} \quad K = A \quad C1 = CP \quad D = \overline{Q_2} \quad C2 = Q_1$$

画出波形图如图5-13所示。

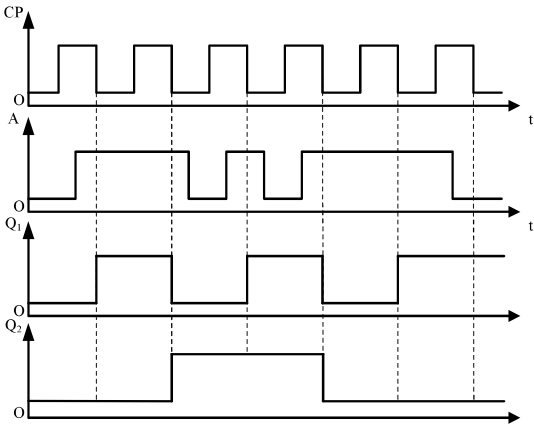
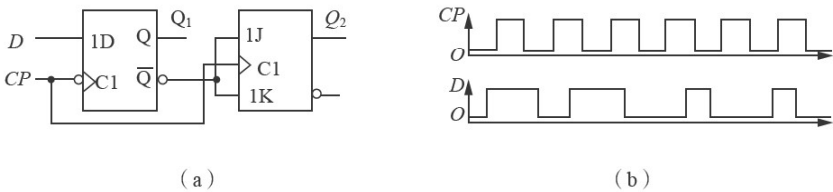


图5-13 波形图

【分析】

本题需要注意的是第二个D触发器的时钟端连接到第一个触发器的Q端，因此第二个触发器状态改变发生在第一个触发器从状态1变为状态0的时刻。

5.12 分析下图 (a) 所示的逻辑电路，分别画出各个触发器在CP的作用下的输出波形（设各触发器初态为0）。



答：
该逻辑电路由一个下降沿触发的钟控D触发器与一个上升沿触发的钟控JK触发器组

成，根据电路有：

$$D1 = D \quad J2 = K2 = \overline{Q1}$$

画出波形图如图5-14所示。

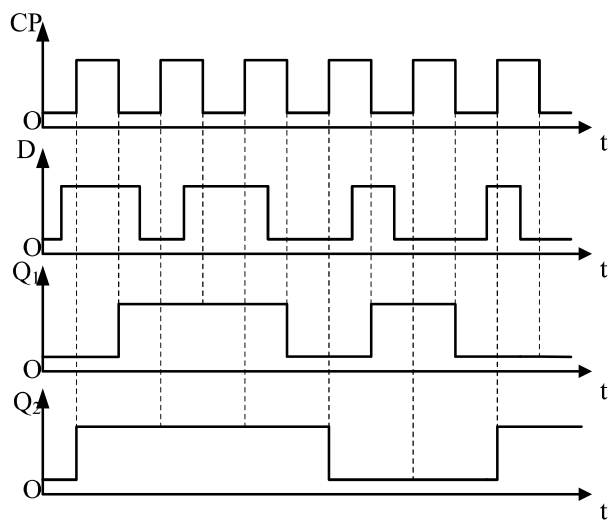
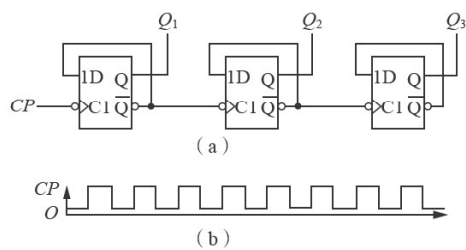


图5-14 波形图

5.13 分析下图 (a) 所示的逻辑电路，设各触发器初始状态为0，试画出在下图 (b) 所示的CP信号作用下，Q1、Q2、Q3 端输出电压的波形。



答：

该逻辑电路由3个下降沿触发的钟控D触发器组成，根据电路有：

$$C1 = CP \quad D1 = \overline{Q1}$$

$$C2 = \overline{Q1} \quad D2 = \overline{Q2}$$

$$C3 = \overline{Q2} \quad D3 = \overline{Q3}$$

画出波形图如图5-14所示。

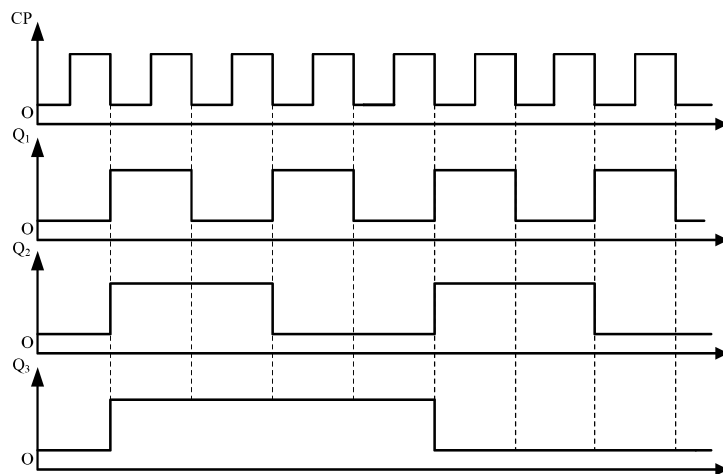
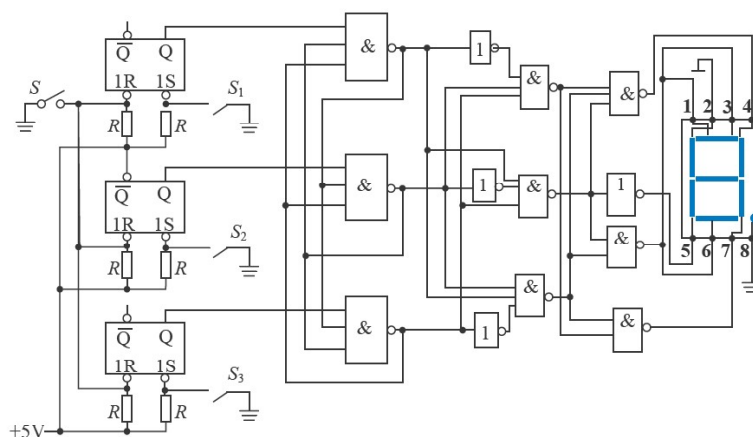


图5-12 波形图

5.14 分析下图所示的3人抢答器电路，其中S为复位键，1号选手、2号选手、3号选手各控制一个按键开关S1、S2、S3，若选手抢答成功，七段显示器显示该选手的号码，同时使得其余人抢答信号失效，试说明其工作原理。



答：

该抢答器由三个基本RS型触发器、三个三输入“与非”门电路和七段显示器组成。

其中三个基本RS控制器的R输入端均由复位键开关S控制，开关打开时为R输入端均为高电平，需要复位时，闭合开关S，三个触发器的R输入端变为有效低电平输入，其输出端均进行置0操作。

三个基本RS触发器的S输入端分别由开关S1、S2、S3控制，均为低电平有效。当开关S打开，S1、S2、S3任何某一个开关闭合时，其对应的基本RS触发器的S输入端变为有效低电平输入，输出端进行置1操作，三个触发器独立运行，输出不受其它触发器影响。

下面以操作S1开关选手抢答成功为例解释抢答过程，如果开关S1先于开关S2、S3闭合，此时刻S1、S2、S3对应的基本RS触发器的输出分别为1、0、0，这三个信号经过“与非”门的处理后对应的输出分别为0、1、1。用G1、G2、G3分别表示三个“与非门”，由

电路图可知，G1、G2、G3的输入为相应触发器的输出以及其它两个与非门的输出，这样G1的输出作为G2、G3的输入，当G1输出为0后，此时无论开关S2、S3是否闭合，G2、G3的输出一定为1，使得其他人的抢答信号失效，且保证G1输出为0，即通过开关S1的抢答有效。

G1、G2、G3输出的信号只可能是011，101，110，经过译码电路通过七段显示器即可显示抢答成功的选手序号。