

数字电路与逻辑设计复习



考试题型

□题型以大题为主

- 化简
- 分析
- 设计

□要求掌握的概念可能以大题中的小问形式出现

□电路图可能会以logisim电路图形式出现

第一章

□主要内容

- 原码，补码，反码的概念
 - 掌握使用反码进行减法运算的规则
- 常用的BCD码
 - 8421、2421、5421、余3码
 - 在电路设计中使用BCD码
 - 注意无效码
- 格雷码
 - 掌握格雷码与二进制码之间的相互转换方式

第二章

□主要内容

- 基本定理，常用公式和三大规则
- 标准与或表达式和标准或与表达式的写法，以及最小项和最大项的性质（与二进制译码器联系起来）
 - 注意最小项与逻辑变量的对应关系，特别是变量的顺序

第二章

□主要内容

– 逻辑函数化简

- 代数化简法（4变量以内的逻辑函数化简可以借助卡诺图化简法确定是否达到最简）
- 卡诺图化简法

第二章

□例1：用代数法化简法求逻辑函数的最简“与-或”表达式。要求：写出详细步骤

$$F = AD + A\bar{C} + C\bar{D} + \bar{A}BD$$

$$F(A, B, D) = A\bar{B}D + B\bar{D} + ABD + \bar{B}\bar{D}$$

第二章

□例2：已知逻辑函数，用卡诺图化简法求出函数的最简“与-或”表达式以及最简“或-与”表达式。要求：画出卡诺圈。

$$F(A, B, C, D) = \sum m(0, 2, 5, 6, 8, 10, 15) + \sum d(1, 4, 7, 11, 13)$$

$$F(A, B, C, D) = \sum m(0, 2, 4, 6, 11) + \sum d(3, 7, 9, 10, 12, 14)$$

第二章

□例2.2解

$$F(A, B, C, D) = \sum m(0, 2, 5, 6, 8, 10, 15) + \sum d(1, 4, 7, 11, 13)$$

AB \ CD	00	01	11	10
00	1	d		1
01	d	1	d	
11		d	1	d
10	1	1		1

$$F = \overline{A}B + BD + \overline{B} \cdot \overline{D}$$

AB \ CD	00	01	11	10
00	1	d		1
01	d	1	d	
11		d	1	d
10	1	1		1

$$\overline{F} = \overline{B}D + AB \cdot \overline{D}$$

$$F = (B + \overline{D})(\overline{A} + \overline{B} + D)$$

第三章

□主要内容

- 了解集成电路的分类
- 了解半导体器件的开关特性（二极管和三级管的导通条件）
- 了解常用逻辑门电路的功能和外部特性
 - 常用逻辑门的逻辑符号

第四章

□主要内容

– 了解组合逻辑的概念、结构和特点

– 组合逻辑电路的分析

- 写出逻辑函数
- 画出真值表
- 电路功能：注意描述输出
- 组合逻辑电路的化简
- 电路中可能包含译码器、多路选择器、多路分配器等器件

第四章

□主要内容

– 组合逻辑电路的设计

- 填写真值表
- 写出逻辑函数表达式
- 用译码器、多路选择器、多路分配器等器件实现组合逻辑函数

第四章

□主要内容

— 竞争和险象

- 判断竞争和险象时，注意逻辑函数和电路的一一对应关系，即不能对逻辑函数进行变换、化简等操作。
- 险象类别的判定
- 消除险象的三种方法，能够使用增加冗余项的方法增加合理的冗余项

第四章

□主要内容

– 二进制并行加法器

- 串行进位和并行进位的区别
- 典型芯片74283的端口
- 74283的应用

– 译码器和编码器

- 译码器的种类
- 典型芯片74138的端口（特别是使能端），应用（实现各种逻辑函数功能）
 - 注意多个译码器级联的方法
- 编码器的基本功能和结构

第四章

□主要内容

– 多路选择器和分配器

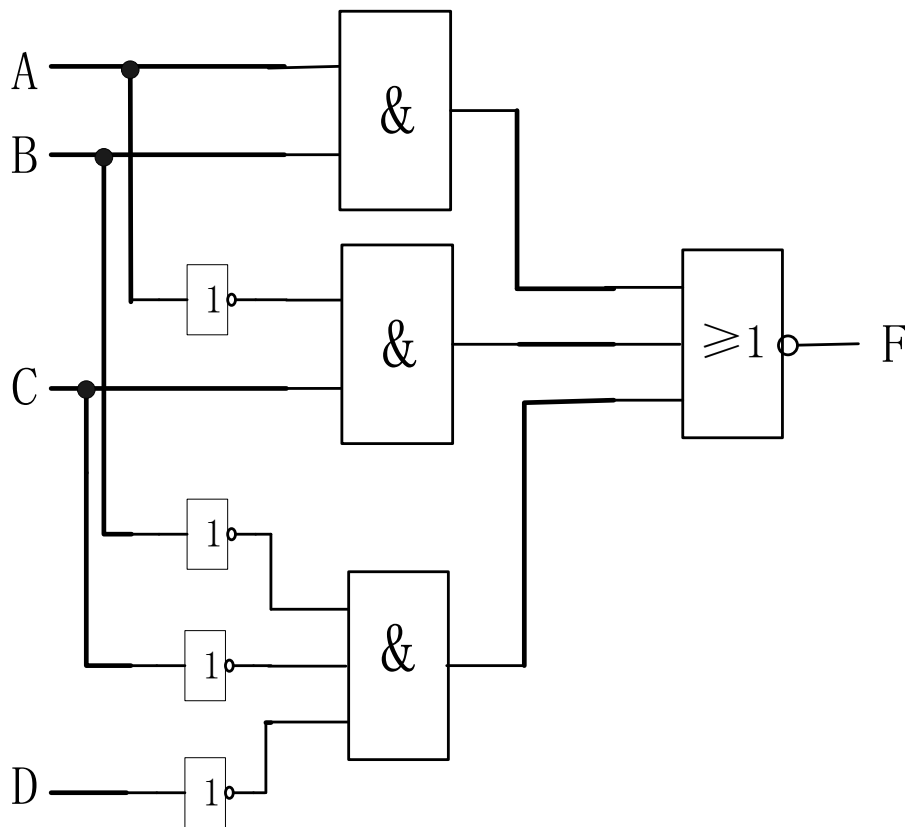
- 典型芯片74153的端口，应用（实现各种逻辑函数功能）
- 分配器的基本功能和结构（可以等效于高电平译码的译码器）

– 数值比较器

- 典型芯片7485的端口，扩展方法，应用

第四章

- 例4.1试用卡诺图法判断下图所示电路竞争的产生情况，要求（1）求出输出函数表达式；（2）画出逻辑函数对应的卡诺图；（3）根据卡诺图判断对应组合逻辑电路在什么条件下产生险象；（4）并写出使用冗余项消除险象的逻辑函数表达式。



第四章

□例4.2 设计一个数字逻辑电路。该电路的输入为一位十进制数的8421码ABCD，2个输出为F1和F2。当输入中1的个数大于或者等于2时，输出F1为1，其它情况下F1为0。当输入的十进制数为合数（即4，6，8，9）时，F2为1，其它情况下F2为0。

- (1) 求真值表，写出F1和F2的最小项表达式；
- (2) 使用卡诺图进行化简，求F1和F2的最简“与-或”表达式；
- (3) 用译码器或多路选择器及适当的逻辑门实现

第四章

□例4.3 用74153双4路选择器实现3变量逻辑函数的功能，设控制变量为A、B，要求
(1) 求出各数据输入端的值 (2) 画出电路图 (说明：**2个数据选择器的控制端共用一组引脚**) (3) 说明电路功能。

$$F_1 = \bar{A} \bullet \bar{B}C + \bar{A}B\bar{C} + A\bar{B} \bullet \bar{C} + ABC$$

$$F_2 = AC + BC + AB$$

第五章

□主要内容

— 触发器

- 两种基本RS触发器的功能、结构、次态函数、约束方程
- 四种钟控触发器的功能表、激励表（两种）、次态方程、约束方程
- 了解空翻和一次翻转
- 能够绘制波形图（时间图）

第五章

□例5.1：设下图中的触发器为主从J-K触发器，其初始状态 $Q_1=Q_2=0$ ，输入信号及CP端的波形如图3.70 (b) 所示，试画出 Q_1 ， Q_2 的波形图。

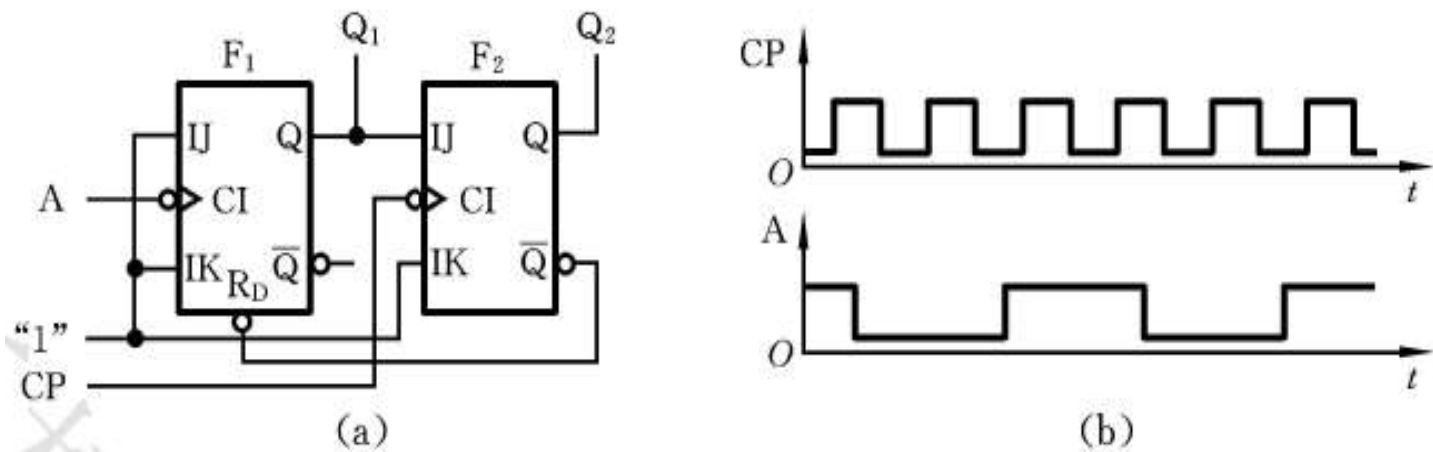
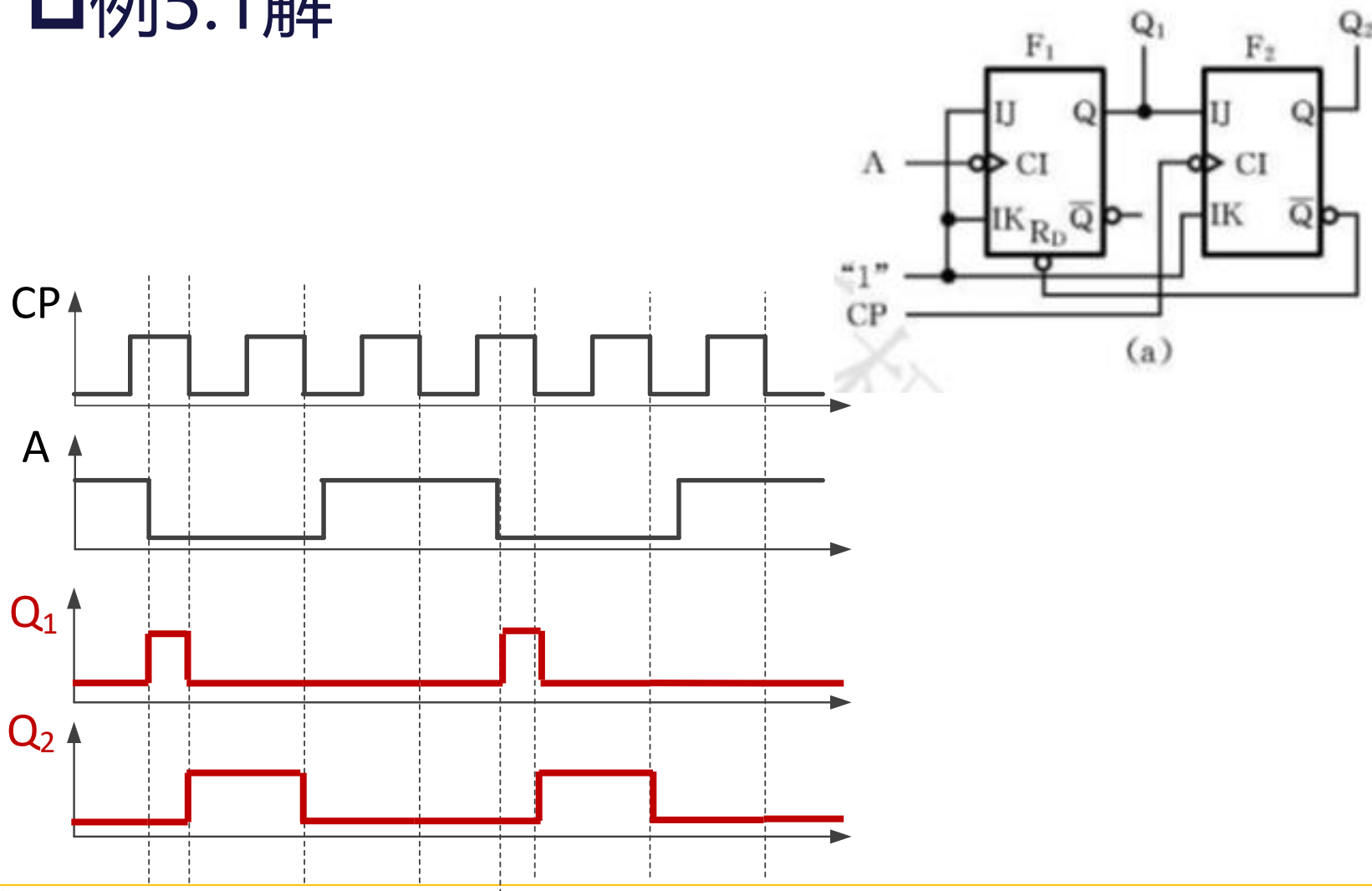


图 3.70 逻辑电路及有关波形

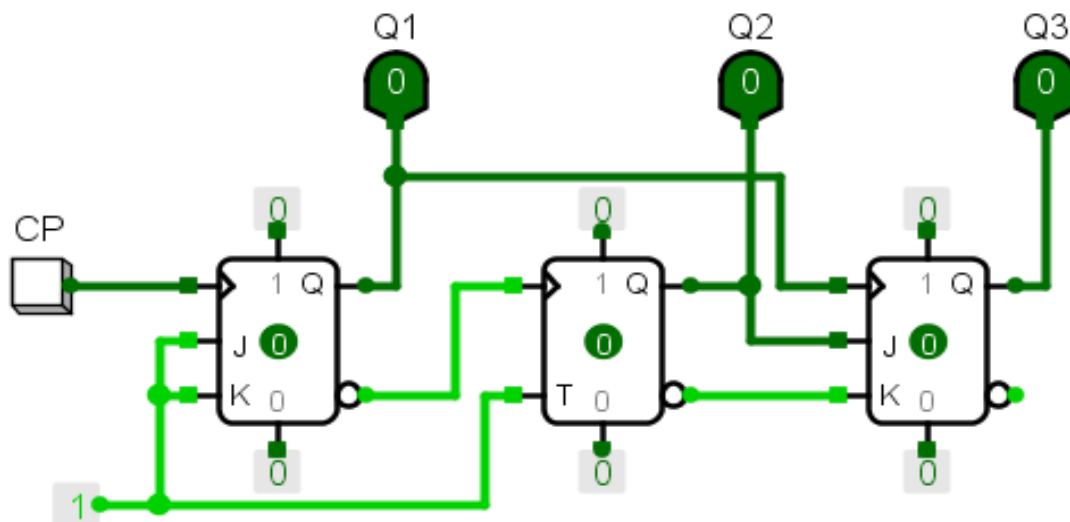
第三章

例5.1解



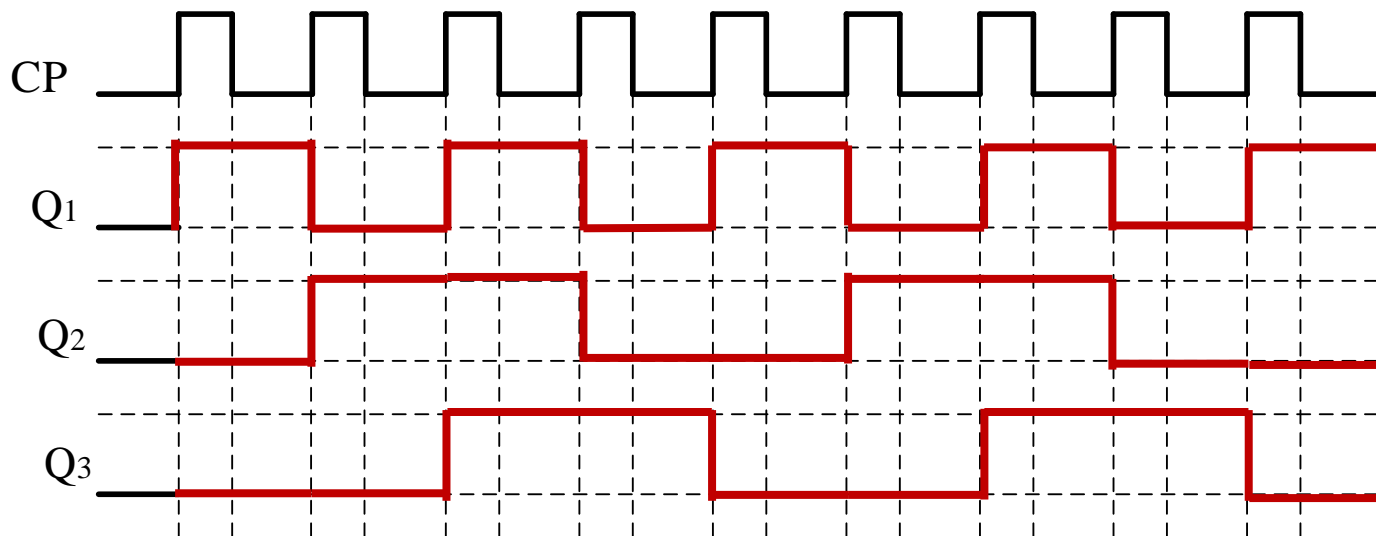
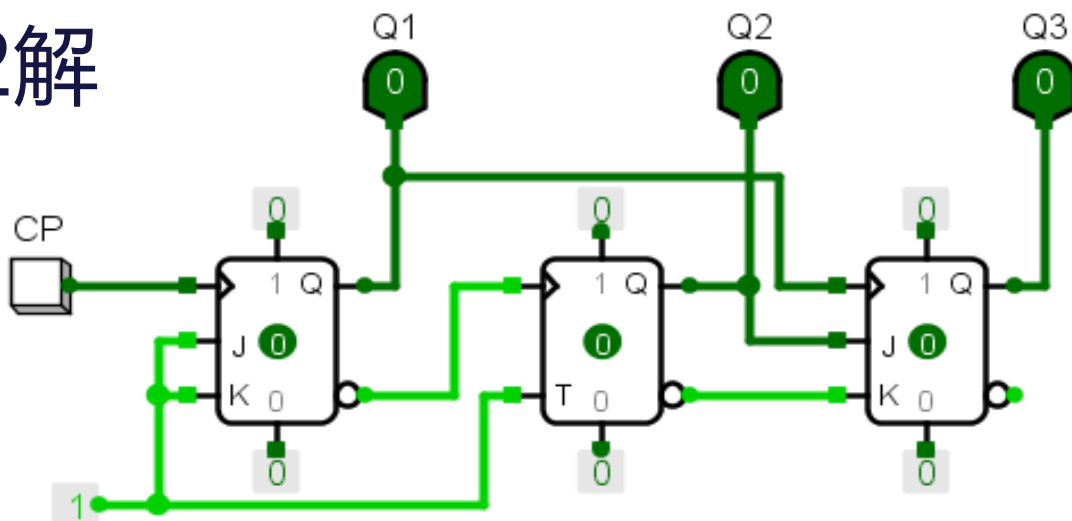
第五章

□例5.2：已知边沿触发的JK和T触发器构成的电路如图所示。设Q3、Q2、Q1的初态均为0，根据给定的时钟，在图3中画出Q3、Q2、Q1的波形。



第五章

□例5.2解



第六章

□主要内容

- 同步时序逻辑电路的概念、结构、特点
- 异步时序逻辑电路的概念、结构、特点
- 时序逻辑电路的分类
 - 能够辨别不同类型的时序逻辑电路
 - 能够描述不同类型时序逻辑电路对输入的要求

第六章

□主要内容

– 同步时序逻辑电路的分析

- 写出激励函数和输出函数表达式
- 列出次态真值表或者次态方程
- 状态图和状态表
- 电路功能：注意描述电路类型、主体功能、输出，判断电路是否有多余状态，并能判断电路能否自启
- 画时间图
- 电路中可能包含常用的中规模集成芯片

第六章

□主要内容

– 同步时序逻辑电路的设计

- 原始状态图（注意每个状态的指出箭头数目）
- 状态化简，等效的定义、判定和性质，最大等效类的确定及状态合并
- 状态编码
- 确定激励函数和输出函数，画出电路图
- 无效状态检查表，分析无效状态能否自启和是否有错误输出
- 能够用相关的中规模集成电路和适当的逻辑门实现

第六章

□主要内容

- Mealy型和Moore型电路的特点及区别

第六章

□主要内容

– 脉冲异步时序逻辑电路的分析

- 激励函数和输出函数表达式
- 次态真值表，注意触发器变化的边沿
 - 时钟激励3种类型的处理：只包含输入，有输入和没有输入
 - 注意触发器的翻转一定发生在后沿，否则会有错误
- 状态图和状态表
- 电路功能：注意描述电路类型、主体功能、输出，有多余状态的电路能否自启
- 时间图

第六章

□主要内容

– 脉冲异步时序逻辑电路的设计

- 原始状态图（注意每个状态的指出箭头数目）
- 状态化简，等效的定义、判定和性质，最大等效类的确定及状态合并
- 状态编码
- 确定激励函数和输出函数，画出电路图
 - 注意状态不变的情况一定选择时钟端为0的激励
 - 输入不允许的情况激励可以全部是d
- 无效状态检查表，分析无效状态能否自启和是否有错误输出

第六章

□主要内容

– 计数器

- 计数器的种类
- 典型芯片74193和74290的结构（注意控制端口），
功能和应用
- 使用计数器构造不同模值计数器的方法
 - 注意异步清零、异步置数的特点
 - 注意输出的进位/借位脉冲信号
 - 注意多个计数器芯片的级联方法

第六章

□主要内容

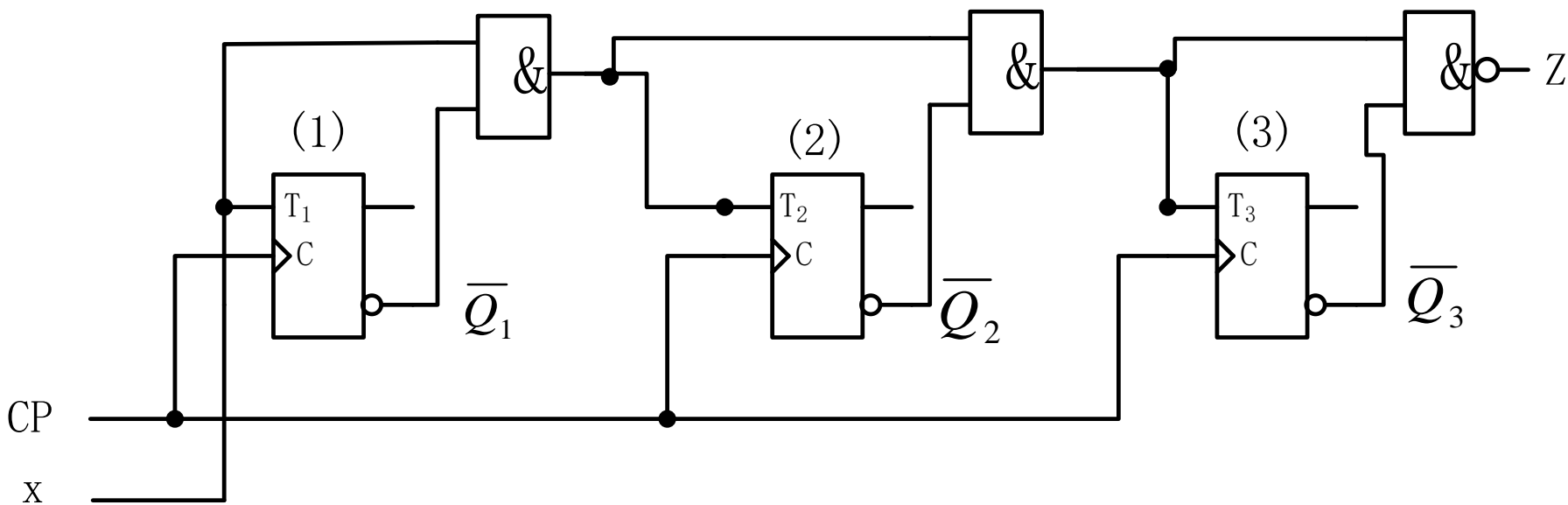
– 寄存器

- 典型芯片74194的结构（注意控制端口），功能和应用

第六章

□例6.1 试分析如图所示同步时序逻辑电路，要求：

(1) 写输出函数和激励函数表达式; (2) 列出电路的次态真值表; (3) 做出状态表和状态图; (4) 说明电路功能。



第六章

□例6.2试设计一个Mealy型同步时序的“序列检测器”逻辑电路。设电路有1个输入信号 x ，有1个输出信号 Z 。电路检测输入信号 x ，当遇到输入连续的6个1，即“111111”时，输出 $Z=1$ ，并回到初始状态。其它情况下 $Z=0$ 。要求：

(1) 设依次状态为A、B、C、D、E、F，其中A为初始状态。试做出电路原始状态图和原始状态表

(2) 设状态变量为 $y_3y_2y_1$ ，初始状态为0。A、B、C、D、E、F依次编码为000、001、010、011、100以及101；请写出二进制状态编码

第六章

(3) 若使用D触发器实现电路，求得激励函数和输出函数的最简“与-或”表达式

(4) 填写无效状态检查表，请问所设计的电路是否具有自启动功能

第六章

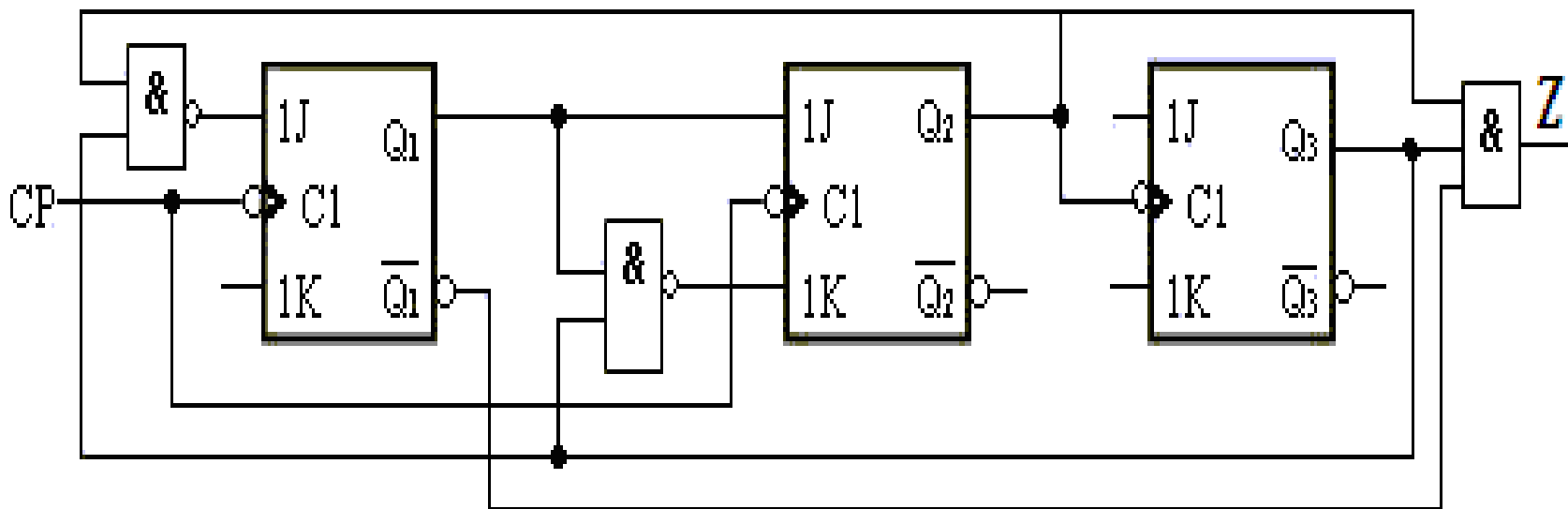
□例6.3用T触发器作为存储器件，实现下表所示最小化二进制状态表的功能。（1）列出激励函数和输出函数真值表（2）写出激励函数表达式和输出函数表达式。（3）画出电路图

现态	次态 $y_2^{(n+1)}y_1^{(n+1)}/Z$	
$y_2 y_1$	$X=0$	$X=1$
0 0	0 1 / 0	0 0 / 0
0 1	1 0 / 0	0 0 / 0
1 0	1 0 / 0	1 1 / 1
1 1	0 1 / 0	0 0 / 0

第六章

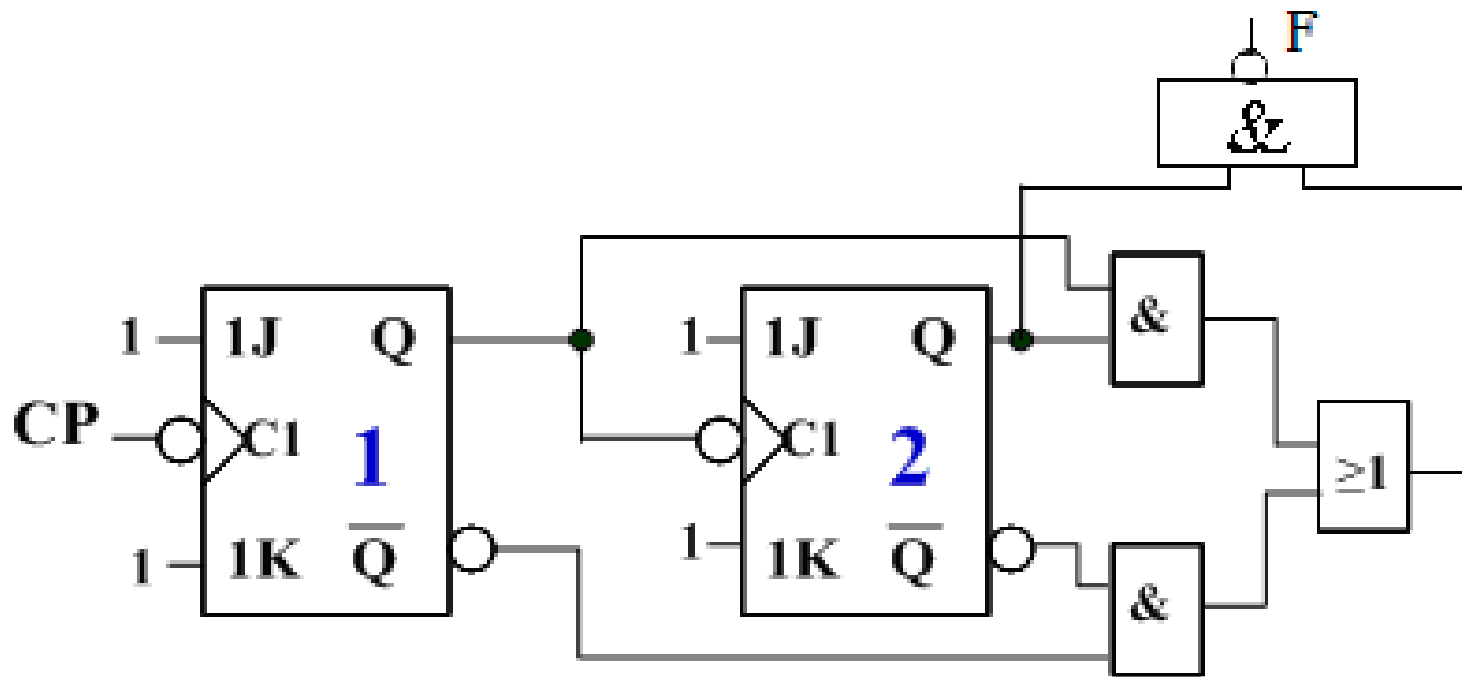
□例6.4分析下图所示脉冲异步时序逻辑电路。

(1) 请写出激励函数（包括时钟），输出函数表达式。(2) 请写出电路次态、输出真值表。(3) 画出状态图 (4) 说明功能。



第六章

□例6.5分析下图所示电路，回答问题：（1）写出激励函数（包括时钟），输出函数表达式（2）填写电路次态真值表（3）各触发器初态 $Q_1 Q_2 = 00$ ，试画出 Q_1 、 Q_2 和 F 的输出波形。



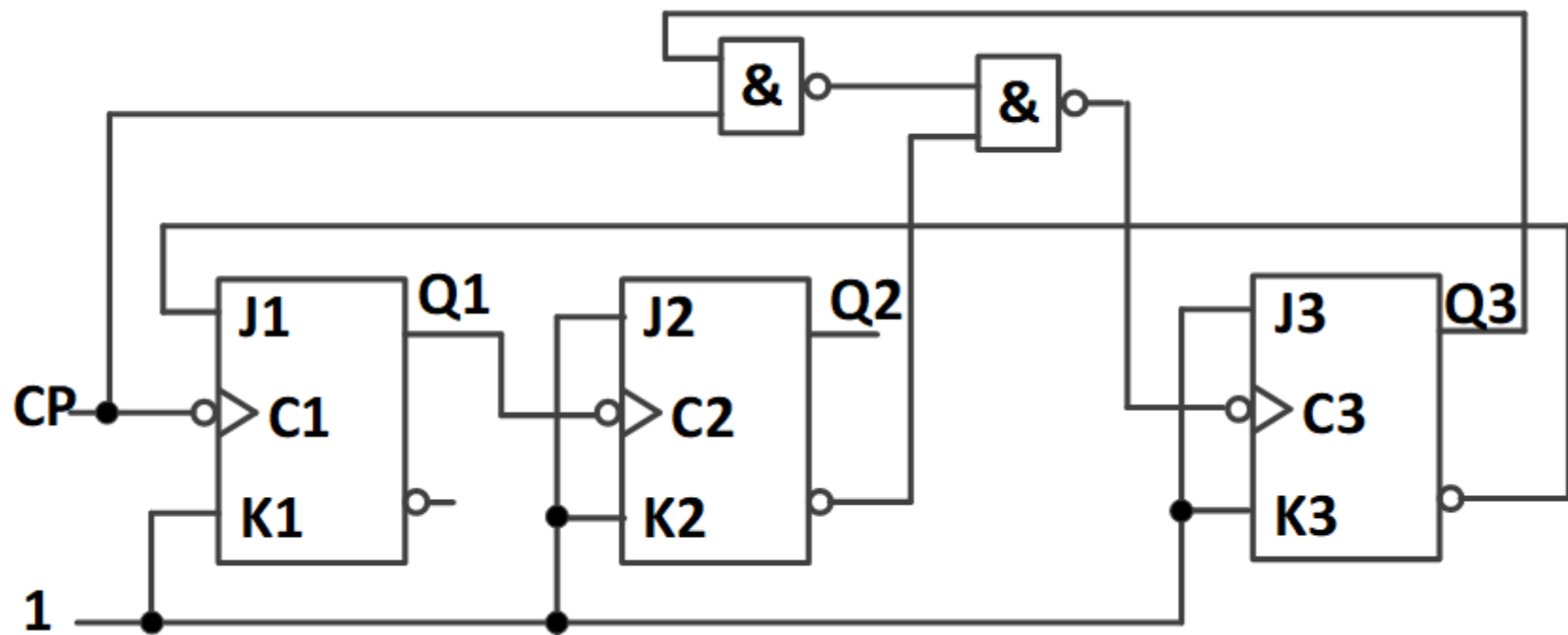
第六章

□例6.6试用T触发器作为存储元件，设计一个电梯人数计数器。电路类型为脉冲异步时序逻辑电路，有2个输入信号 X_1 和 X_2 ，一个输出 Z 。其中 X_1 为加法脉冲信号， X_2 为减法脉冲。当计数值到达电梯人数上限7时输出 $Z=1$ ，并停止加法计数，其它情况下 $Z=0$ 。当计数值减为0时，停止减法计数。要求：

- (1) 试做出电路状态图和状态表；
- (2) 求出激励函数和输出函数；
- (3) 画出逻辑电路图。

第六章

□例6.7 (mooc题)：分析电路

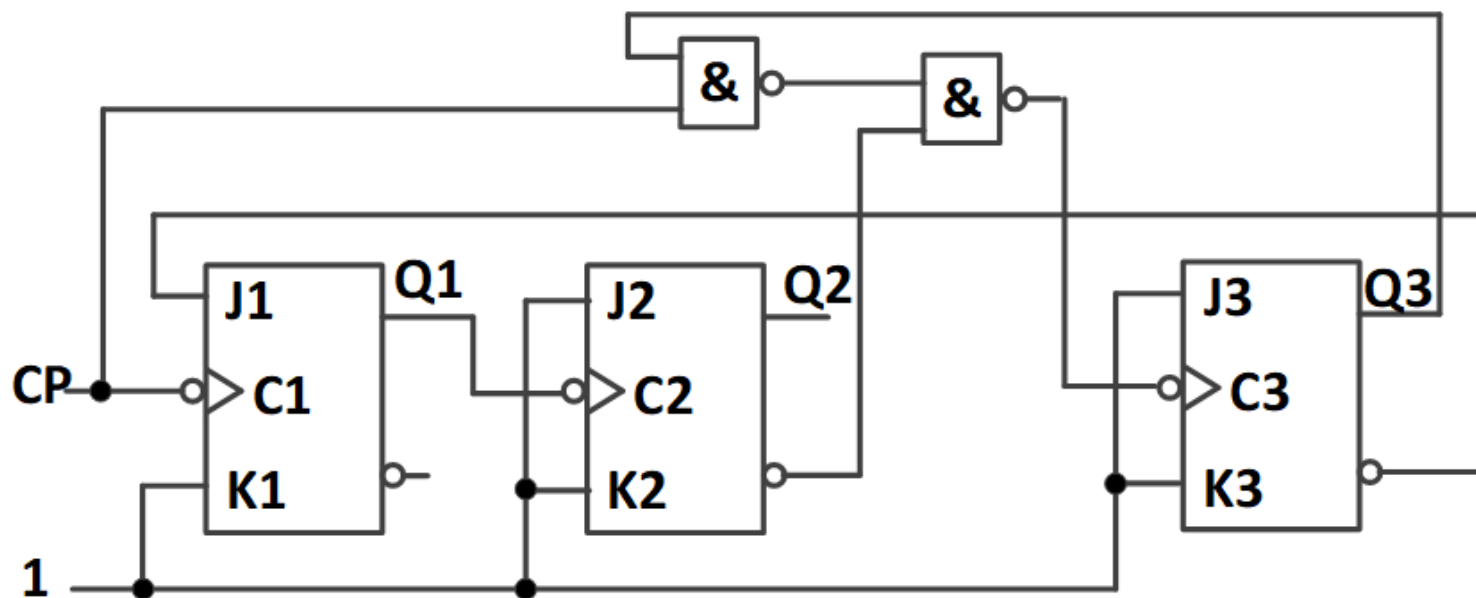


第六章

□ $C1 = CP \quad J1 = \overline{Q3} \quad K1 = 1$

□ $C2 = Q1 \quad J2 = K2 = 1$

□ $C3 = CP \cdot Q3 + Q2 \quad J3 = K3 = 1$



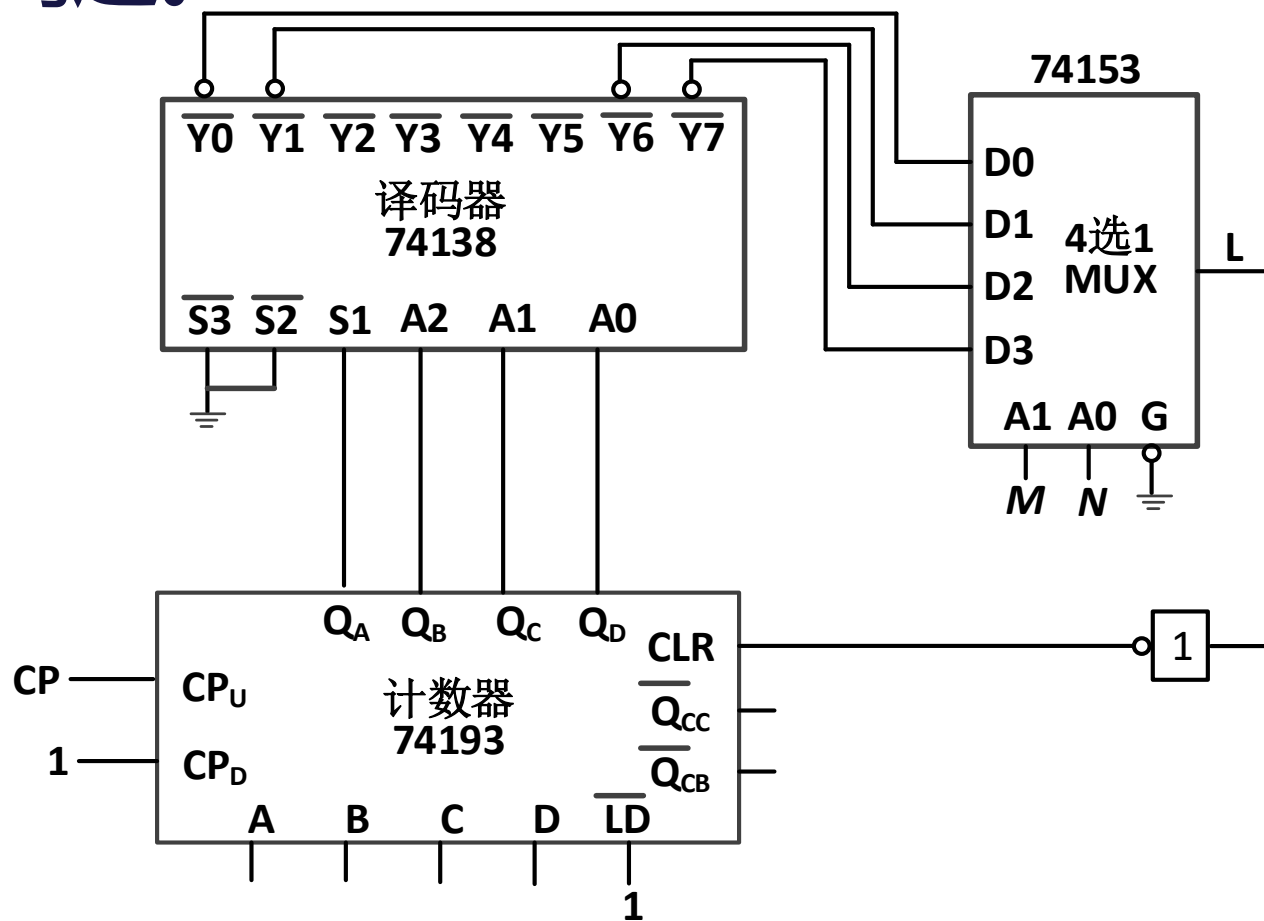
现态	输入	激励						次态		
$y_3y_2y_1$	cp	J_3K_3	C_3	J_2K_2	C_2	J_1K_1	C_1	$y_3^{n+1}y_2^{n+1}y_1^{n+1}$		
000	↓	1 1		1 1		1 1	↓	0	0	1
001	↓	1 1		1 1	↓	1 1	↓	0	1	0
010	↓	1 1		1 1		1 1	↓	0	1	1
011	↓	1 1	↓	1 1	↓	1 1	↓	1	0	0
100	↓	1 1	↓	1 1		0 1	↓	0	0	0
101	↓	1 1	↓	1 1	↓	0 1	↓	0	1	0
110	↓	1 1		1 1		0 1	↓	1	1	0
111	↓	1 1	↓	1 1	↓	0 1	↓	0	0	0

第六章

- 电路功能：（moore型）不能自启动的异步模5计数器（无输出）
- 注意C3有下降沿的判定
 - 当 $Q3=1$ 且 $Q2=0$ 的时候有下降沿
 - 如果 $Q2$ 的现态为1，次态为0，则也会存在下降沿
 - 可用logisim画出电路模拟仿真观察

第六章

□例6.8 分析下图所实现的电路功能，并回答下述问题。



第六章

- 计数器74193处在什么工作状态
- 当 $MN=01$ 时，若计数器的初始状态为0000，L的输出序列
- 当 $MN=10$ 时，画出计数器74193的状态变化序列
- 当 MN 为各种不同输入条件下时，试问计数器74193分别处在什么计数状态（模）
- 若电路在 $MN=11$ 时处于13进制加法计数状态，该如何修改电路。