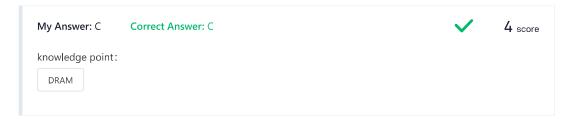
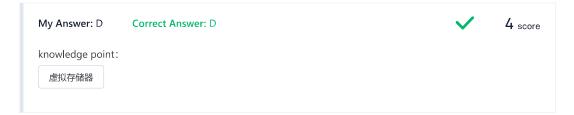


- 3. (单选题, 4score)[2022]某内存条包含8个8192×8192×8位的DRAM芯片,按字节编址,支持突发(burst)传送方式,对应存储器总线宽度为64位,每个DRAM芯片内有一个行缓冲区(row buffer)。下列关于该内存条的叙述中,不正确的是(C)。
- A. 内存条的容量为512MB
- B. 采用多模块交叉编址方式
- C. 芯片的地址引脚为26位
- D. 芯片内行缓冲有8192×8位



- 4. (单选题, 4score)[2010]下列命中组合情况中,一次访存过程中不可能发生的是。
- A. TLB未命中, cache未命中, Page未命中
- B. TLB未命中, cache命中, Page命中
- C. TLB命中, cache未命中, Page命中
- D. TLB命中, cache命中, Page未命中



- 5. (单选题, 4score)[单选题]下列存储器中需要定期刷新的是()
- A. SRAM
- B. DRAM
- C. Flash Memory
- D. EEPROM



6. (单选题, 4score)与DRAM相比, SRAM的显著优势是()

一. 单泊

1

6

11

二. 多說

16

21

一. 单沪

1

6

11

二. 多註

16

21

- B. 制造成本更低 C. 访问速度更快 D. 需要定期刷新 4 score My Answer: C Correct Answer: C Answer SRAM无需刷新且结构简单,访问速度通常比DRAM快1-2个数量级。 analysis: knowledge point: SRAM 7. (单选题, 4score)[单选题]某存储器采用单译码结构,容量为256×8位,其地址译码器输出线数量为() A. 8 B. 16 C. 256 D. 512 ✓ 4 score My Answer: C Correct Answer: C Answer 单译码结构直接译码全部地址, 256=2^8需要256根输出线。 analysis: knowledge point: 主存系统 8. (单选题, 4score)[2009]某计算机主存容量为64KB,其中ROM区为4KB,其余为RAM区,按字节编址。现要用2K×8 位的ROM芯片和4K×4位的RAM芯片来设计该存储器,则需要上述规格的ROM芯片数和RAM芯片数分别是。 A. 1、15 B. 2、15 C. 1、30 D. 2、30 Correct Answer: D 4 score My Answer: D knowledge point: 存储扩展
- 9. (单选题, 4score) 下列代码段中,空间局部性最差的是()

一. 单泊

11

二. 多註

16

21



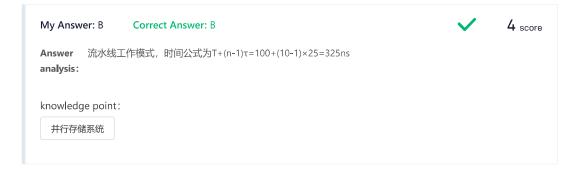
一. 单键

二.多定

12. (单选题, 4score)[单选题]某32位地址系统采用组相联映射,Cache容量64KB,块大小32B,8路组相联,Tag字段长度是()
A. 17位
B. 18位
C. 19位
D. 20位
My Answer: C Correct Answer: C 4 score
Answer 组数=64KB/(8×32B)=256组=2^8 → Index 8位, Offset 5位(32B), Tag=32-8-5=19位 analysis:
knowledge point:
cache实现机制
13. (单选题, 4score)下列存储器中采用双层栅结构(浮栅+控制栅)的是()
A. SRAM
B. EEPROM
C. DRAM
D. FRAM
My Answer: B Correct Answer: B 4 score
My Answer: B
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。 analysis:
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。 analysis: knowledge point:
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。 analysis: knowledge point:
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。 analysis: knowledge point:
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。 analysis: knowledge point: ROM 14. (单选题, 4score)[单选题]下列联合体定义: union {
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。 analysis: knowledge point: ROM 14. (单选题, 4score)[单选题]下列联合体定义: union { int a; char b[4];
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。 analysis: knowledge point: ROM 14. (单选题, 4score)[单选题]下列联合体定义: union { int a;
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。 analysis: knowledge point: ROM 14. (单选题, 4score)[单选题]下列联合体定义: union { int a; char b[4]; } u = {0x12345678};
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。 analysis: knowledge point: ROM 14. (单选题, 4score)[单选题]下列联合体定义: union { int a; char b[4]; } u = {0x12345678}; 在小端模式下,u.b[1]的值为()
Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。 analysis: knowledge point: ROM 14. (单选题, 4score)[单选题]下列联合体定义: union { int a; char b[4]; } u = {0x12345678}; 在小端模式下,u.b[1]的值为() A. 0x12



- 15. (单选题, 4score)[单选题]某四体低位交叉存储器,存储周期为T=100ns,总线传输周期τ=25ns,连续读取10个数据的最短时间为()
- A. 1000ns
- B. 325ns
- C. 250ns
- D. 475ns



二. 多选题(11 questions,40 points in total)

- 16. (多选题, 3.6score)[多选题]影响DRAM访问速度的主要因素包括()
- A. 电容刷新时间
- B. 行缓冲区命中率
- C. 存储单元行列解码延迟
- D. 数据总线频率
- E. 封装散热性能



- 17. (多选题, 3.6score)Flash Memory与EEPROM的主要区别包括()
- A. 擦除单位不同(块 vs 字节)

一. 单沪

1

6

11

二. 多证

16

21

- C. 擦写速度更快
- D. 采用NOR/NAND架构



- 18. (多选题, 3.6score)[多选题]下列关于存储字长与数据字长的描述正确的有()
- A. 存储字长是主存单元包含的二进制位数
- B. 数据字长由ALU运算能力决定
- C. 存储字长通常等于数据总线宽度
- D. 存储字长受内存芯片结构影响



- 19. (多选题, 3.7score)[多选题]关于Cache地址映射方式的正确描述有()
- A. 直接映射的冲突率最高
- B. 全相联映射的硬件成本最低
- C. 组相联是直接映射与全相联的折中方案
- D. 组相联映射需要替换算法支持
- E. 全相联映射的查找速度最快



20. (多选题, 3.7score)[多选题]关于存储层次结构的正确描述包括()

一. 单注

1

6

11

二. 多註

16

21

- B. 虚拟内存技术扩展了主存容量
- C. 寄存器访问速度高于主存
- D. SSD属于层次结构的最底层
- E. 所有层次都对程序员透明

3.7 score My Answer: ABC Correct Answer: ABC Answer D错误(最底层为离线存储器),E错误(寄存器需要程序员显式管理)。ABC均符合存储层次特性。 analysis: knowledge point: 程序局部性

- 21. (多选题, 3.6score)[多选题]关于存储器扩展方式的正确描述有()
- A. 位扩展增加存储字长
- B. 字扩展增加存储单元数量
- C. 片选信号由地址译码器产生
- D. 位扩展需并联数据线
- E. 字扩展需串联地址线



- 22. (多选题, 3.6score)[多选题]单体多字存储器的局限性包括()
- A. 要求数据对齐访问
- B. 无法提升随机访问速度
- C. 增加总线宽度
- D. 需要复杂控制逻辑
- E. 降低存储密度



一. 单沪

6

11

二. 多註

16

21

一. 单沪

1

6

11

二. 多註

16

21

26



knowledge point: cache原理

Answer details

- A. 都采用局部性原理提升性能
- B. 替换策略都需要考虑写回机制
- C. 缺失处理都需要操作系统介入
- D. 地址映射都需要硬件支持
- E. 信息单位都采用固定大小的块



一. 单键

1

6

11

二多道

16

21