

第4章作业

Number of questions: 26 Total score: 100

Time: 04-13 08:26 to 04-30 08:26 [Redo](#)

Intelligence analysis

74.3score

一. 单选题

1

6

11

二. 多选题

16

21

26

一. 单选题 (15 questions, 60 points in total)

1. (单选题, 4score)[2017]某C语言程序段如下:

```
for(i=0; i<=9; i++)  
{  
    temp=1;  
    for(j=0; j<=i; j++)  
        temp *=a[j];  
    sum +=temp;  
}
```

下列关于数组a的访问局部性的描述中, 正确的是 。

- A. 时间局部性和空间局部性皆有
- B. 无时间局部性, 有空间局部性
- C. 有时间局部性, 无空间局部性
- D. 时间局部性和空间局部性皆无

My Answer: A Correct Answer: A



4 score

knowledge point:

cache原理

2. (单选题, 4score)

访问虚址0x0800时物理地址是()

虚页号 物理页框 有效位

0x0 0x5A 1
0x1 0x3F 0
0x2 0x7C 1
(页大小1KB)

- A. 0x5A000
- B. 0x5A800
- C. 0x1F000
- D. 触发缺页异常

My Answer: B Correct Answer: C



0 score

Answer $VPN=0x0800/1024=0x2$, $VPO=0x0800\%1024=0$, 页表项对应最后一项, 物理页号7C, 转换为物理地址
analysis: 址为0x1F000

knowledge point:

虚拟存储器

3. (单选题, 4score)[2022]某内存条包含8个8192×8192×8位的DRAM芯片, 按字节编址, 支持突发(burst)传送方式, 对应存储器总线宽度为64位, 每个DRAM芯片内有一个行缓冲区(row buffer)。下列关于该内存条的叙述中, 不正确的是(C)。

- A. 内存条的容量为512MB
- B. 采用多模块交叉编址方式
- C. 芯片的地址引脚为26位
- D. 芯片内行缓冲有8192×8位

My Answer: C

Correct Answer: C



4 score

knowledge point:

DRAM

4. (单选题, 4score)[2010]下列命中组合情况中, 一次访存过程中不可能发生的是 。

- A. TLB未命中, cache未命中, Page未命中
- B. TLB未命中, cache命中, Page命中
- C. TLB命中, cache未命中, Page命中
- D. TLB命中, cache命中, Page未命中

My Answer: D

Correct Answer: D



4 score

knowledge point:

虚拟存储器

5. (单选题, 4score)[单选题]下列存储器中需要定期刷新的是()

- A. SRAM
- B. DRAM
- C. Flash Memory
- D. EEPROM

My Answer: B

Correct Answer: B



4 score

Answer DRAM利用电容存储电荷, 电荷会泄漏需定时刷新。SRAM基于触发器无需刷新, Flash通过浮栅晶体管保持
analysis: 数据。

knowledge point:

存储系统概述

6. (单选题, 4score)与DRAM相比, SRAM的显著优势是()

一. 单选

1

6

11

二. 多选

16

21

26

- B. 制造成本更低
- C. 访问速度更快
- D. 需要定期刷新

My Answer: C

Correct Answer: C



4 score

Answer SRAM无需刷新且结构简单，访问速度通常比DRAM快1-2个数量级。
analysis:

knowledge point:

SRAM

7. (单选题, 4score)[单选题]某存储器采用单译码结构，容量为 256×8 位，其地址译码器输出线数量为()

- A. 8
- B. 16
- C. 256
- D. 512

My Answer: C

Correct Answer: C



4 score

Answer 单译码结构直接译码全部地址， $256 = 2^8$ 需要256根输出线。
analysis:

knowledge point:

主存系统

8. (单选题, 4score)[2009]某计算机主存容量为64KB，其中ROM区为4KB，其余为RAM区，按字节编址。现要用 $2K \times 8$ 位的ROM芯片和 $4K \times 4$ 位的RAM芯片来设计该存储器，则需要上述规格的ROM芯片数和RAM芯片数分别是 。

- A. 1、15
- B. 2、15
- C. 1、30
- D. 2、30

My Answer: D

Correct Answer: D



4 score

knowledge point:

存储扩展

9. (单选题, 4score)

下列代码段中，空间局部性最差的是（）

一. 单选

1

6

11


二. 多选

16

21

26

- B. `for(int i=0; i<N; i+=16)`
 `a[i] = b[i] + c[i];`
- C. `for(int i=0; i<N; i++)`
 `sum += a[i][i];`
- D. `for(int i=0; i<N; i++)`
 `for(int j=0; j<M; j++)`
 `a[i] += b[j];`

My Answer: C Correct Answer: C  4 score

Answer C为对角线访问模式（最差空间局部性），B跨步访问，D外循环i固定时重复访问相同
analysis: a[i]，A连续访问最佳。

knowledge point:

程序局部性

10. (单选题, 4score)[单选题]某系统使用8路组相联Cache，主存地址0xABCDE访问的组索引为(Cache共64组)()
- A. 0xDE
- B. 0xCD
- C. 0xB
- D. 0x37

My Answer: D Correct Answer: D  4 score

Answer 组数 $64=2^6$ ，组索引位数为6。假设地址分解: [tag][组索引][块内偏移]，取中间6位: 0xABCDE=1010
analysis: 1011 1100 1101 1110，假设块大小64B(低6位为偏移)，则组索引为第6-11位: 1011 11=0x2F，但选项无匹配，可能存在题目参数错误，暂选最接近D。

knowledge point:

cache实现机制

11. (单选题, 4score)[单选题]单管DRAM存储单元数据读取时，主要依靠检测()
- A. 电容电压变化
- B. 位线电流方向
- C. 行选通信号幅度
- D. 刷新计数器状态

My Answer: A Correct Answer: A  4 score

Answer DRAM通过灵敏放大器检测存储电容的微小电压变化完成读取。
analysis:

knowledge point:

一. 单选

1

6

11

二. 多选

16

21

26

一. 单选题

1

12. (单选题, 4score)[单选题]某32位地址系统采用组相联映射, Cache容量64KB, 块大小32B, 8路组相联, Tag字段长度是()

- A. 17位
- B. 18位
- C. 19位
- D. 20位

My Answer: C

Correct Answer: C



4 score

Answer 组数=64KB/(8×32B)=256组=2⁸ → Index 8位, Offset 5位(32B), Tag=32-8-5=19位
analysis:

knowledge point:

cache实现机制

二. 多选题

16

21

26

13. (单选题, 4score)下列存储器中采用双层栅结构(浮栅+控制栅)的是()

- A. SRAM
- B. EEPROM
- C. DRAM
- D. FRAM

My Answer: B

Correct Answer: B



4 score

Answer EPROM/EEPROM/Flash均使用浮栅晶体管结构存储电荷。
analysis:

knowledge point:

ROM

14. (单选题, 4score)[单选题]下列联合体定义:

```
union {  
    int a;  
    char b[4];  
} u = {0x12345678};
```

在小端模式下, u.b[1]的值为()

- A. 0x12
- B. 0x34
- C. 0x56
- D. 0x78

Answer 小端存储顺序78 56 34 12, b[0]=0x78, b[1]=0x56, b[2]=0x34, b[3]=0x12。
analysis:

knowledge point:

主存系统

15. (单选题, 4score)[单选题]某四体低位交叉存储器, 存储周期为 $T=100\text{ns}$, 总线传输周期 $\tau=25\text{ns}$, 连续读取10个数据的最短时间为()

- A. 1000ns
- B. 325ns
- C. 250ns
- D. 475ns

My Answer: B **Correct Answer:** B



4 score

Answer 流水线工作模式, 时间公式为 $T+(n-1)\tau=100+(10-1)\times 25=325\text{ns}$
analysis:

knowledge point:

并行存储系统

二. 多选题 (11 questions, 40 points in total)

16. (多选题, 3.6score)[多选题]影响DRAM访问速度的主要因素包括()

- A. 电容刷新时间
- B. 行缓冲区命中率
- C. 存储单元行列解码延迟
- D. 数据总线频率
- E. 封装散热性能

My Answer: ACD **Correct Answer:** ABCD



1.8 score

Answer E主要影响稳定性而非速度。DRAM需要定期刷新(A), 行缓冲命中可跳过行选通(B), 行列地址分时传输增加
analysis: 延迟(C), 总线频率限制数据传输率(D)。

knowledge point:

存储系统概述 DRAM

17. (多选题, 3.6score)Flash Memory与EEPROM的主要区别包括()

- A. 擦除单位不同(块 vs 字节)

一. 单选题

1

6

11

二. 多选题

16


21

26

- C. 擦写速度更快
- D. 采用NOR/NAND架构

My Answer: ABCD

Correct Answer: ABD



0 score

Answer

C错误，EEPROM单字节擦写更灵活但速度不一定更快。

analysis:

knowledge point:


ROM

18. (多选题, 3.6score)[多选题]下列关于存储字长与数据字长的描述正确的有()

- A. 存储字长是主存单元包含的二进制位数
- B. 数据字长由ALU运算能力决定
- C. 存储字长通常等于数据总线宽度
- D. 存储字长受内存芯片结构影响

My Answer: ABD

Correct Answer: ABCD



1.8 score

Answer

数据字长可以与存储字长不同(如32位CPU访问64位存储单元)。其他选项均正确描述两者的定义与关系。

analysis:

knowledge point:

主存系统

19. (多选题, 3.7score)[多选题]关于Cache地址映射方式的正确描述有()

- A. 直接映射的冲突率最高
- B. 全相联映射的硬件成本最低
- C. 组相联是直接映射与全相联的折中方案
- D. 组相联映射需要替换算法支持
- E. 全相联映射的查找速度最快

My Answer: ACD

Correct Answer: ACD



3.7 score

Answer

B错误(全相联硬件成本最高)，E错误(全相联查找速度最慢)。ACD正确描述映射方式特性。

analysis:

knowledge point:

cache实现机制

20. (多选题, 3.7score)[多选题]关于存储层次结构的正确描述包括()

一. 单选题

- 1
 - 6
 - 11
- 二. 多选题
- 16
 - 21
 - 26

- B. 虚拟内存技术扩展了主存容量
- C. 寄存器访问速度高于主存
- D. SSD属于层次结构的最底层
- E. 所有层次都对程序员透明

My Answer: ABC

Correct Answer: ABC

3.7 score

Answer

D错误(最底层为离线存储器)，E错误(寄存器需要程序员显式管理)。ABC均符合存储层次特性。

analysis:

knowledge point:

程序局部性

21. (多选题, 3.6score)[多选题]关于存储器扩展方式的正确描述有()
- A. 位扩展增加存储字长
 - B. 字扩展增加存储单元数量
 - C. 片选信号由地址译码器产生
 - D. 位扩展需并联数据线
 - E. 字扩展需串联地址线

My Answer: BCD

Correct Answer: ABCD

1.8 score

Answer

E错误，字扩展需并联地址线，通过片选信号区分不同芯片。其他选项正确描述扩展原理。

analysis:

knowledge point:

存储扩展

22. (多选题, 3.6score)[多选题]单体多字存储器的局限性包括()
- A. 要求数据对齐访问
 - B. 无法提升随机访问速度
 - C. 增加总线宽度
 - D. 需要复杂控制逻辑
 - E. 降低存储密度

My Answer: ABCDE

Correct Answer: ABC

0 score

Answer

D/E不准确，控制逻辑相对简单，密度不影响

analysis:

knowledge point:

并行存储系统

一. 单选题

- 1
- 6
- 11


二. 多选题

- 16
- 21
- 26

- A. 控制位线与存储单元的连接
- B. 提供电源电压
- C. 接收列选通信号
- D. 实现读写操作隔离

My Answer: ACD

Correct Answer: AD



0 score

Answer

门控管由行选通信号控制，连接位线与存储单元，并在非选中时隔离单元。

analysis:

knowledge point:


SRAM

24. (多选题, 3.6score)[多选题]影响DRAM访问速度的主要因素包括()

- A. 电容刷新时间
- B. 行缓冲区命中率
- C. 存储单元行列解码延迟
- D. 数据总线频率
- E. 封装散热性能

My Answer: ACD

Correct Answer: ABCD



1.8 score

Answer

E主要影响稳定性而非速度。DRAM需要定期刷新(A)，行缓冲命中可跳过行选通(B)，行列地址分时传输增加

analysis:

延迟(C)，总线频率限制数据传输率(D)。

knowledge point:

存储系统概述

DRAM

25. (多选题, 3.7score)[多选题]影响Cache命中率的主要因素包括()

- A. 程序访问局部性特征
- B. Cache容量大小
- C. 主存访问速度
- D. 替换算法选择
- E. 数据总线宽度

My Answer: ABD

Correct Answer: ABD



3.7 score

Answer

C影响主存性能但非命中率直接因素，E与带宽相关。ABD正确描述影响命中率的关键因素。

analysis:


knowledge point:

cache原理

一. 单选

- 1
 - 6
 - 11
- 二. 多选
- 16
 - 21
 - 26

- A. 都采用局部性原理提升性能
- B. 替换策略都需要考虑写回机制
- C. 缺失处理都需要操作系统介入
- D. 地址映射都需要硬件支持
- E. 信息单位都采用固定大小的块

My Answer: ACDE Correct Answer: ADE  0 score

Answer analysis: B错误(Cache替换不一定需要写回), C错误(Cache缺失由硬件处理)。ADE正确描述共性。

knowledge point:

虚拟存储器

一. 单选题

1

6

11

二. 多选题

16

21

26