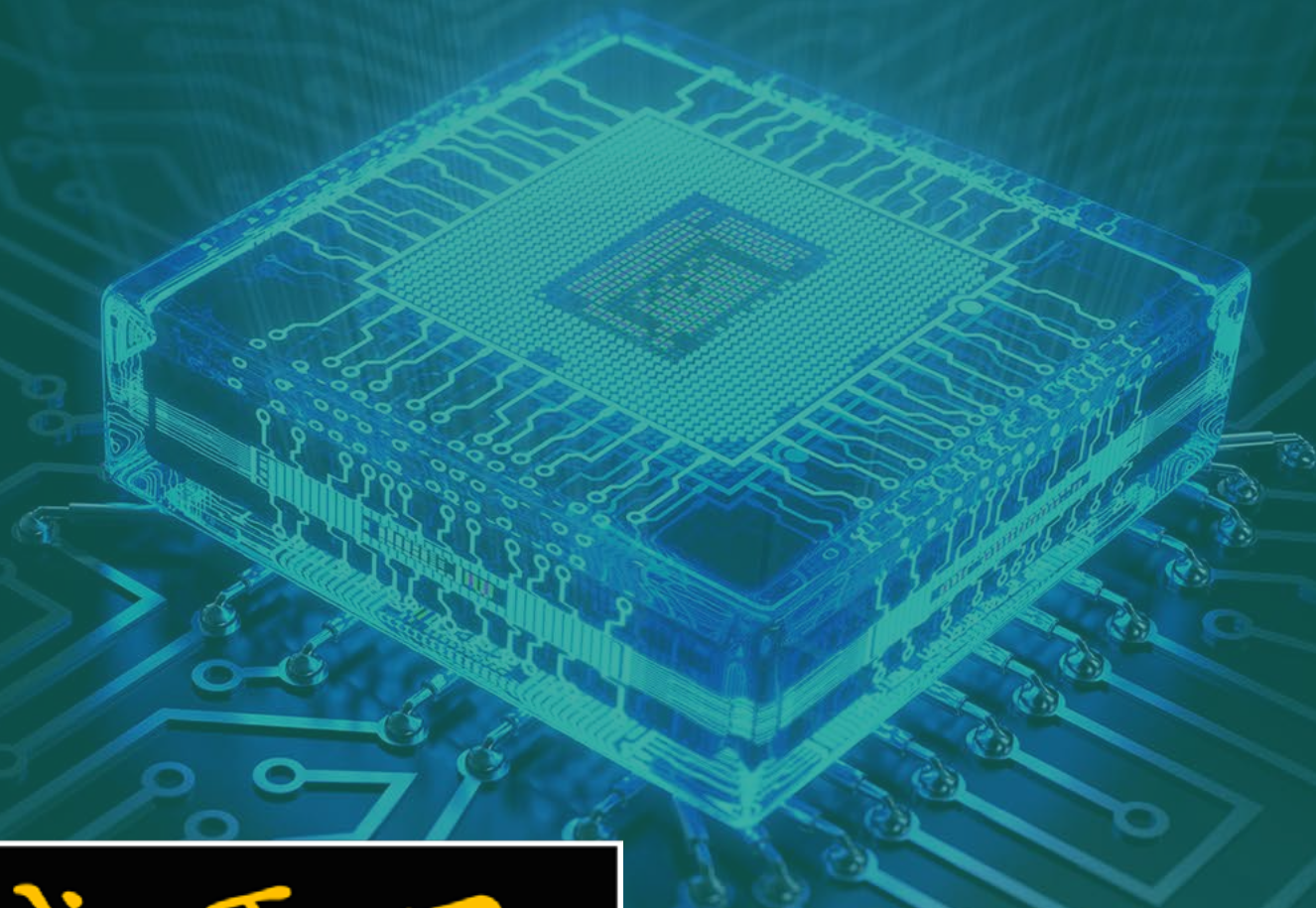




华中科技大学

计算机科学与技术学院

School of Computer Science & Technology, HUST



计算机组成原理



计算机组成原理



十、复习重点



|| 课程内容

1. 计算机系统概述
2. 数据信息表示
3. 运算方法与运算器
4. 存储系统
5. 指令系统
6. 中央处理器
7. 总线系统
8. 输入输出系统



|| 课程内容

1. 计算机系统概述
2. 数据信息表示
3. 运算方法与运算器
4. 存储系统
5. 指令系统
6. 中央处理器
7. 总线系统
8. 输入输出系统



数据表示

- n 真值 (+ / -)、原码 (0 / 1)、补码 (0 / 1 , 负数逐位取反、末尾加1 , 表示范围)
 - p 8 位整数的补码表示范围 $[-128, 127)$
- n 整数都采用补码来表示
- n 32位 IEEE 754 浮点数表示：符号位、阶码 (8位移码 / 偏移量127)、尾数 (原码)
- n 作为运算器、内存数据存储的基础

信息校验

- n 码距概念：检一，纠一（假设不发生两位错），检二 & 纠一
- n 奇偶校验码概念、检错纠错性能（码距 = 2）
- n 海明码：采用分组交叉奇偶校验，检错码值表示出错位置

最小码距	检错	纠错
1	0	0
2	1	0
3	2	或 1
4	2	且 1

- p $N = k + r$ $2^r - 1$ 码距 ≥ 3
- p 编码方式：数据位和校验位布局，校验位/检错位逻辑表达式
- p 解码纠错方式

(4,3) 海明码

H ₇	H ₆	H ₅	H ₄	H ₃	H ₂	H ₁
D ₄	D ₃	D ₂	P ₃	D ₁	P ₂	P ₁

$$\begin{aligned}
 G_1 &= P_1' \oplus D_1' \oplus D_2' \oplus D_4' \\
 G_2 &= P_2' \oplus D_1' \oplus D_3' \oplus D_4' \\
 G_3 &= P_3' \oplus D_2' \oplus D_3' \oplus D_4'
 \end{aligned}$$

3 个校验位/组，
数据位出错导致
多个检错位出错

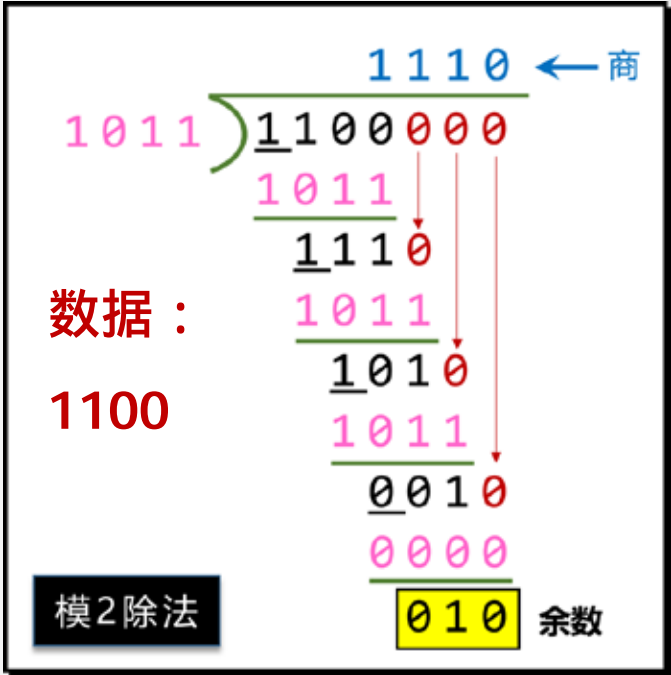
G ₃ G ₂ G ₁	出错位	备注 (假设只有1位错)	
000	数据正常	生成校验位 P ₃ P ₂ P ₁ ，接收端计算检错位 G ₃ G ₂ G ₁	
001	H ₁ 出错	H ₁ 出错仅仅导致 P ₁ 位出错	P ₁ 存放在 H ₁ 位置
010	H ₂ 出错	H ₂ 出错仅仅导致 P ₂ 位出错	P ₂ 存放在 H ₂ 位置
100	H ₄ 出错	H ₄ 出错仅仅导致 P ₃ 位出错	P ₃ 存放在 H ₄ 位置
011	H ₃ 出错	H ₃ 参与 G ₂ G ₁ 两校验组	D ₁ 存放 H ₃
101	H ₅ 出错	H ₅ 参与 G ₃ G ₁ 两校验组	D ₂ 存放H ₅
110	H ₆ 出错	H ₆ 参与 G ₃ G ₂ 两校验组	D ₃ 存放H ₆
111	H ₇ 出错	H ₇ 参与 G ₃ G ₂ G ₁ 三校验组	D ₄ 存放H ₇

n **CRC 码**：编码后校验码可被生成多项式整除（模 2），解码余数不为零表示出错

p $N = k + r \quad 2^r - 1 \quad \text{码距} \geq 3$

p 编码：数据左移 r 位 + 数据多项式除以生成多项式的余数

p 解码纠错：根据余数值确定出错位



加减不进位/借位，除法：
余数首位为1/0，商上1/0

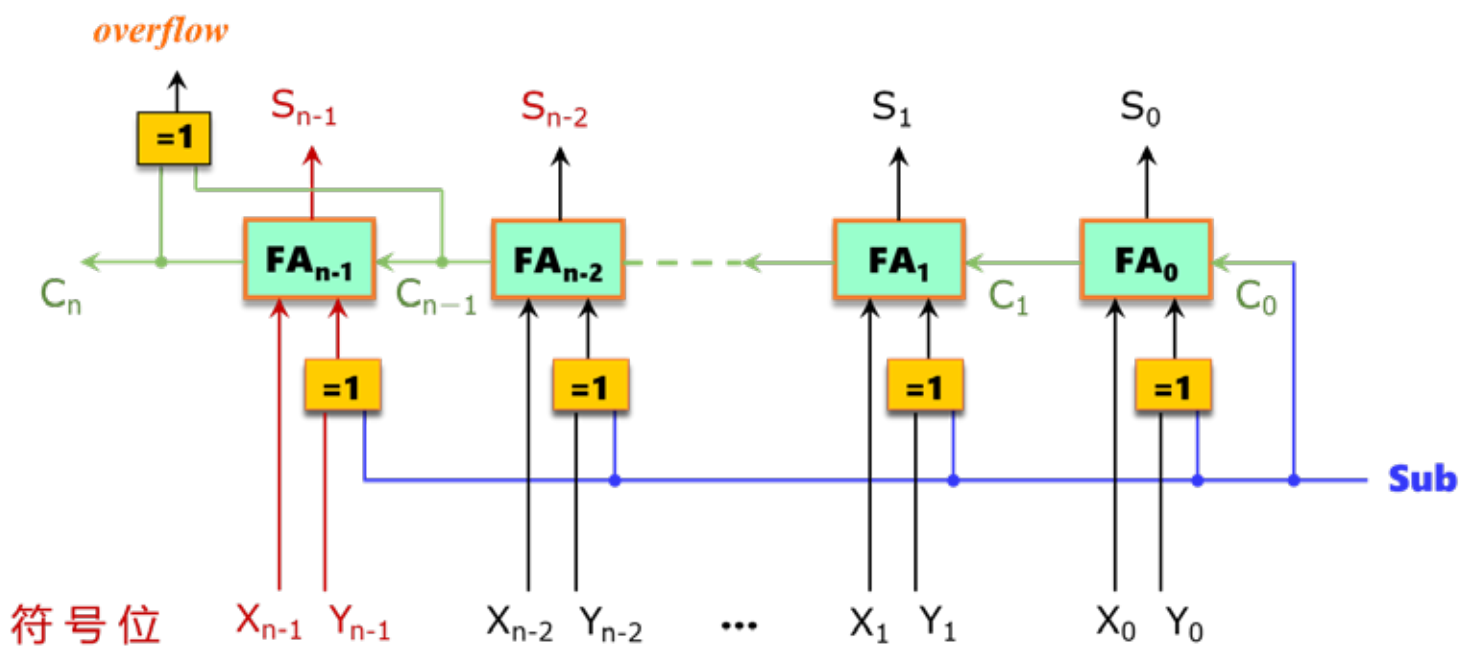
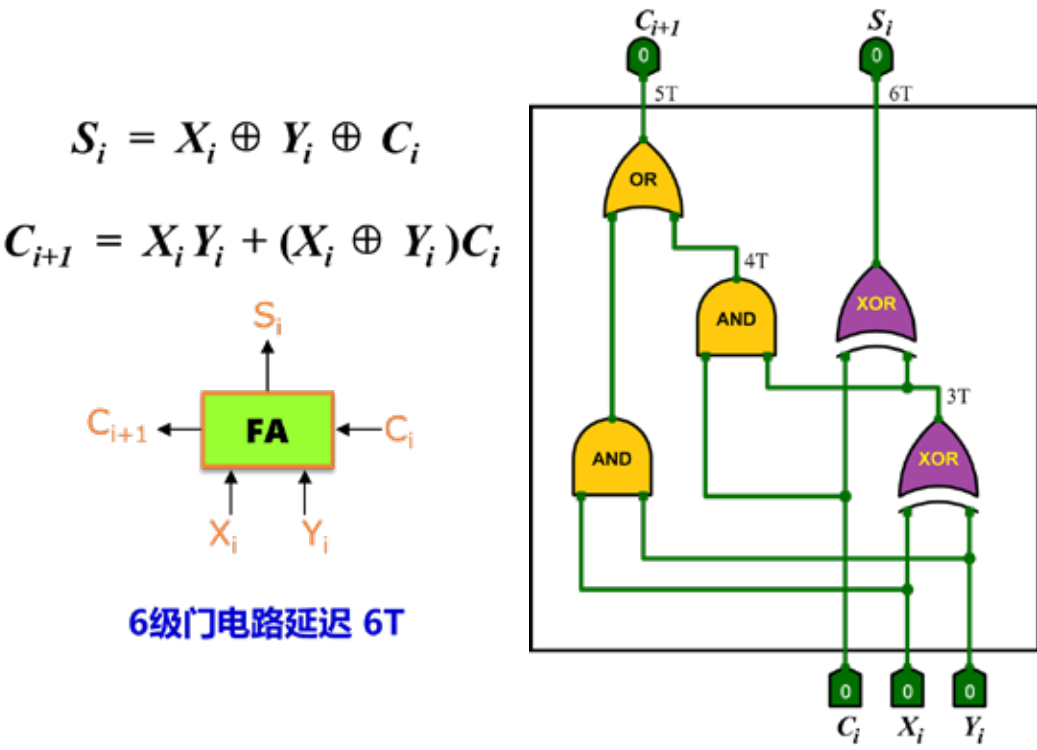
|| 课程内容

1. 计算机系统概述
2. 数据信息表示
3. 运算方法与运算器
4. 存储系统
5. 指令系统
6. 中央处理器
7. 总线系统
8. 输入输出系统



加法器

n 一位全加器，串行加法器：逻辑表达式、电路图、延迟分析



$G_i = X_i Y_i$

进位生成函数 **Generate**

$P_i = X_i \oplus Y_i$

进位传递函数 **Propagate**

$$C_{i+1} = G_i + P_i C_i$$

n 先行/并行进位，快速加法器

补码一位乘法 ((除法不考))

递归运算: $\Sigma_{i+1} = (\Sigma_i + (Y_{n-i+1} - Y_{n-i}) \times [X]_{\text{补}}) \times 2^{-1}$



$[X]_{\text{补}} = 0.1101$

$[Y]_{\text{补}} = 1.1101$

求 $[X]_{\text{补}} \times [Y]_{\text{补}}$

■ $[-X]_{\text{补}} = 1.0011$

■ $Y_{n+1}Y_n$ 决定累加值

□ $\Sigma += (Y_{n+1} - Y_n)[X]_{\text{补}}$

■ 算术右移

■ 5 次加法, 4 次移位

$\Sigma = 0$ 00.0000

+ 11.0011

11.0011

→ 11.1001

+ 00.1101

00.0110

→ 00.0011

+ 11.0011

11.0110

→ 11.1011

+ 00.0000

11.1011

→ 11.1101

+ 00.0000

11.1101

1

1

01

01

001

001

1001

1001

乘数判断位 $Y_n Y_{n+1}$

1.11010

.11101

.1110

.111

.11

← 最终乘积

浮点数运算

n 对阶（小阶对大阶，求阶差，尾数右移）

n 尾数求和

n 规格化（左规，右规）

n 溢出判断（阶码是否溢出）

n 舍入（截去、0舍1入、偶数舍入）

$$\begin{array}{r} X = 2^{E_x} M_x \\ + Y = 2^{E_y} M_y \\ \hline \text{????????} \end{array}$$

运算溢出

n 加法溢出

p 符号位进位位 C_f 、数据最高位进位位 C_n 相异则溢出 $\text{Overflow} = C_f \oplus C_n$

p 双符号位 f_1 、 f_2 相异则溢出 $\text{Overflow} = f_1 \oplus f_2$

n 乘法溢出

p 高位值是否都等于符号位

n 浮点数运算溢出

p 阶码是否溢出

|| 课程内容

1. 计算机系统概述
2. 数据信息表示
3. 运算方法与运算器
4. 存储系统
5. 指令系统
6. 中央处理器
7. 总线系统
8. 输入输出系统



|| 存储系统考察重点

n 存储器扩展与连接

n 高速缓存cache

n 虚拟存储器

存储器扩展（考试题）

n 某计算机字长为 32 位，主存容量为 $512K \times 32$ 位，地址空间如下。

p 00000 H ~ 0FFFF H 是保留区域

p 10000 H ~ 2FFFF H 是ROM区域

p 30000 H ~ 7FFFF H 是RAM区域

n 请用 $64K \times 32$ 位的ROM芯片、 $128K \times 16$ 位的RAM芯片设计一个主存储器。

p 共需要____片ROM芯片和____片RAM芯片，给出简单计算分析。

p 绘制CPU与存储芯片连接示意图。

MREQ#

A₁₈₋₀

R/W#

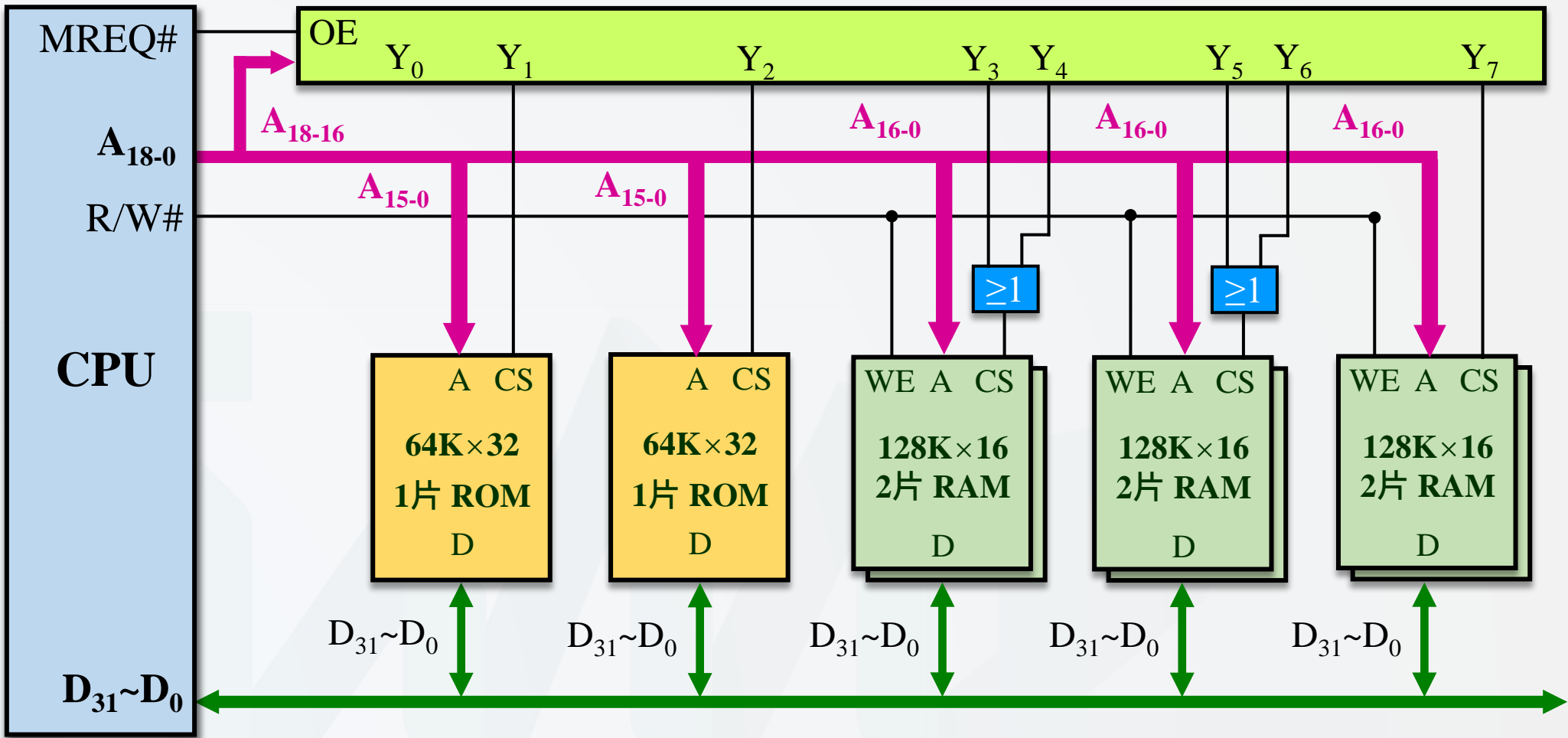
CPU

D_{31~D₀}

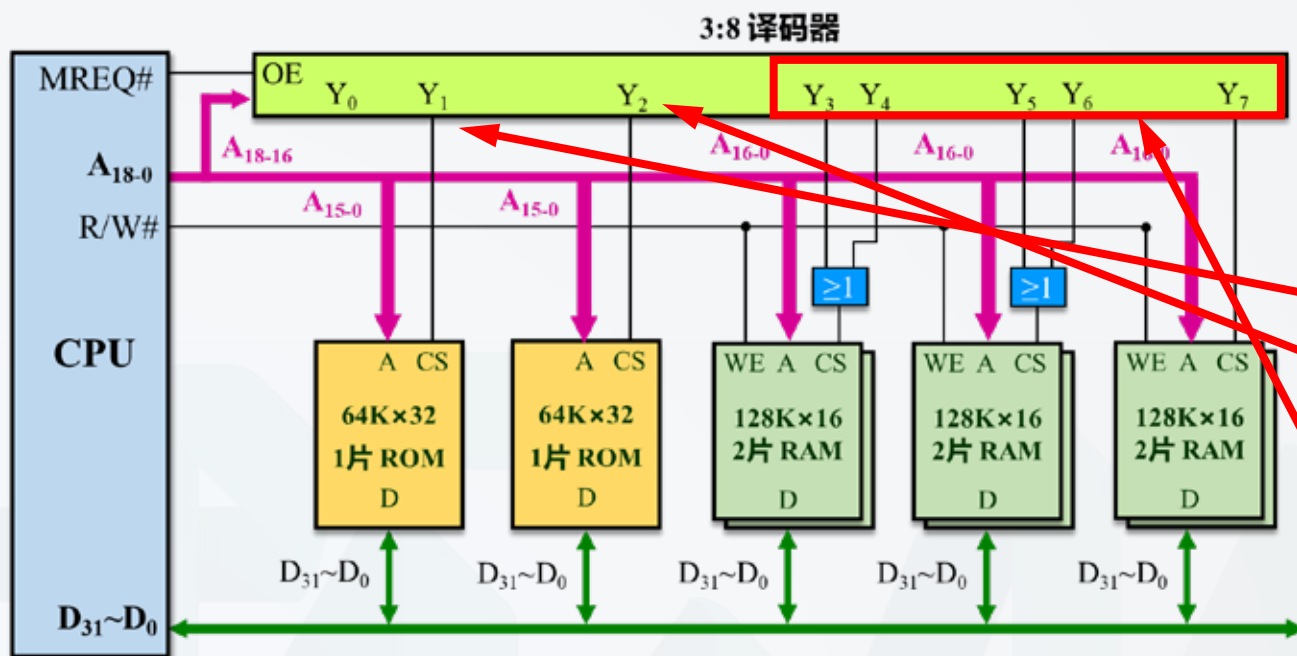
存储器扩展 (考试题)

64K 字的保留区域，128K 字的 ROM 区域，320K 字的 RAM 区域

3:8 译码器



存储器扩展（考试题）



保留区域地址空间是 00000 H ~ 0FFFF H, 大小为 64K × 32 位

[illegible]

ROM 区域地址空间是 10000 H ~ 2FFFF H, 大小是 128K × 32 位

[illegible]

RAM 区域地址空间是 30000 H ~ 7FFFF H, 大小是 320K × 32 位

[illegible]

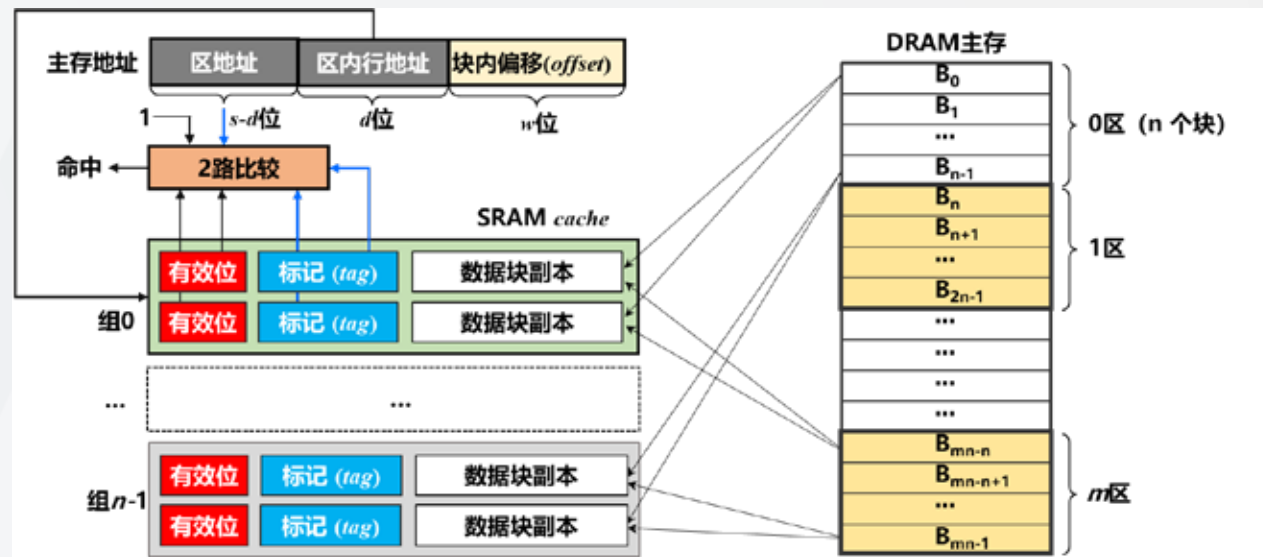
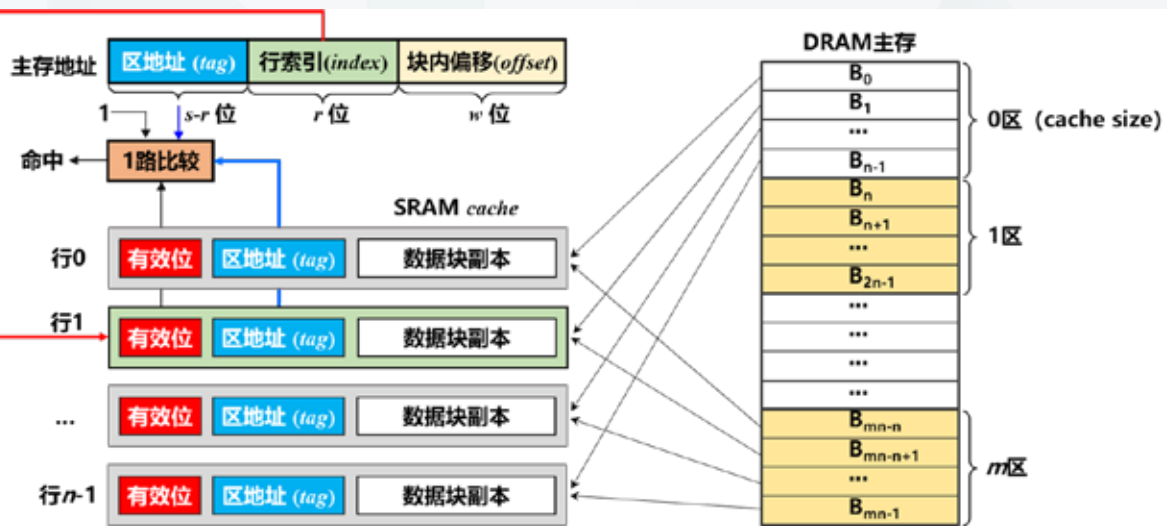
高速缓存

Cache 8 行, 块大小 $4W$, 主存 $2^9 W$

n 全相联

n 直接相联

n 组相联



n 结合程序，分析主存地址格式、缓存容量、载入和替换过程、命中/缺失率等

- 主存地址空间大小为256MB，按字节编址。指令、数据Cache 各 8行，Cache行大小为 64B，数据Cache直接相联。现有两功能相同的程序A，B，其伪代码如下所示：
- 假定int型数据为32位补码，程序编译时i,j,sum均分配在寄存器中，数组a按行优先方式存放，首地址为320（十进制）。

```
int a[256][256];  
for (i = 0; i < 256; i++)  
    for (j = 0; j < 256; j++)  
        sum += a[i][j];
```

程序 A

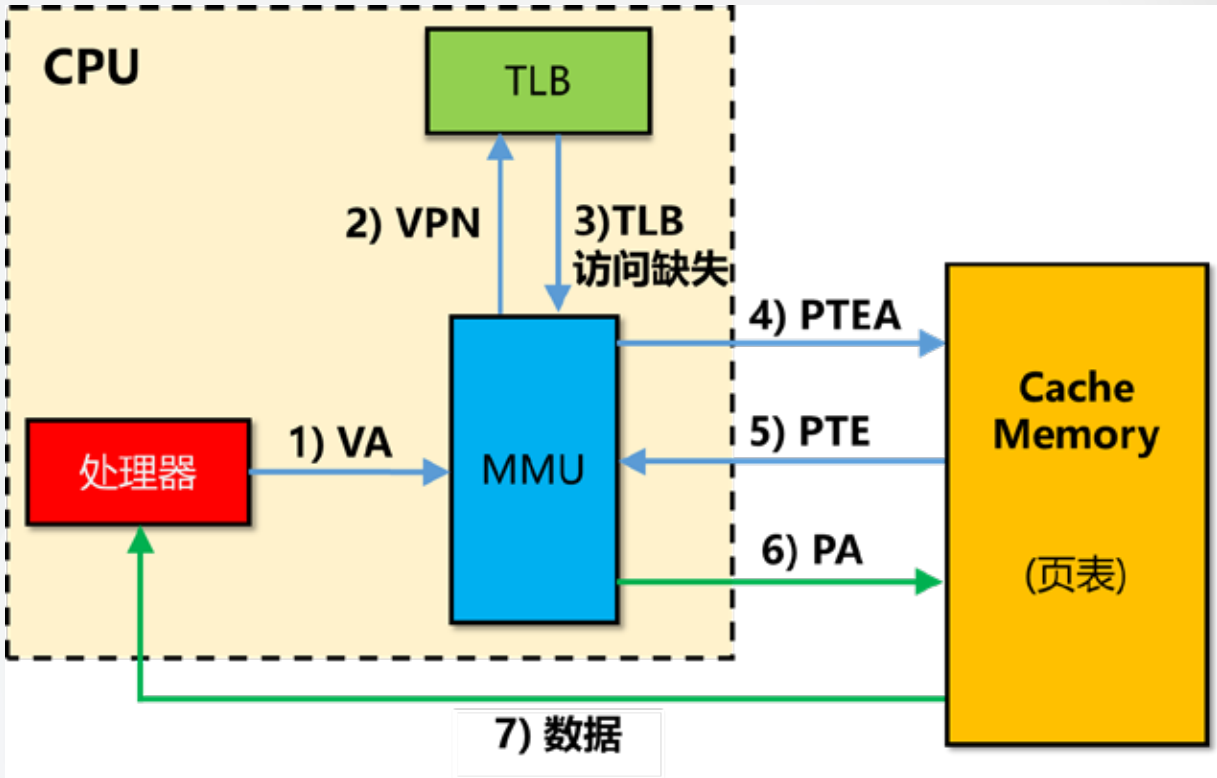
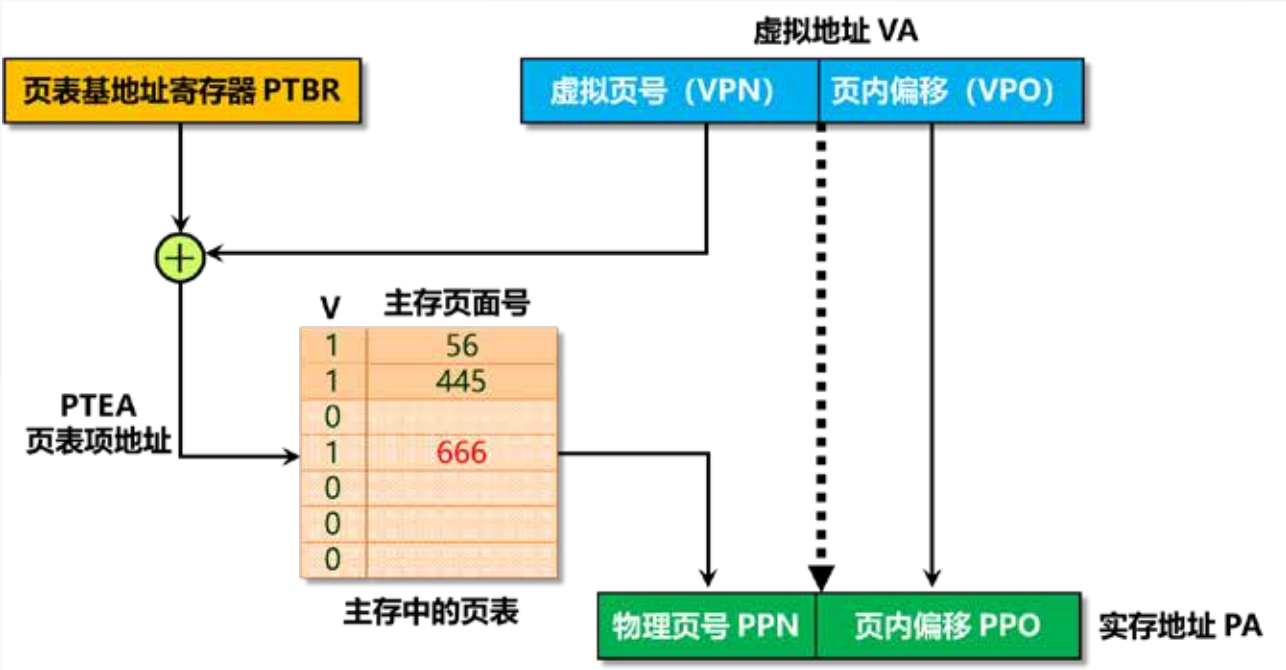
```
int a[256][256];  
for (j = 0; j < 256; j++)  
    for (i = 0; i < 256; i++)  
        sum += a[i][j];
```

程序 B

- 1) 若不考虑用于Cache一致性维护和替换算法的控制位，数据cache的总容量是多少？
- 2) 数组元素a[0][31],a[1][1]所在主存块对应的cache行分别是多少，行号从零开始。
- (3)程序A，B的数据访问命中率各是多少？那个程序的执行时间更短？

虚拟存储器

- n 虚拟存储器原理，页表，TLB，缺页异常
- n 分析地址格式、地址转换（页表）、数据访问过程
- n 掌握教材例4.7



|| 课程内容

1. 计算机系统概述
2. 数据信息表示
3. 运算方法与运算器
4. 存储系统
5. 指令系统
6. 中央处理器
7. 总线系统
8. 输入输出系统



指令系统考察重点

n 指令格式分析

- p 给定指令系统包含的指令类型和格式，分析指令系统特点，如指令条数、跳转范围
- p 给定指令系统的功能设计目标，设计指令格式

n 寻址方式

- p 不同寻址方式对比
- p 分支指令跳转后PC的值

n CISC与RISC的区别



|| 课程内容

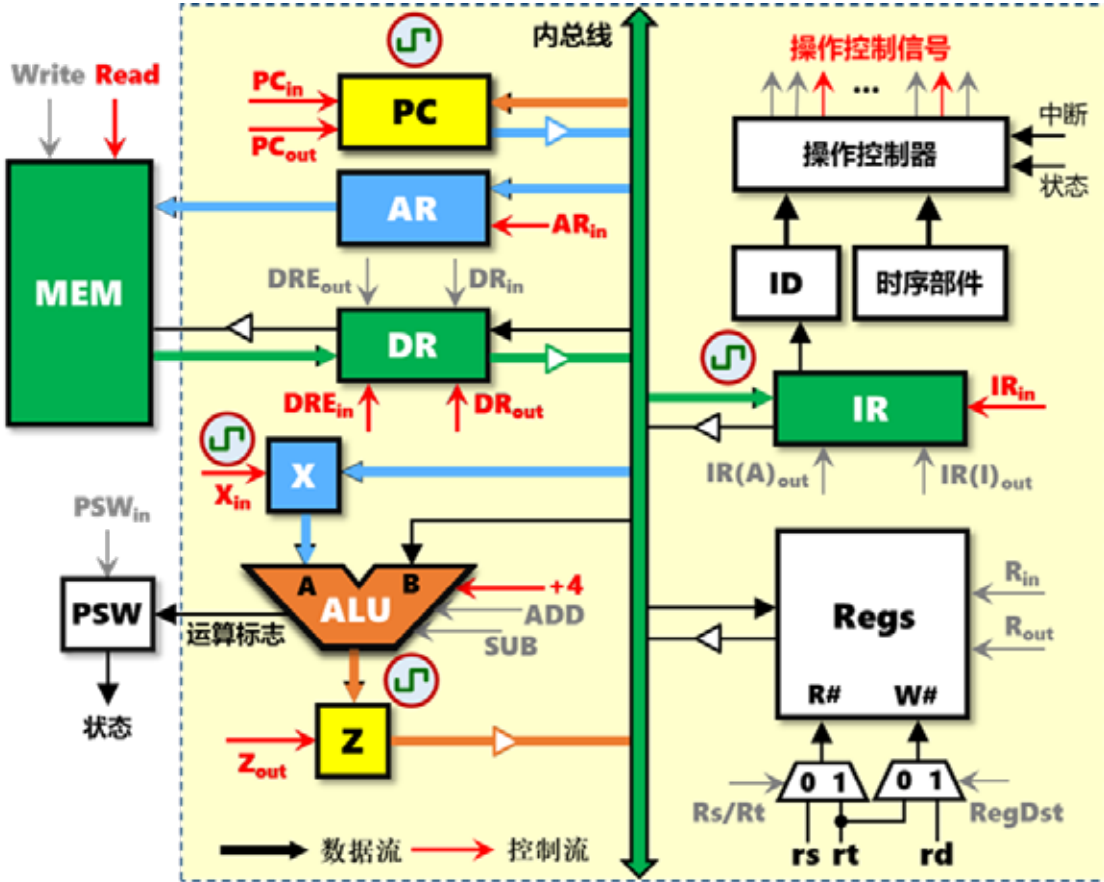
1. 计算机系统概述
2. 数据信息表示
3. 运算方法与运算器
4. 存储系统
5. 指令系统
6. 中央处理器
7. 总线系统
8. 输入输出系统



CPU 工作原理

n 根据 RTL 描述、CPU 架构，给出数据通路、控制信号

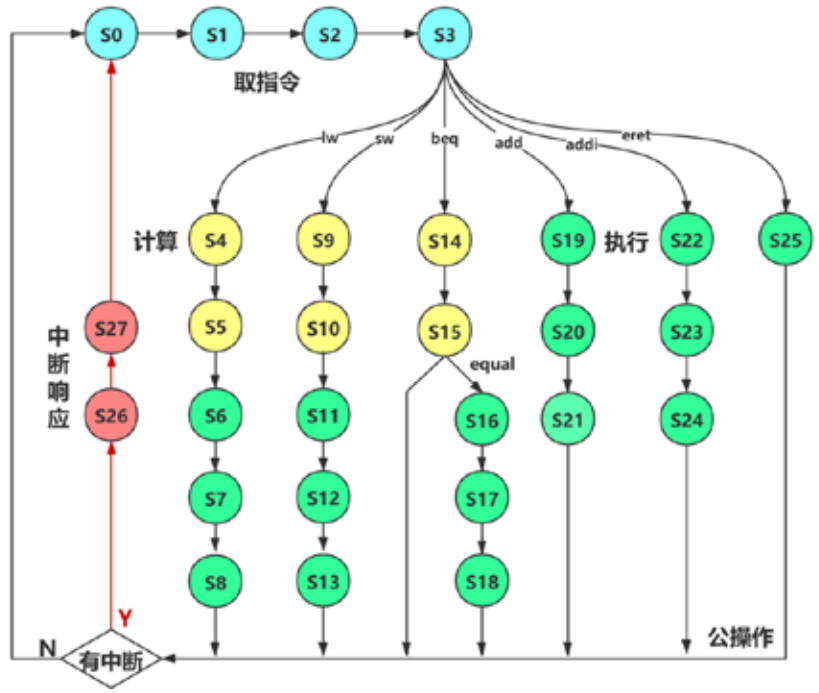
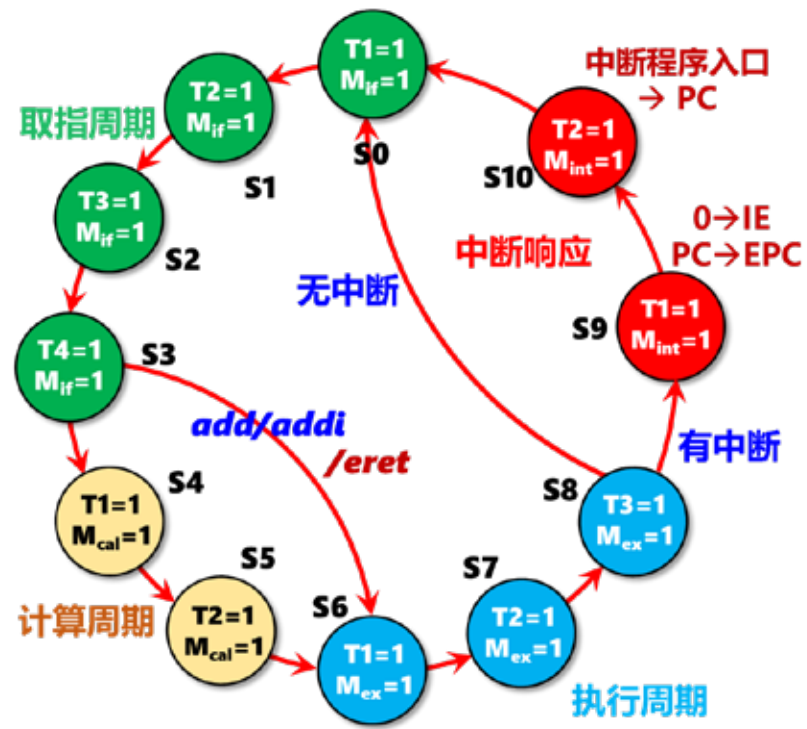
#	指令	指令功能 (RTL描述)
1	lw rt,imm(rs)	$R[rt] \leftarrow M[R[rs] + \text{SignExt}(imm)]$
2	sw rt,imm(rs)	$M[R[rs] + \text{SignExt}(imm)] \leftarrow R[rt]$
3	beq rs,rt,imm	$\text{if}(R[rs] == R[rt]) \text{ PC} \leftarrow \text{PC} + 4 + \text{SignExt}(imm) \ll 2$
4	addi rt,rs,imm	$R[rt] \leftarrow R[rs] + \text{SignExt}(imm)$
5	add rd,rs,rt	$R[rd] \leftarrow R[rs] + R[rt]$



节拍	数据通路 (数据流)	控制信号(控制流)
T1	PC→AR, PC→X	PC _{out} , AR _{in} , X _{in}
T2	X+4→Z	+4
T3	Z→PC, M[AR]→DR	Z _{out} , PC _{in} , DRE _{in} , Read
T4	DR→IR	DR _{out} , IR _{in}

CPU 控制器设计

n 设计状态机（三级/现代时序），控制信号表达式（硬布线），中断实现



节拍	控制信号(4 cycles)	
T1	PC _{out}	AR _{in} , X _{in}
T2	+4	
T3	Z _{out} , PC _{in} , DRE _{in}	Read
T4	DR _{out}	IR _{in}

节拍	lw (5 cycles)	sw (5 cycles)
T1	R _{out} , X _{in}	R _{out} , X _{in}
T2	IR(I) _{out} ADD	IR(I) _{out} ADD
T1	Z _{out} , AR _{in}	Z _{out} , AR _{in}
T2	DRE _{in} Read	R _{out} , Rs/Rt, DR _{in}
T3	DR _{out} , R _{in}	DRE _{out} , Write

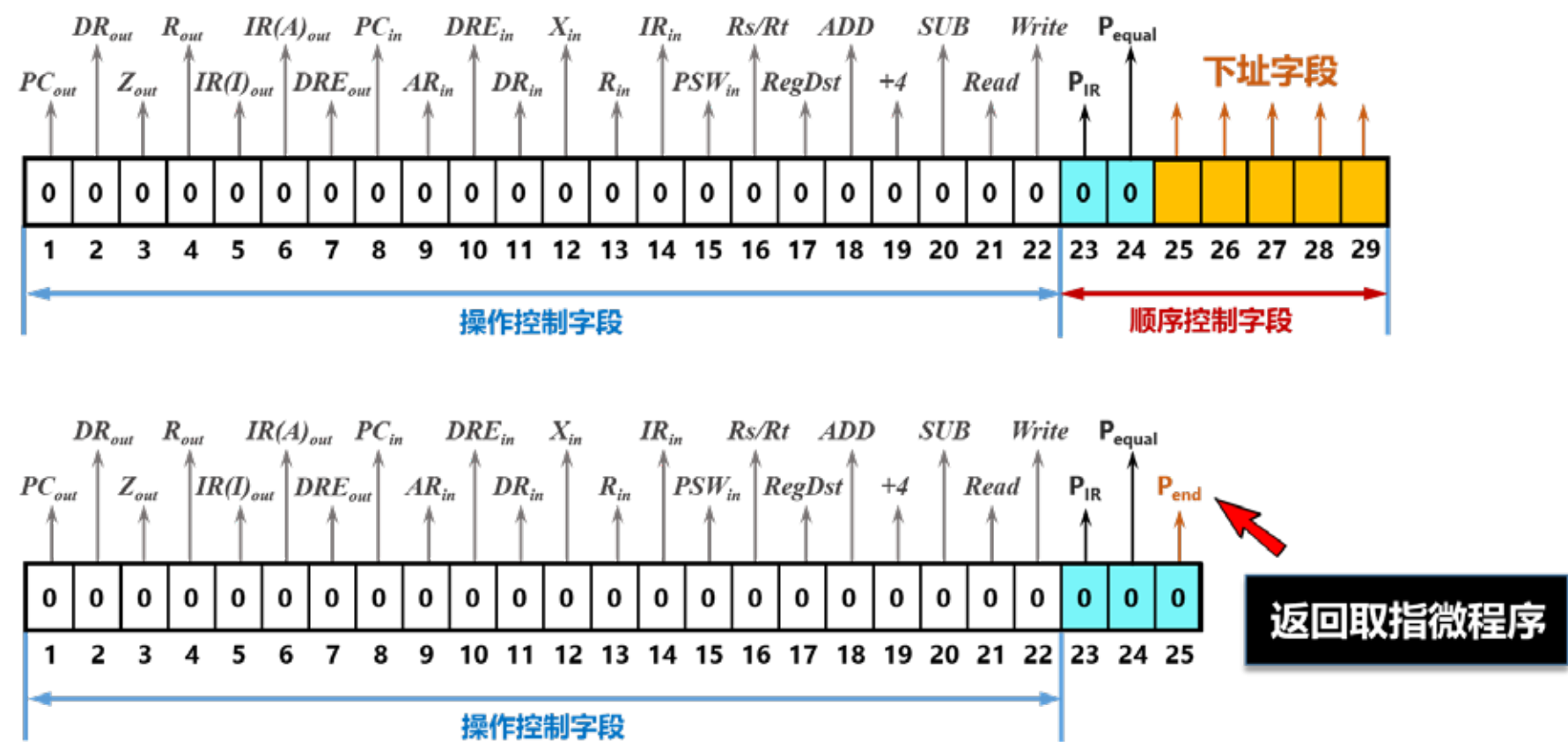
$$C_n = \sum_{m,i,k,j} (I_m \cdot M_i \cdot T_k \cdot B_j)$$

$$Read = M_{IF} \cdot T3 + lw \cdot M_{EX} \cdot T2$$

$$IR(I)_{out} = (lw+sw) \cdot M_{cal} \cdot T2 + addi \cdot M_{EX} \cdot T2$$

CPU 控制器设计

- 微程序，微指令，控制字段 (P_{IR} 、 P_{equal} 、 P_{end} or 下址字段)
- 缩减指令长度：微命令编码（压缩互斥性微指令）、计数器法（增加 P_{end} ）



中断异常处理

n 软硬件升级

p 开关中断

u 增加IE寄存器

p 保存断点

u 增加EPC寄存器/堆栈

p 中断识别

u 增加中断控制逻辑

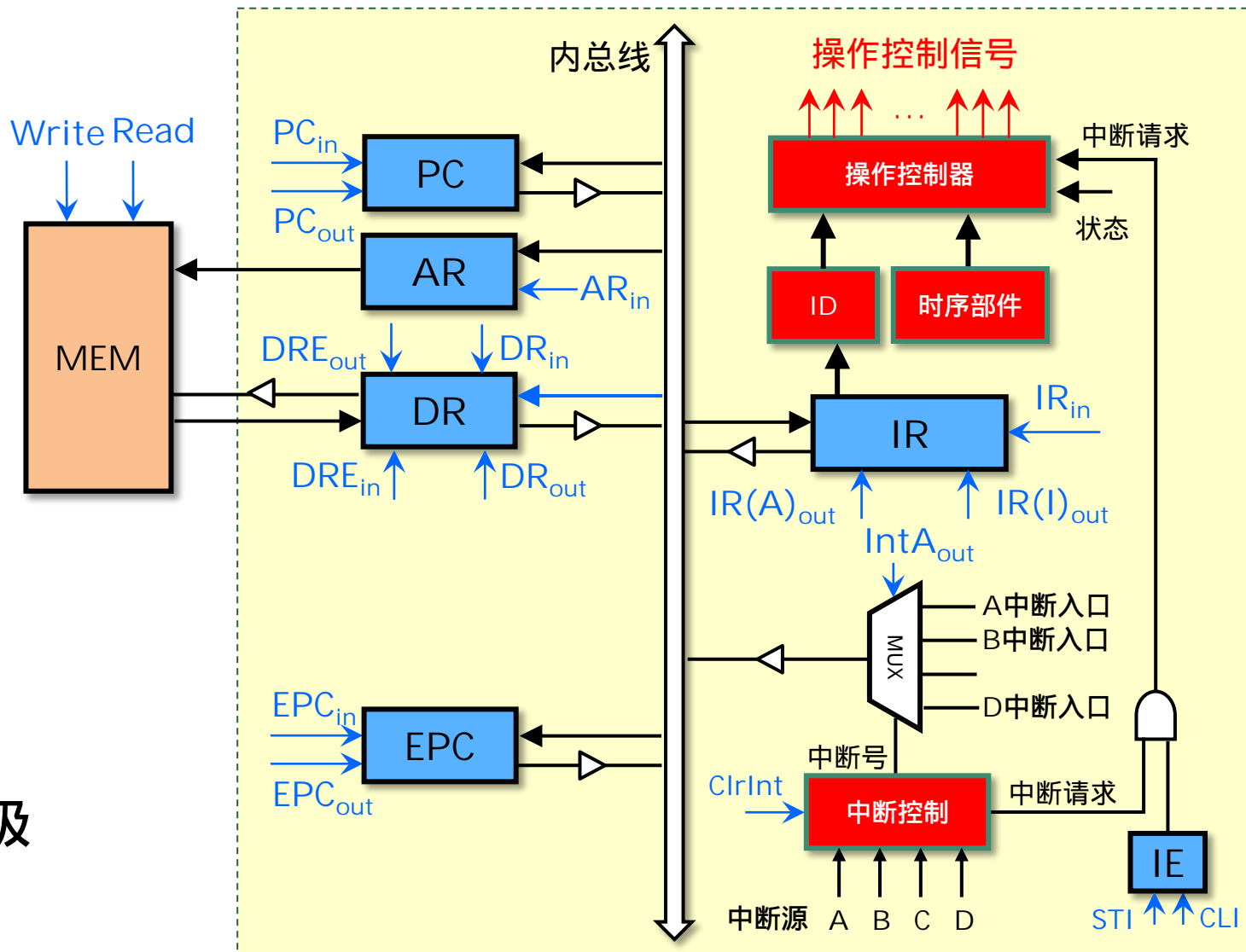
p 软件支持

u eret指令功能与实现

n 状态机如何升级

n 微指令，微程序控制器如何升级

n 完整的中断流程



|| 课程内容

1. 计算机系统概述
2. 数据信息表示
3. 运算方法与运算器
4. 存储系统
5. 指令系统
6. 中央处理器
7. 总线系统 (通常不会单独考)
8. 输入输出系统



I/O 系统考察重点

n 三种数据传输方式：程序（定时）查询、中断、DMA

p 概念和工作原理，中断优先级

n 计算分析三种方式的 CPU 开销，占比

p 熟练掌握教材上的若干CPU开销计算的例题

p 什么场合适用什么传输方式

|| 计算分析三种方式的 CPU 开销

- n 某计算机CPU主频500MHz，CPI为5。假定某外设的数据传输率为0.5MB/s，采用中断方式与主机进行数据传送，以32位为传输单位，对应的中断服务程序包含18条指令，中断服务的其他开销相当于2条指令的执行时间。

在中断方式下，CPU用于外设I/O的时间占整个CPU时间的百分比是多少？

当外设的数传率为5MB/s时，改用DMA方式。假定DMA传送块大小为5000B，且DMA预处理和后处理的总开销为500个时钟周期，则CPU用于该外设I/O的时间占整个CPU时间的百分比是多少（假定DMA与CPU之间没有访存冲突）

查询方式计算 CPU 开销：查询次数 * 每次查询花费的时钟周期数



华中科技大学
计算机科学与技术学院
School of Computer Science & Technology, HUST

THANKS

计算机组成原理

