

第三章 半导体与集成门电路

主讲教师：何云峰



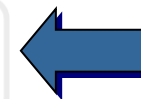
本章知识要点

- 半导体器件的开关特性
- 逻辑门电路的功能、外部特性及使用方法

提 纲

1

数字集成电路的分类



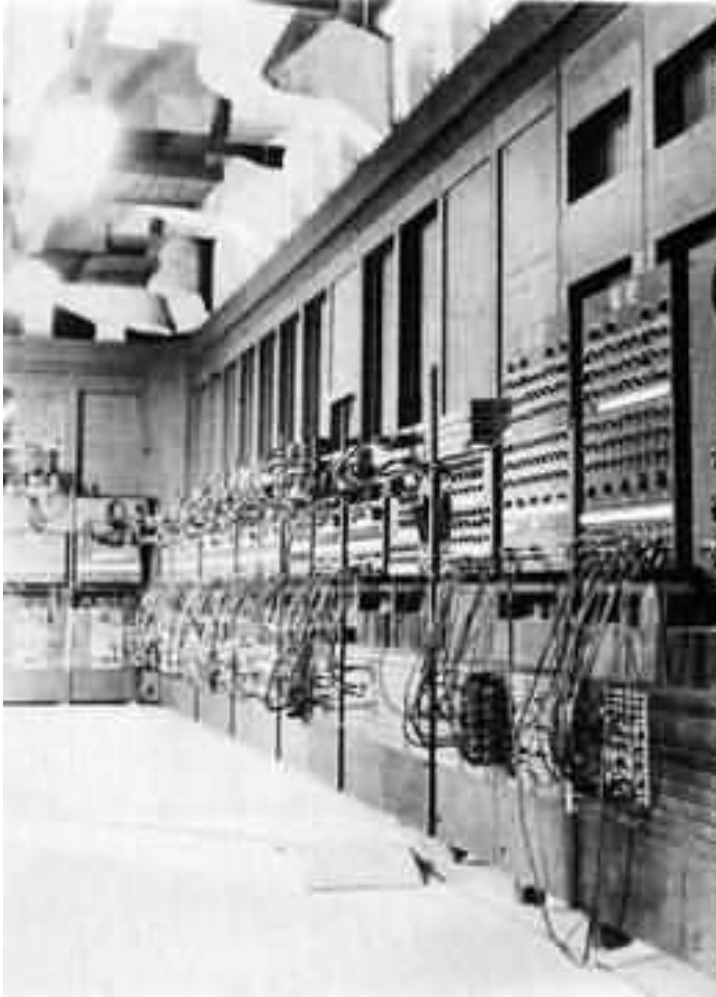
2

半导体器件的开关特性

3

门电路

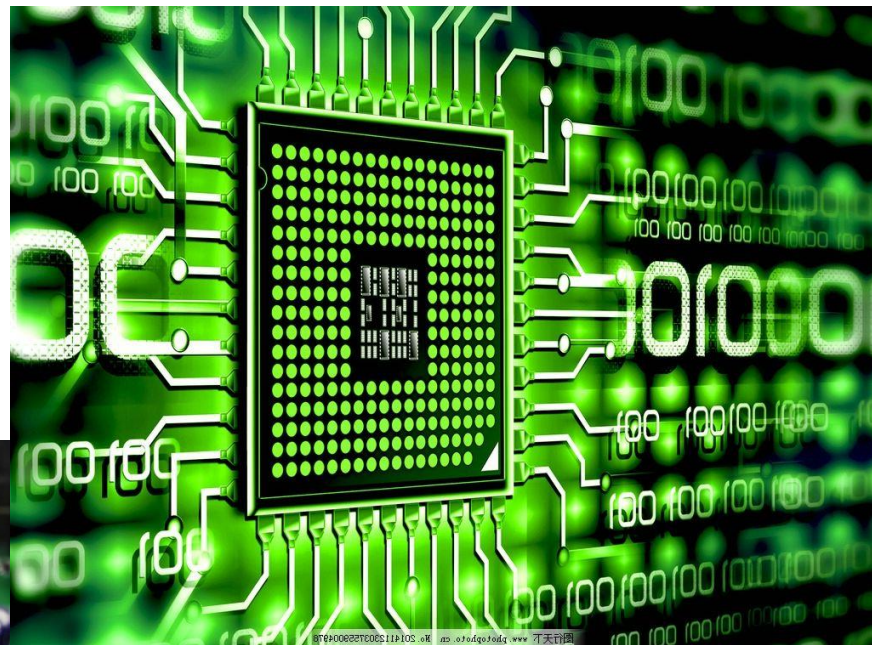
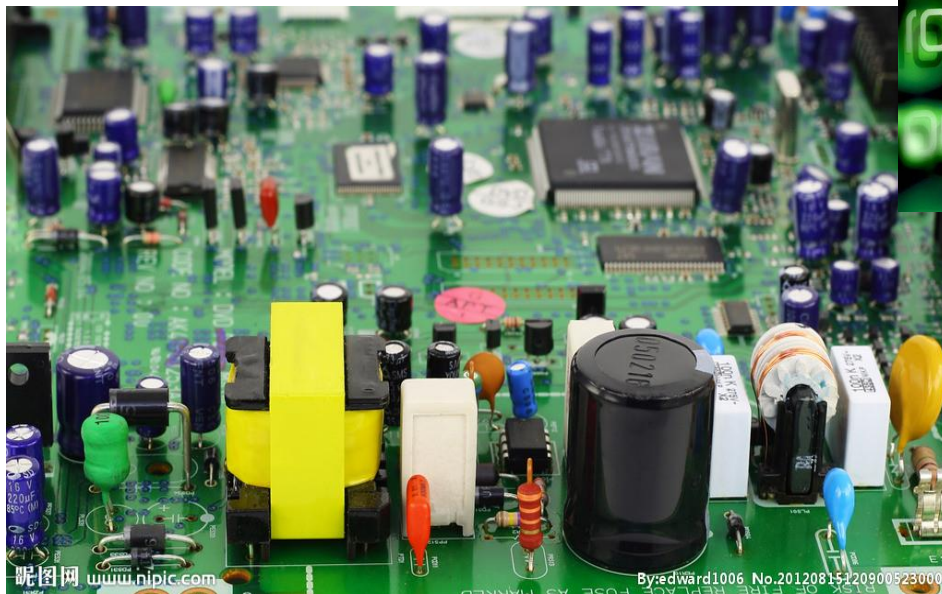
对比和选择



对比和选择



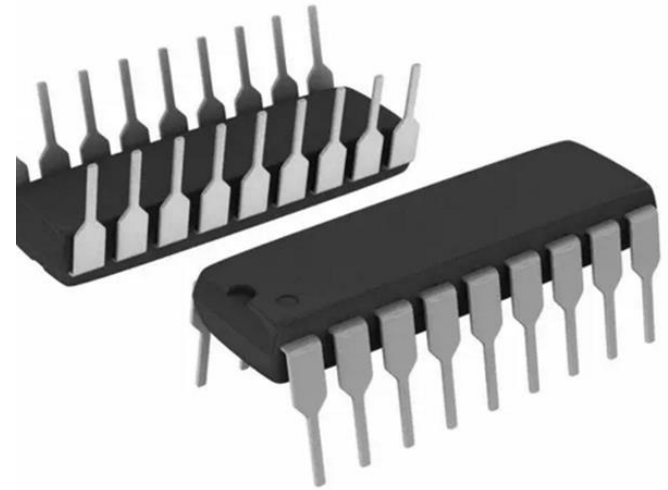
对比和选择



数字集成电路

- 集成门电路和触发器等逻辑器件实现数字系统功能的物质基础
- 集成电路块，通常又称为集成电路芯片
 - 封装各种逻辑功能
 - 半导体材料
 - 引线

数字集成电路



数字集成电路

□ 优点

- 可靠性高
- 可维性好
- 功耗低
- 成本低
- 可以大大简化设计和调试过程

数字集成电路的分类

□ 根据半导体器件进行分类

– 双极型集成电路

- 采用双极型半导体器件作为元件
- 速度快、负载能力强，功耗较大、集成度较低

– 单极型集成电路

- 金属-氧化物半导体场效应管作为元件
- 结构简单、制造方便、集成度高、功耗低，速度较慢

数字集成电路的分类

- 双极型集成电路可进一步可分为
 - TTL(Transistor Transistor Logic)电路
 - ECL(Emitter Coupled Logic)电路
 - I^2L (Integrated Injection Logic)电路

数字集成电路的分类

□ MOS集成电路又可进一步分为

- PMOS(P-channel Metal Oxide Semiconductor)
- NMOS(N-channel Metal Oxide Semiconductor)
- CMOS(Complement Metal Oxide Semiconductor)

数字集成电路的分类

□ 根据集成电路规模的大小进行分类

– SSI(小规模集成电路)

- 逻辑门数小于10 门(或元件数小于100个)

– MSI(中规模集成电路)

- 逻辑门数为10 门 ~ 99 门(或元件数100个 ~ 999个)

– LSI(大规模集成电路)

- 逻辑门数为100 门 ~ 9999 门(或元件数1000个 ~ 99999个)

– VLSI(超大规模集成电路)

- 逻辑门数大于10000 门(或元件数大于100000个)

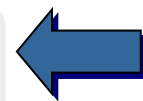
提 纲

1

数字集成电路的分类

2

半导体器件的开关特性



3

门电路

半导体器件的开关特性

□ 以开关方式运用

- 工作状态相当于开关的“接通”与“断开”

□ 运用在开关频率十分高的电路中

- 开关状态变化的速度可高达每秒百万次数量级甚至千万次数量级

半导体器件的开关特性

□ 静止特性

- 半导体器件处于导通和截止两种稳定状态下的特性

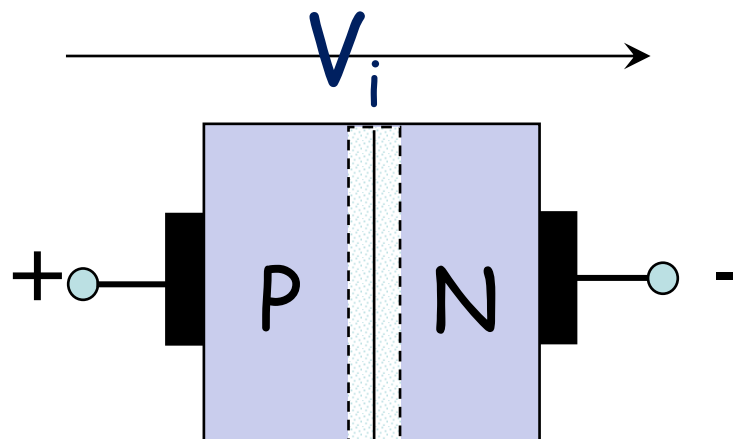
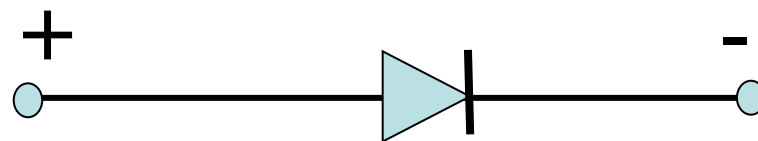
□ 动态特性

- 半导体器件在导通和截止两种状态转换过程中的特性
- 反向恢复时间
- 开通时间

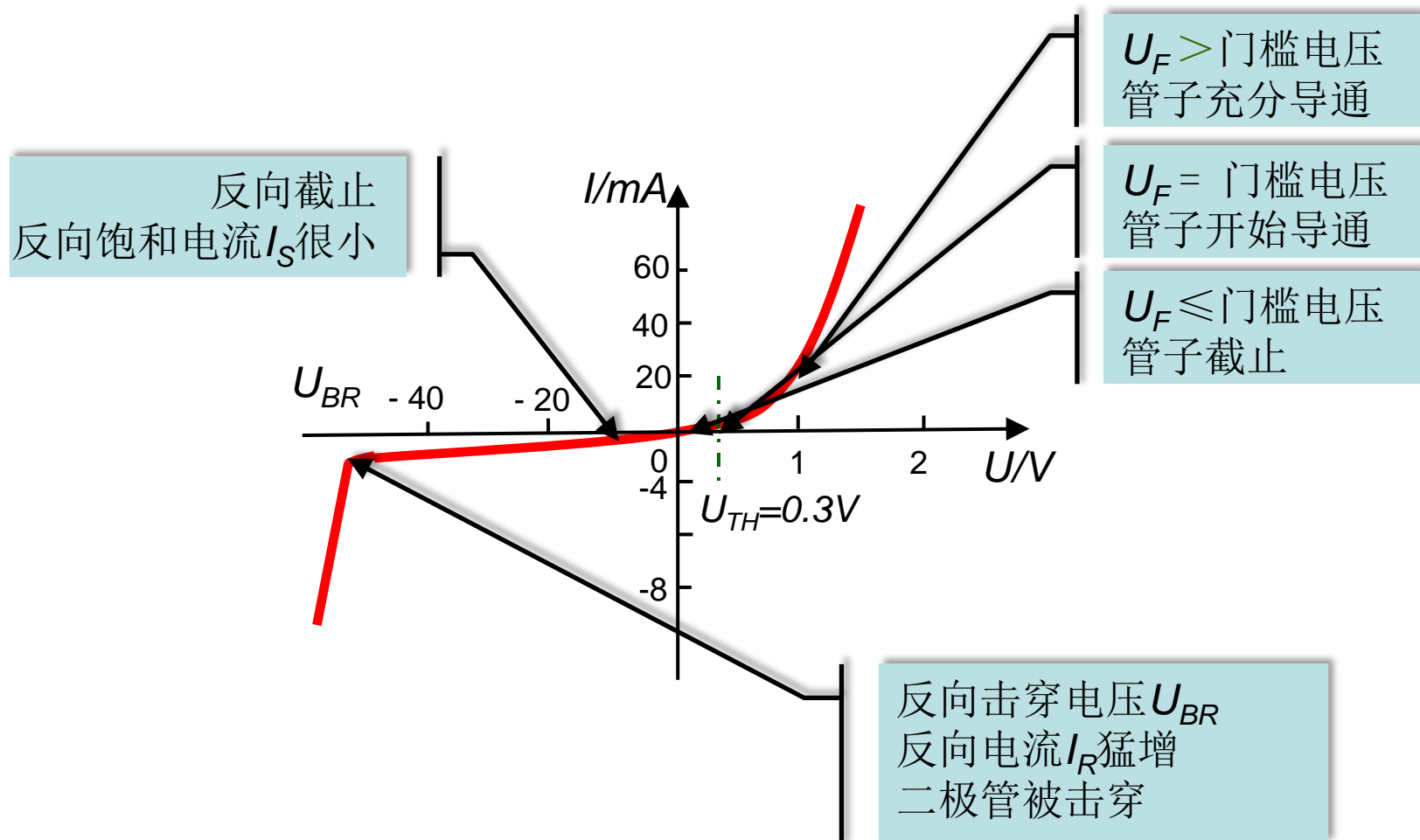
晶体二极管的开关特性



晶体二极管的开关特性



二极管的静态特性



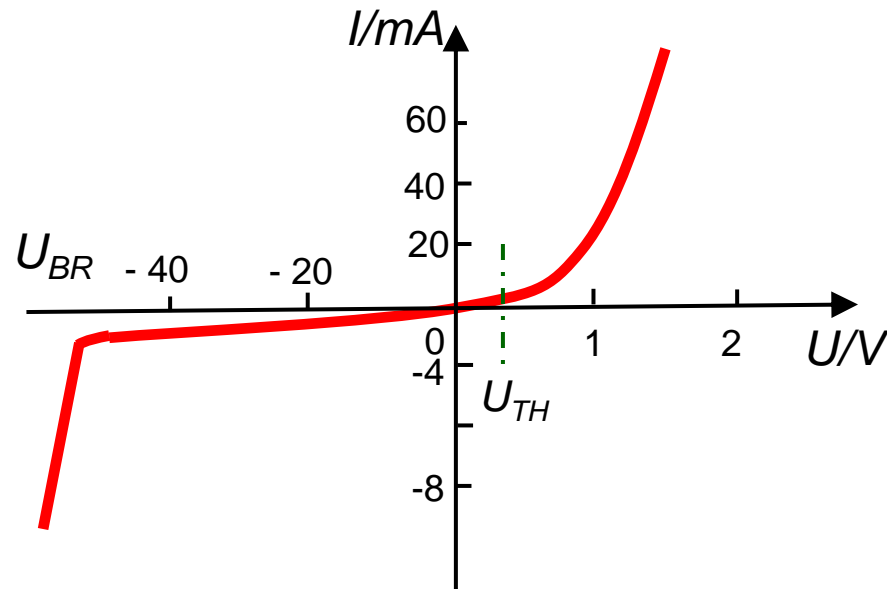
二极管的静态特性

□ 单向导电性

- 正向导通
- 反向截止

□ 注意：

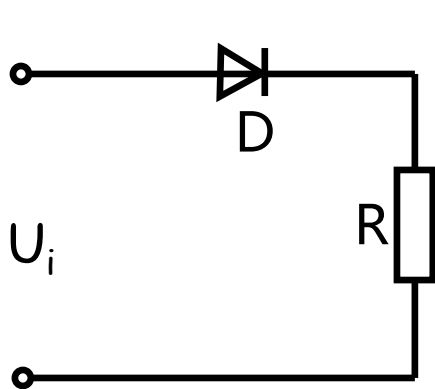
- 正向导通时可能因电流过大而导致二极管烧坏
- 组成实际电路时通常要串接一只电阻 R ，以限制二极管的正向电流



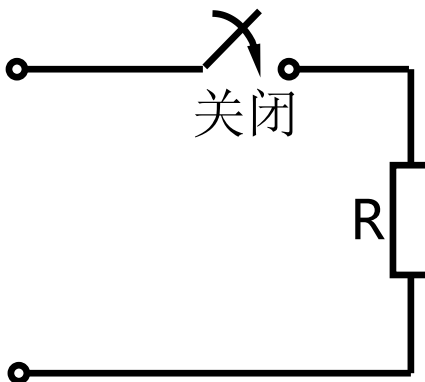
二极管的静态特性

□ 单向导电性

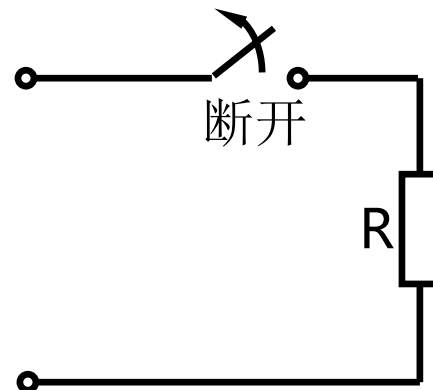
– 做开关使用



(a)



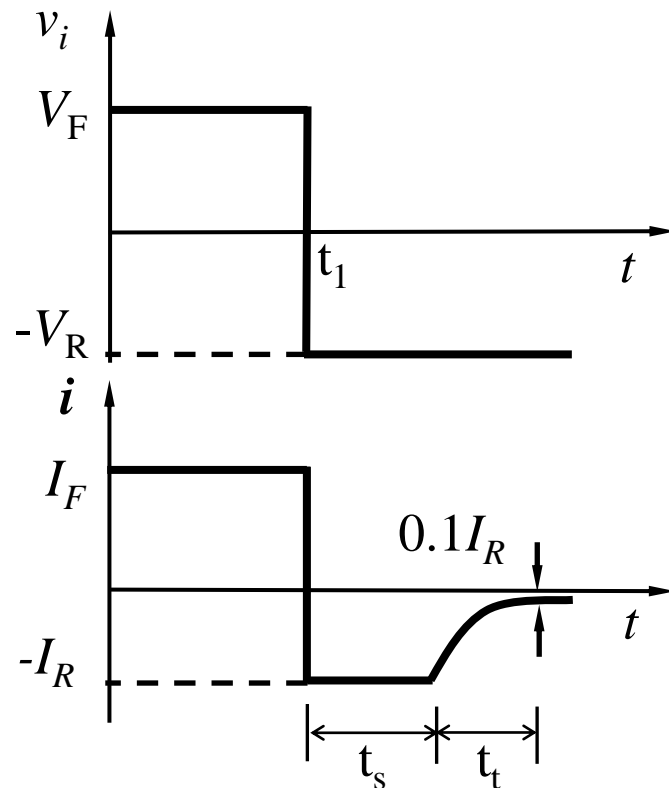
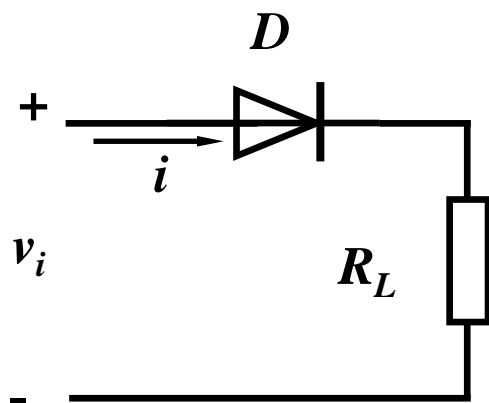
(b) 导通



(c) 截止

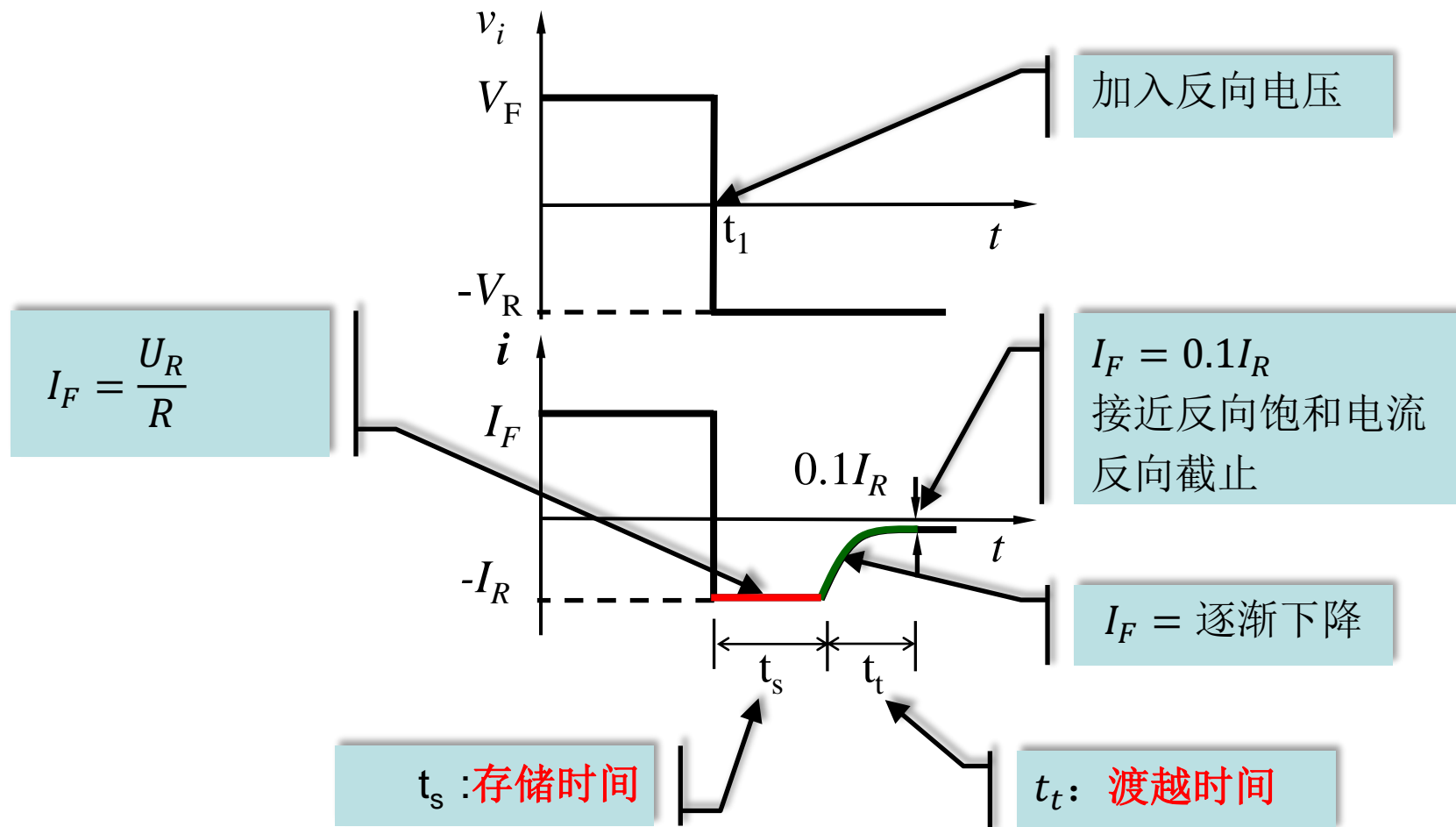
二极管开关电路及其等效电路

二极管的动态特性



二极管的动态特性

□ 反向恢复时间 $t = t_s + t_t$

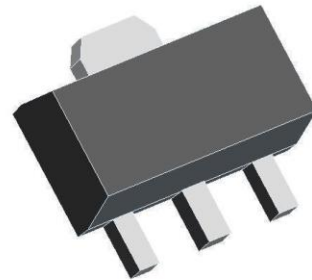
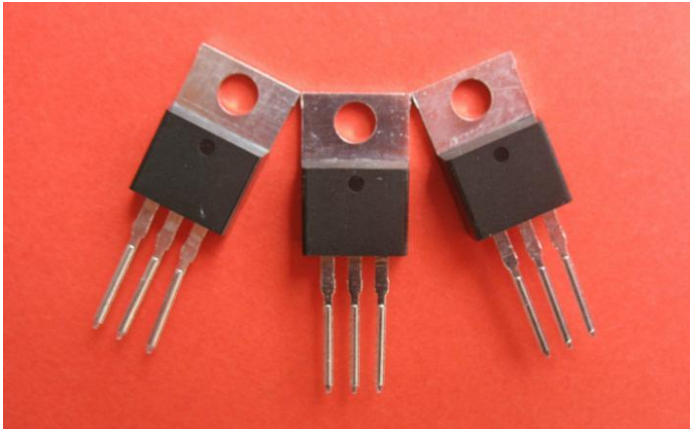
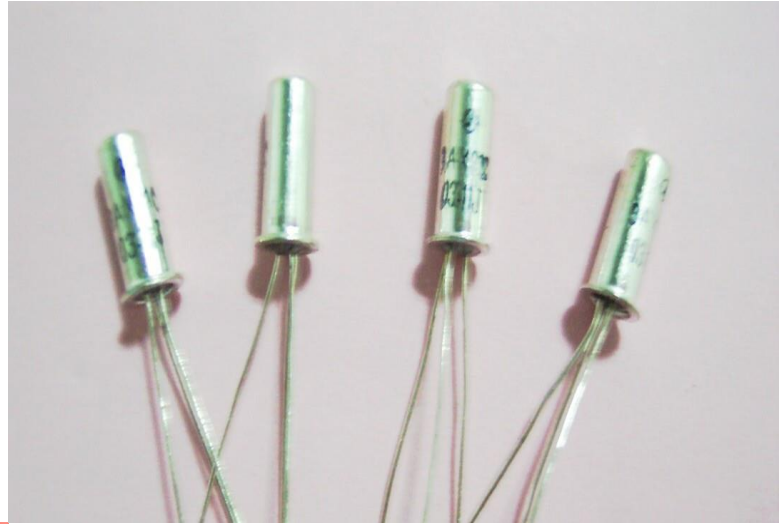


二极管的动态特性

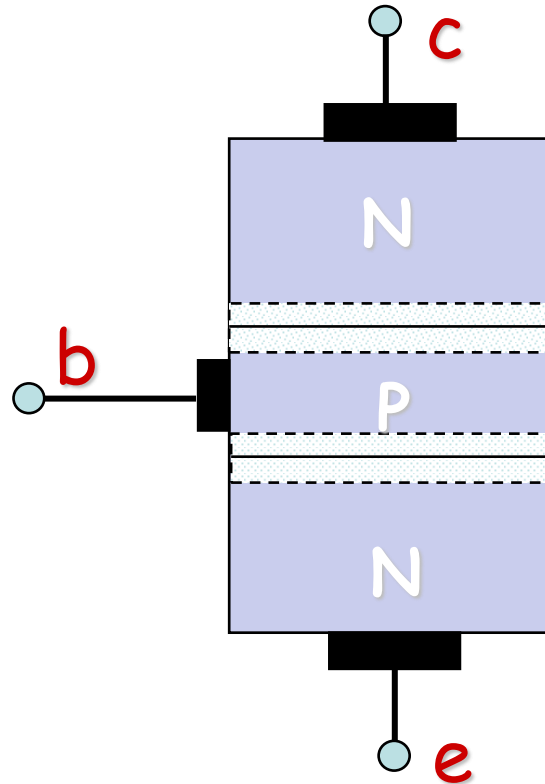
□ 开通时间

- 截止转为正向导通所需的时间
- 主要由外电路参数决定
- 加入输入电压后，回路电流几乎是立即达到最大值
- 开通时间与反向恢复时间相比很小，可以忽略不计

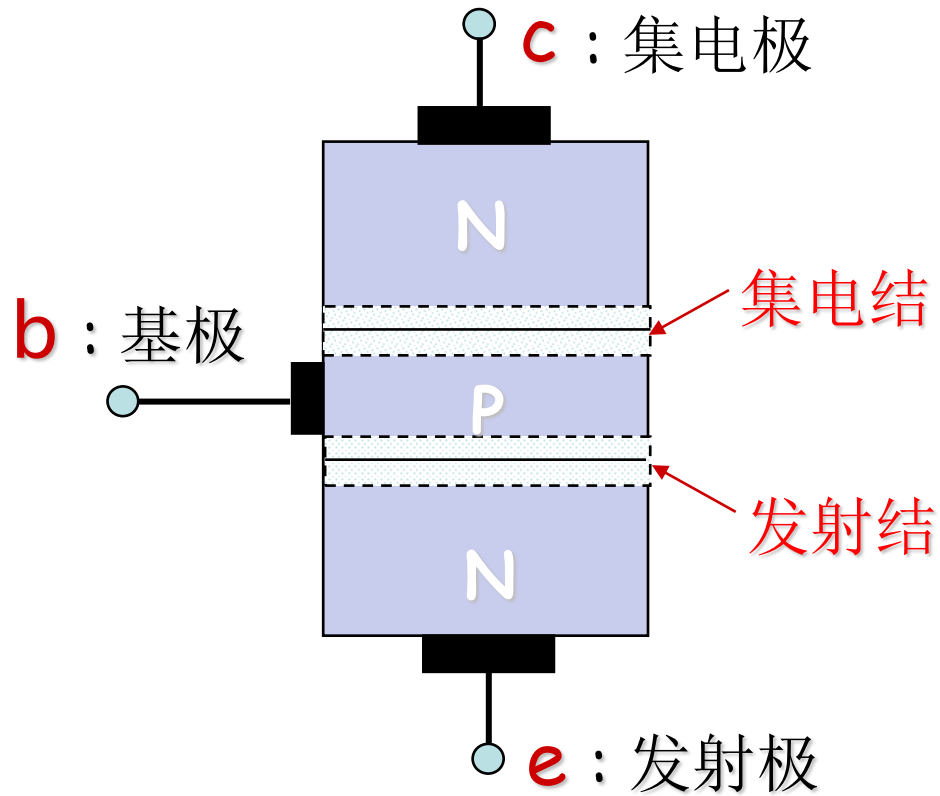
晶体三极管



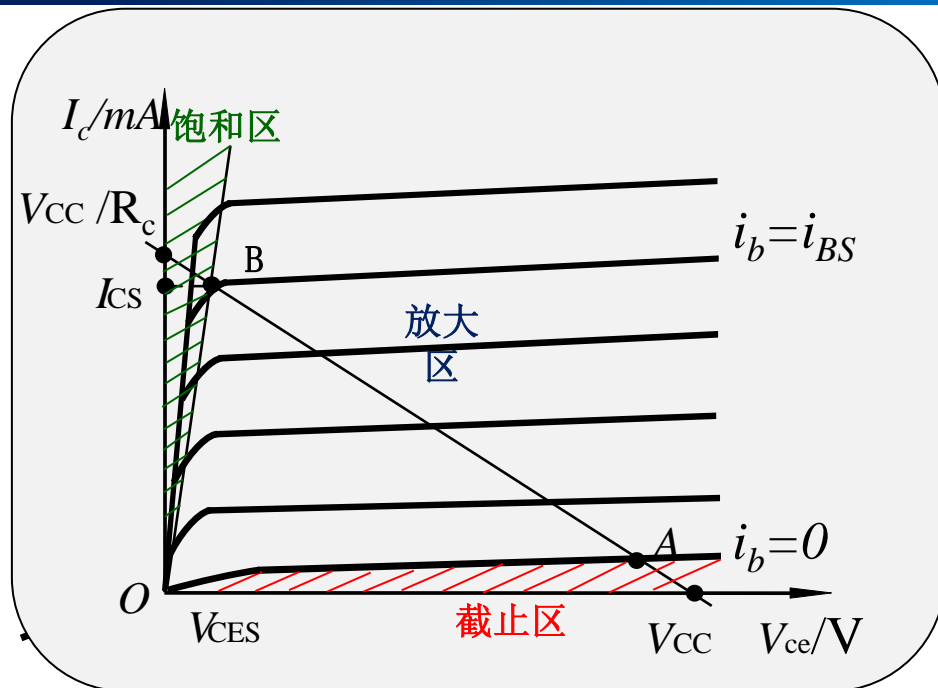
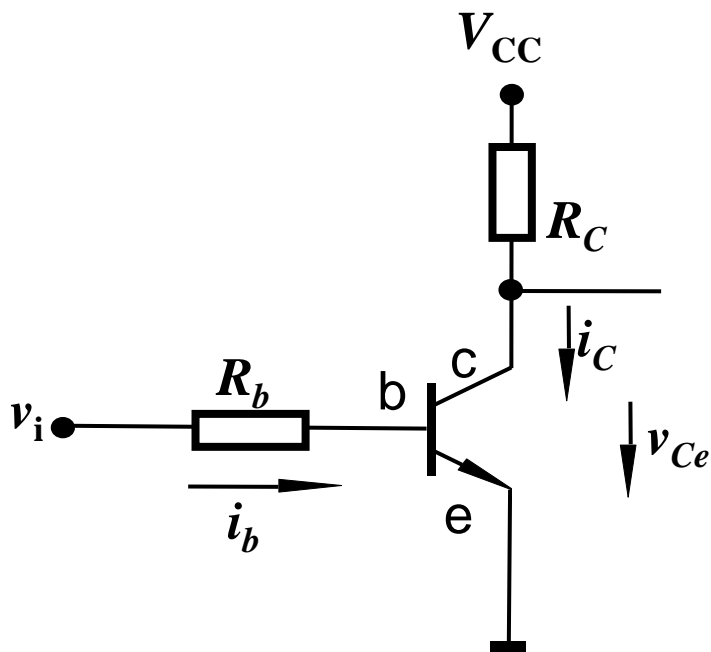
晶体三极管



晶体三极管



三极管的静态特性



□ $V_b > V_c, V_b > V_e$, 饱和导通

- $V_{ce} = 0.3v, V_{be} = 0.7v$

□ $V_b < V_c, V_b < V_e$, 截止

□ $V_b < V_c, V_b > V_e$, 放大

□ $V_b > V_c, V_b < V_e$, 倒置放大 (发射极和集电极互换)

三极管的静态特性

饱和状态

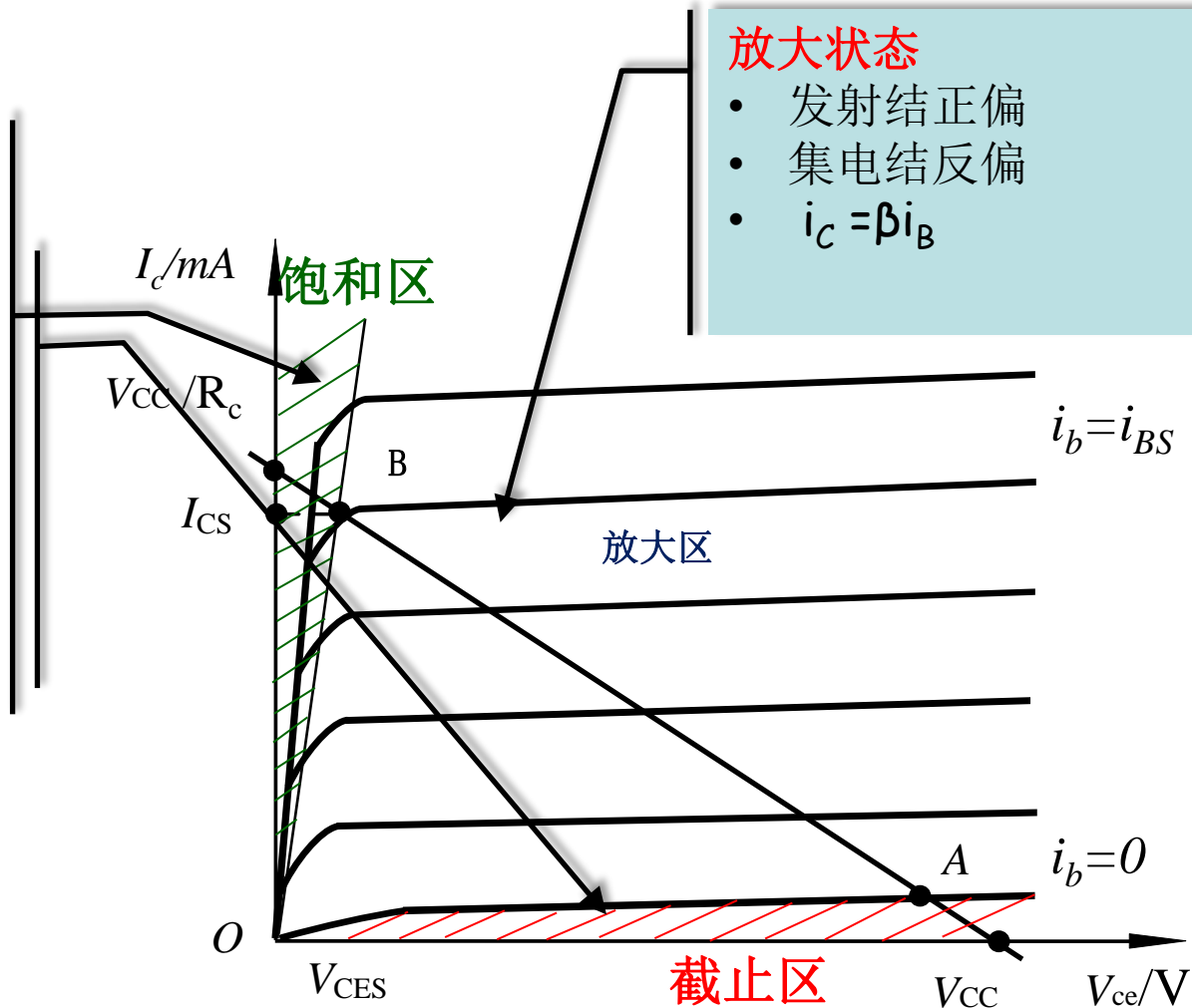
- PN结均正偏

截止状态

- PN结均为反偏
- $I_b \approx 0$
- $I_c \approx 0, U_{ce} \approx U_{cc}$
- 三极管呈现高阻抗
- 类似于开关断开

放大状态

- 发射结正偏
- 集电结反偏
- $i_c = \beta i_b$

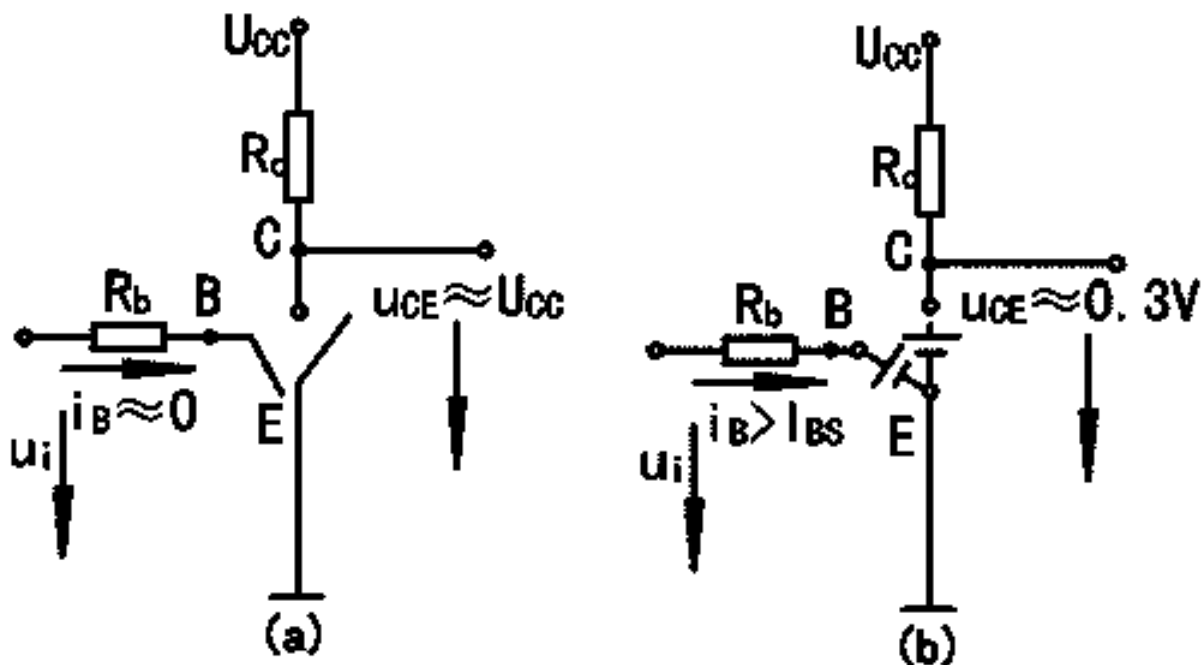


晶体三极管的开关特性

- 截止、放大、饱和3种工作状态
- 三极管的静态开关特性：
 - 在截止与饱和这两种稳态下的特性

三极管的静态特性

□ 由基极信号控制的无触点开关



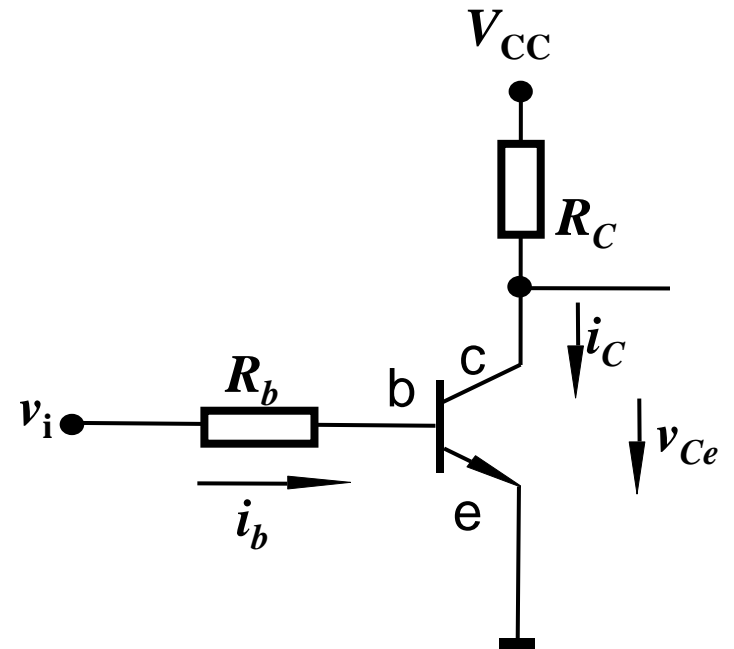
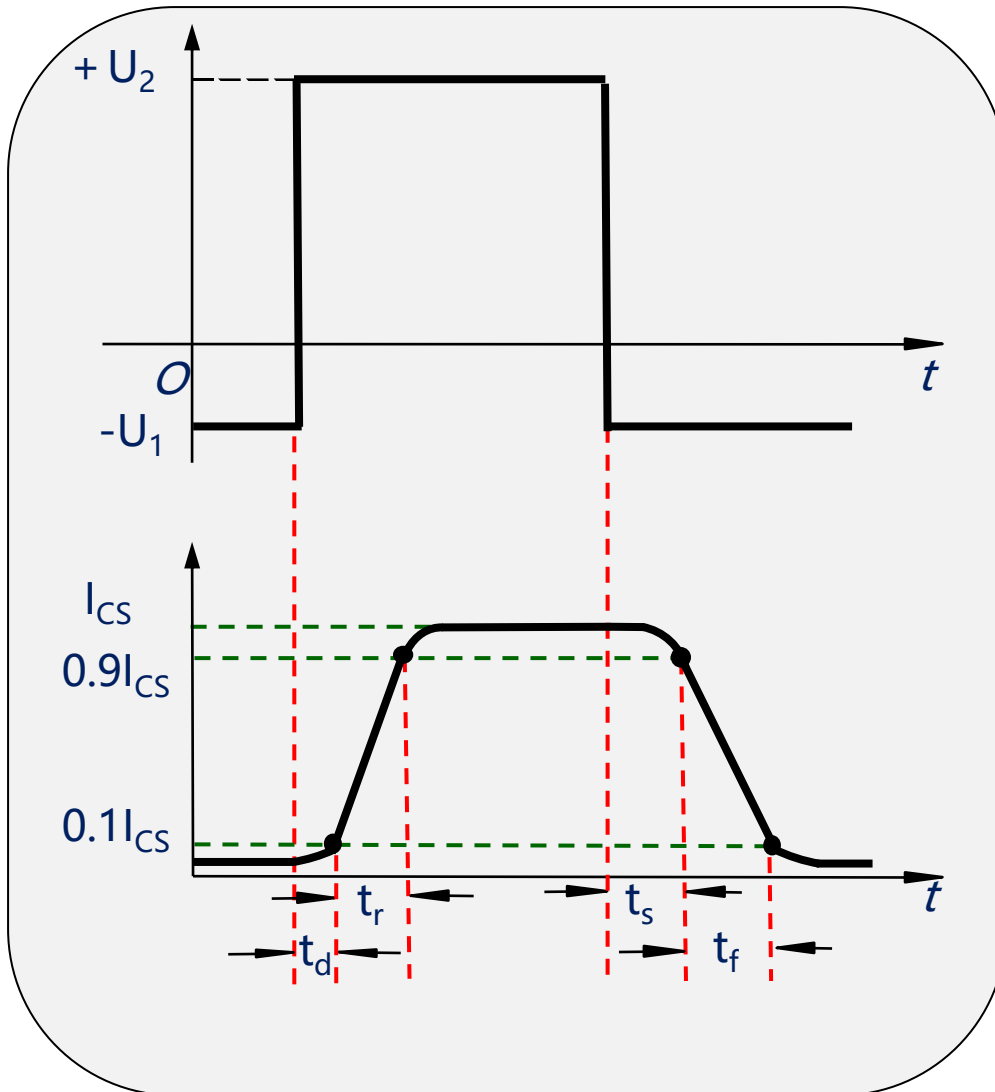
三极管的开关等效电路

动态特性

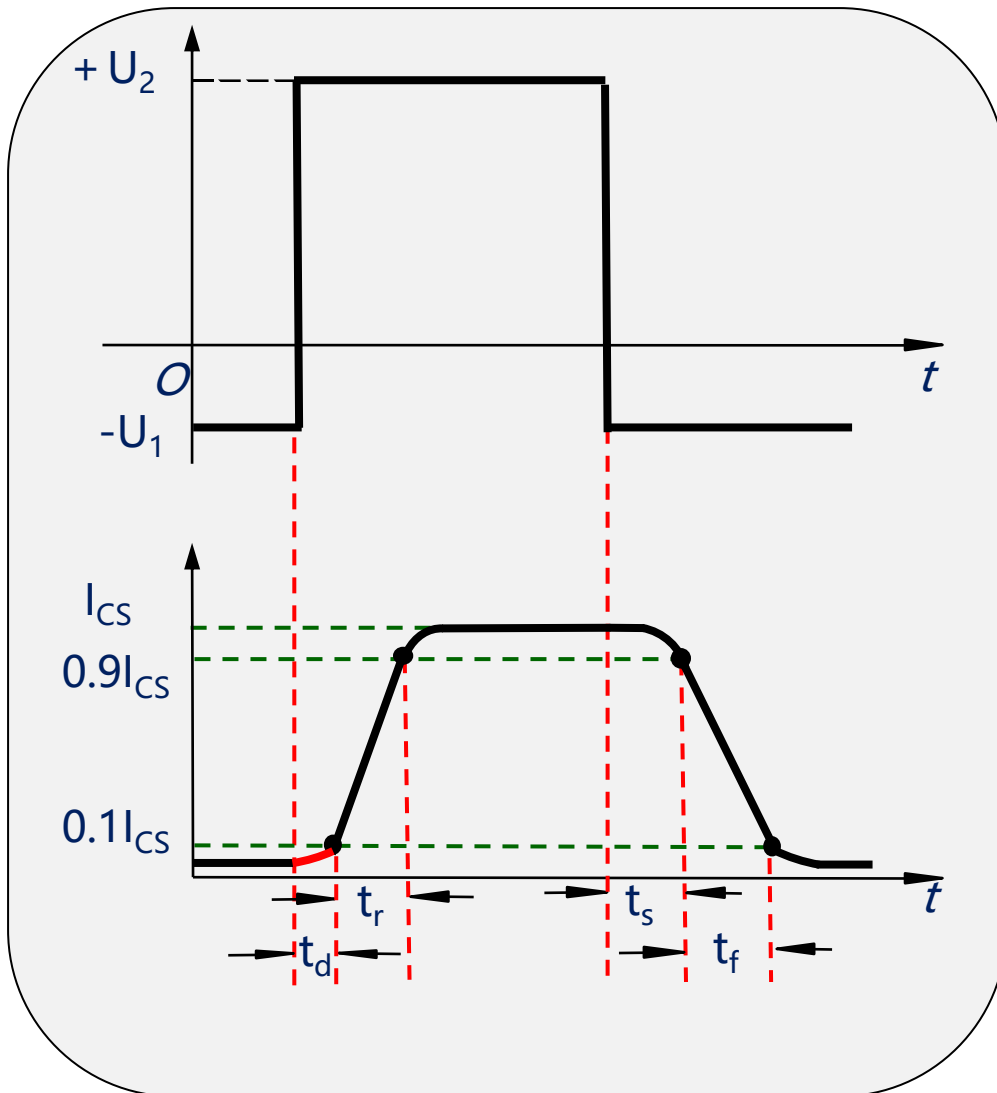
□ 饱和与截止两种状态转换过程中的特性

- 存在着电荷的建立与消失过程
- 两种状态的转换也需要一定的时间才能完成

三极管的动态特性



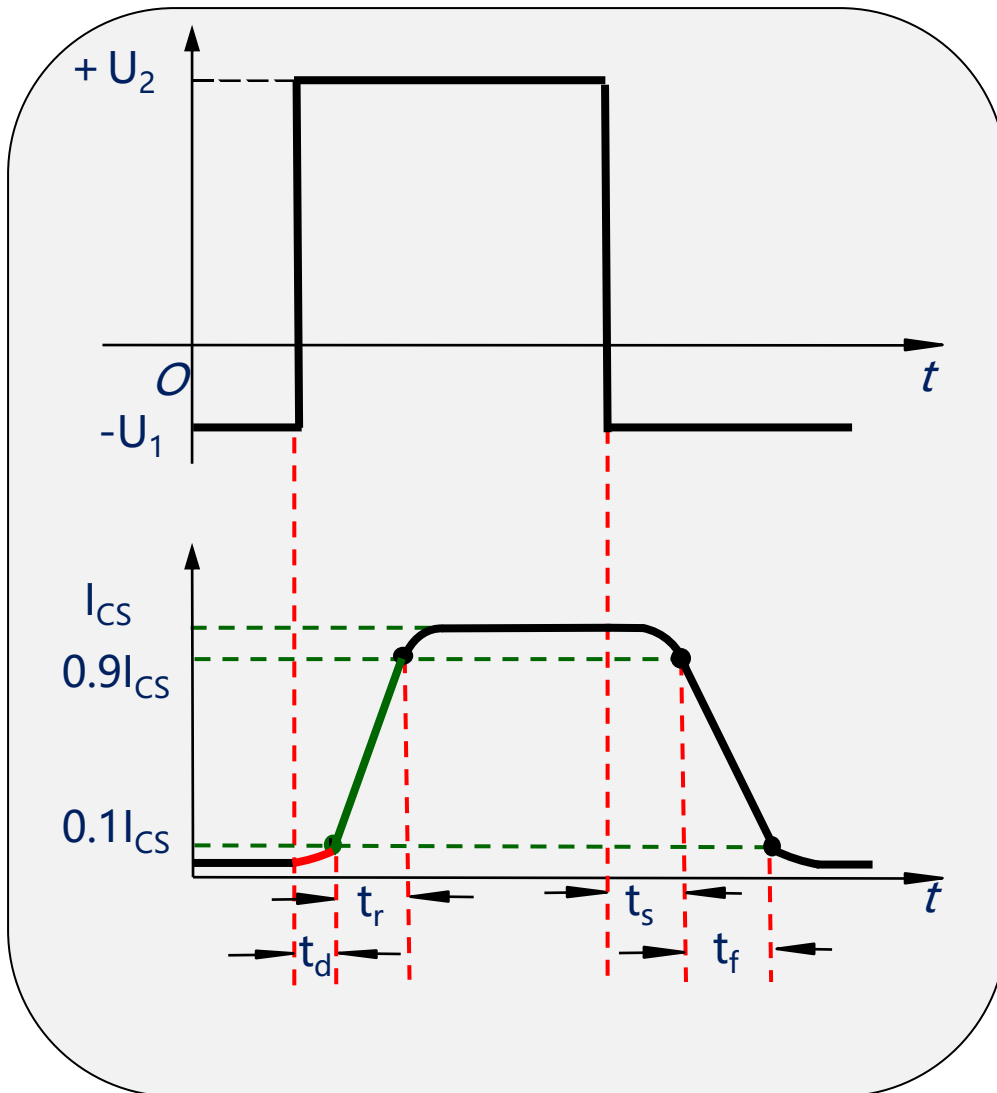
三极管的动态特性



□ 延迟时间 t_d

- 当输入电压 u_i 由 $-U_1$ 跳变到 $+U_2$ 时, 三极管从截止到开始导通所需要的时间

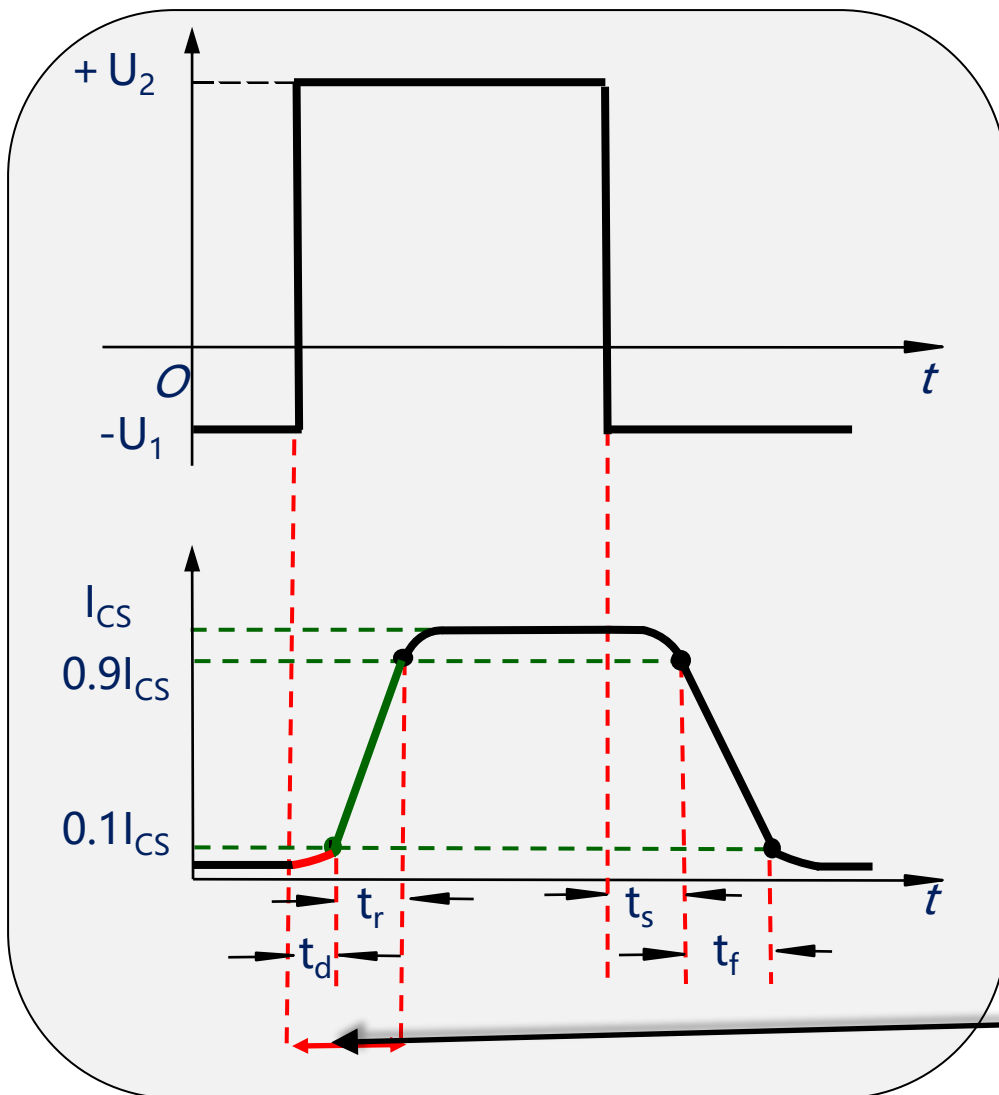
三极管的动态特性



□ 上升时间 t_r

- 经过延迟时间 t_d 后, i_c 不断增大
- i_c 上升到最大值的90%所需要的时间

动态特性

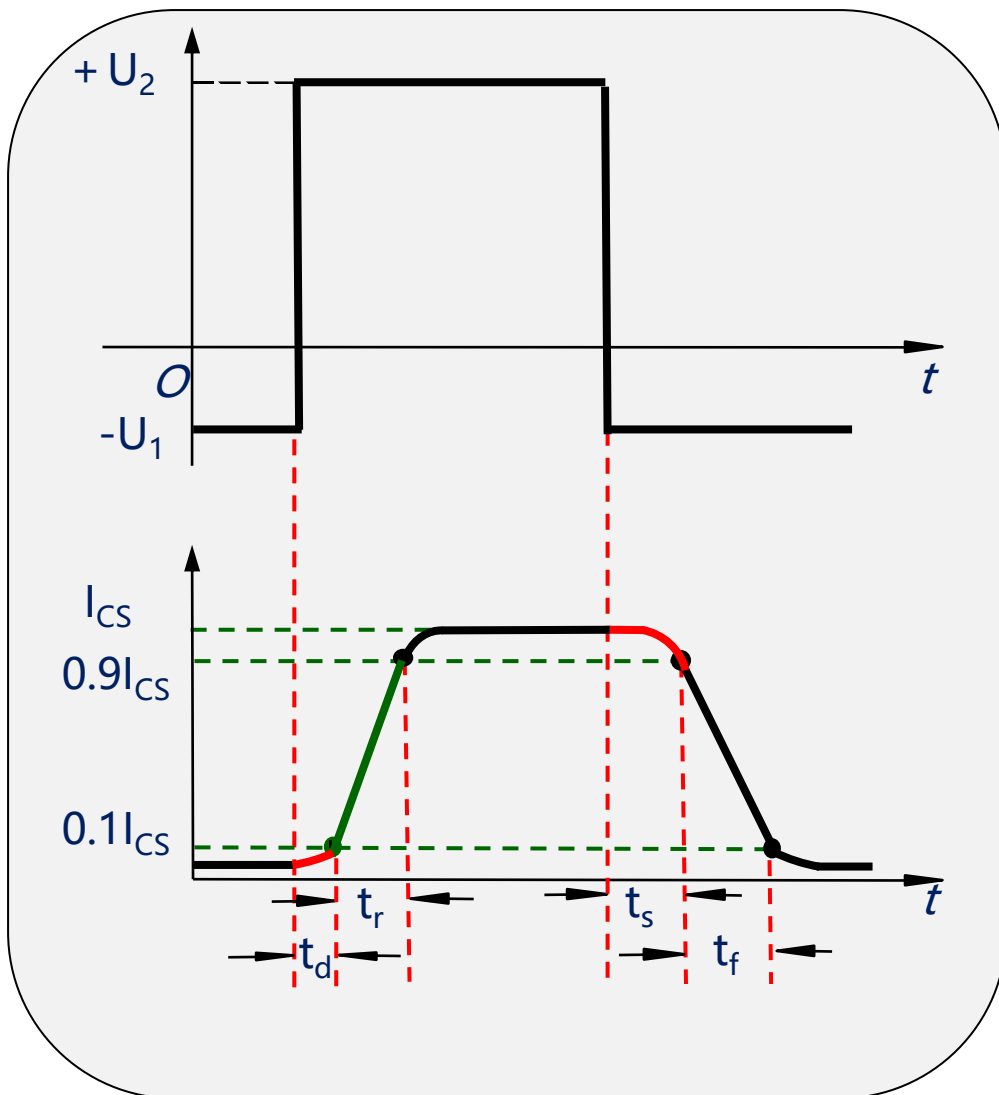


□ 开通时间

- $t_{ON} = t_d + t_r$
- 三极管从截止状态到饱和状态所需要的时间

开通时间 t_{ON}

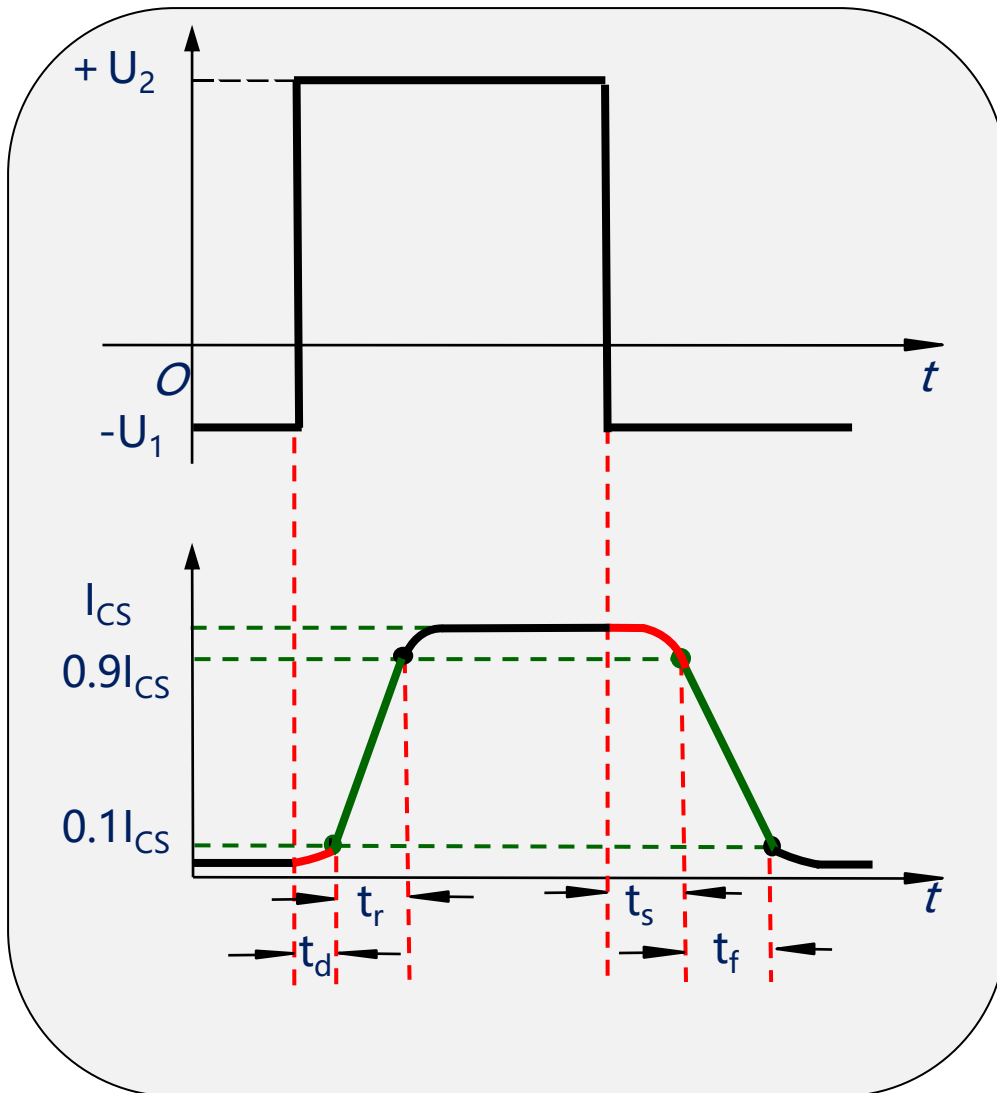
动态特性



□ 存储时间 t_s

- 当输入电压 u_i 由 $+U_2$ 跳变到 $-U_1$ 时，集电极电流从 I_{CS} 开始下降到 $0.9I_{CS}$ 所需要的时间

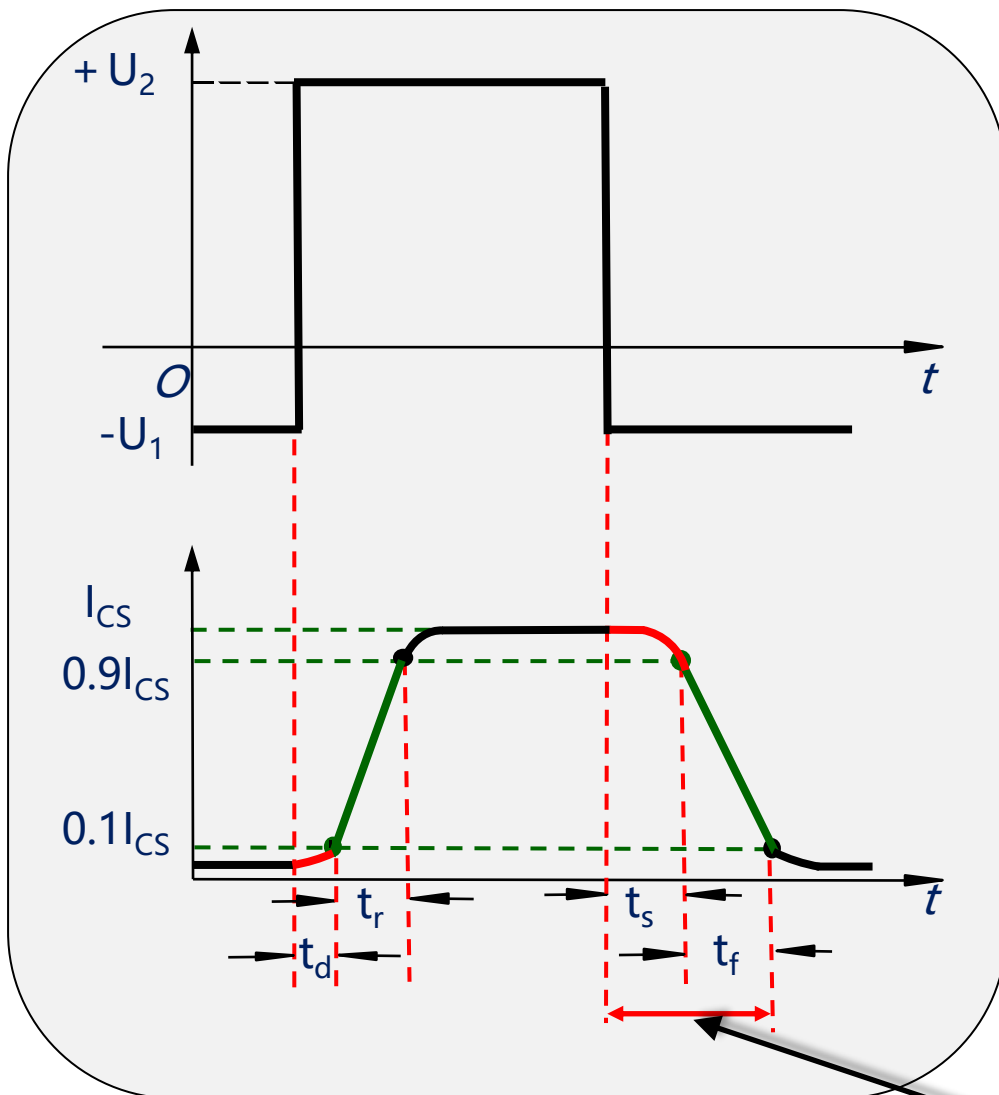
动态特性



下降时间 t_f

- 集电极电流由 $0.9I_{CS}$ 降至 $0.1I_{CS}$ 所需的时间

动态特性



□ 关闭时间

- 三极管从饱和状态到截止状态所需要的时间
- $t_{OFF} = t_s + t_f$
- 开通时间和关闭时间是影响电路工作速度的主要因素

关闭时间 t_{OFF}

提 纲

1

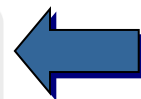
数字集成电路的分类

2

半导体器件的开关特性

3

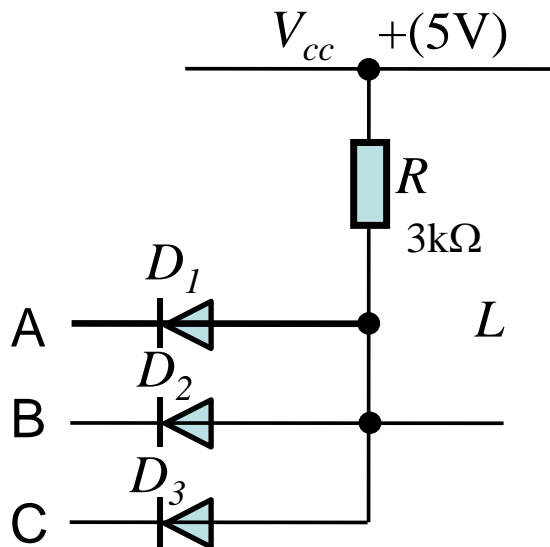
门电路



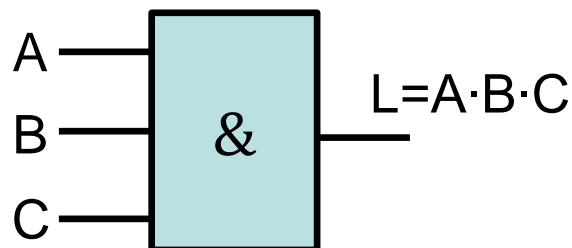
逻辑门电路

- 组成数字系统的基本单元电路
- 主要介绍TTL集成逻辑门和CMOS集成逻辑门
- 重点
 - 功能
 - 外部特性
 - 器件的使用方法
- 内部结构和工作原理只要求作一般了解

二极管与门电路

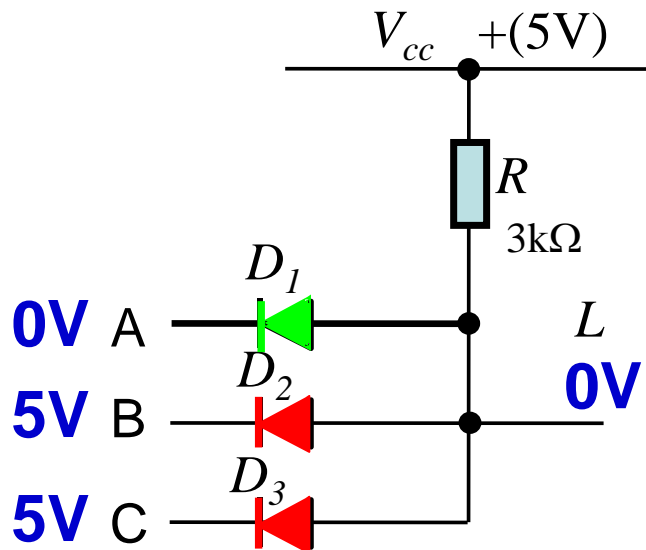


二极管与门电路



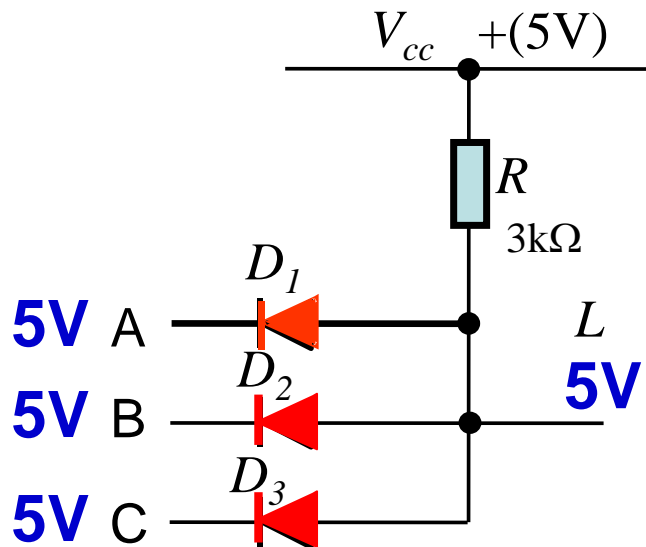
与逻辑符号

二极管与门电路



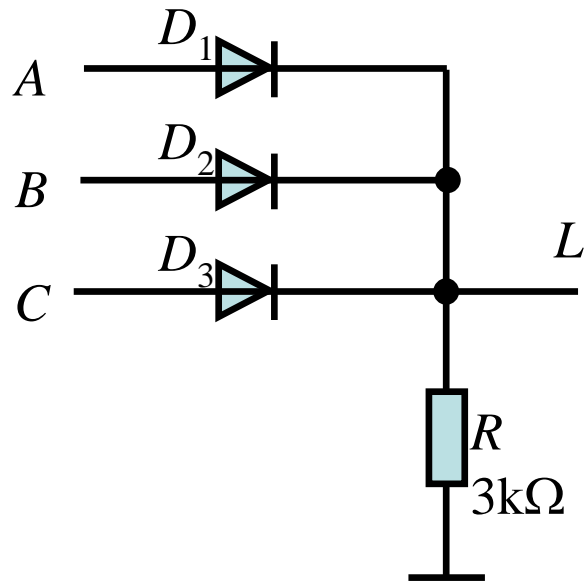
输 入			输 出
V_A	V_B	V_C	V_L
0	0	0	0
0	0	+5 V	0
0	+5 V	0	0
0	+5 V	+5 V	0
+5 V	0	+5 V	0
+5 V	0	+5 V	0
+5 V	+5 V	0	0
+5 V	+5 V	+5 V	+5 V

二极管与门电路

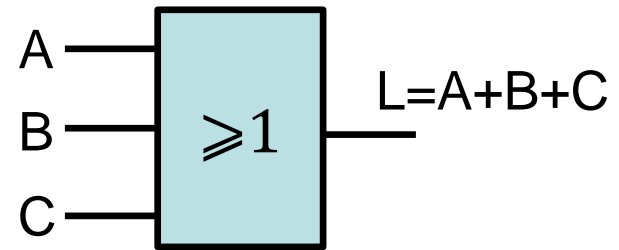


输 入			输 出
A	B	C	L
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

二极管或门电路

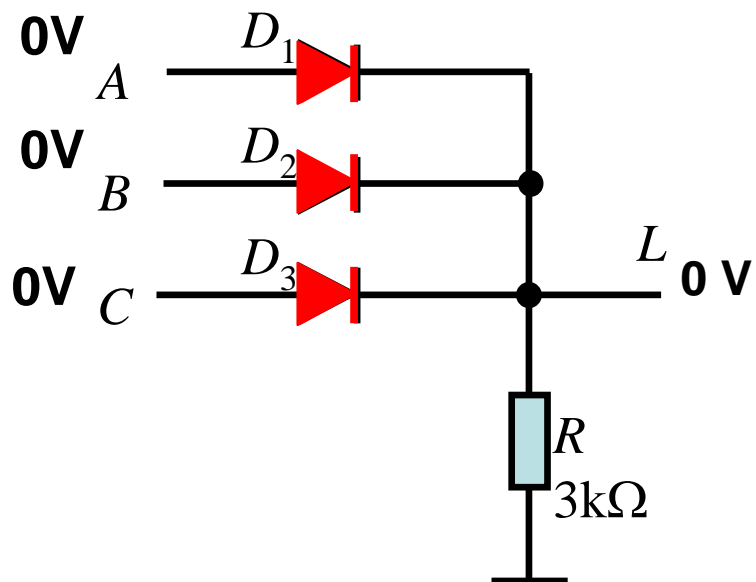


二极管或门电路



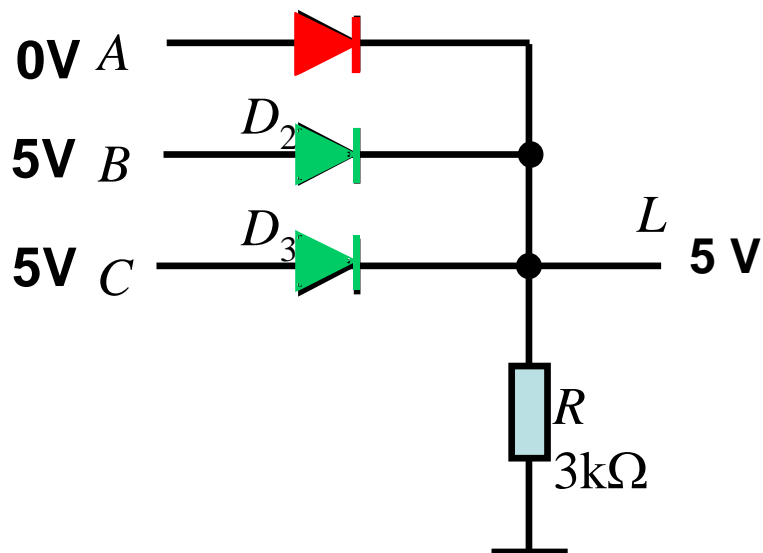
或逻辑符号

二极管或门电路



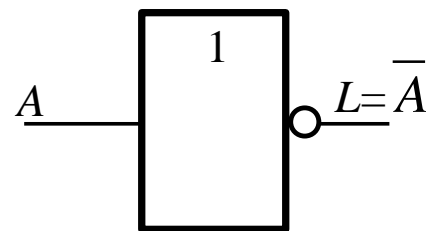
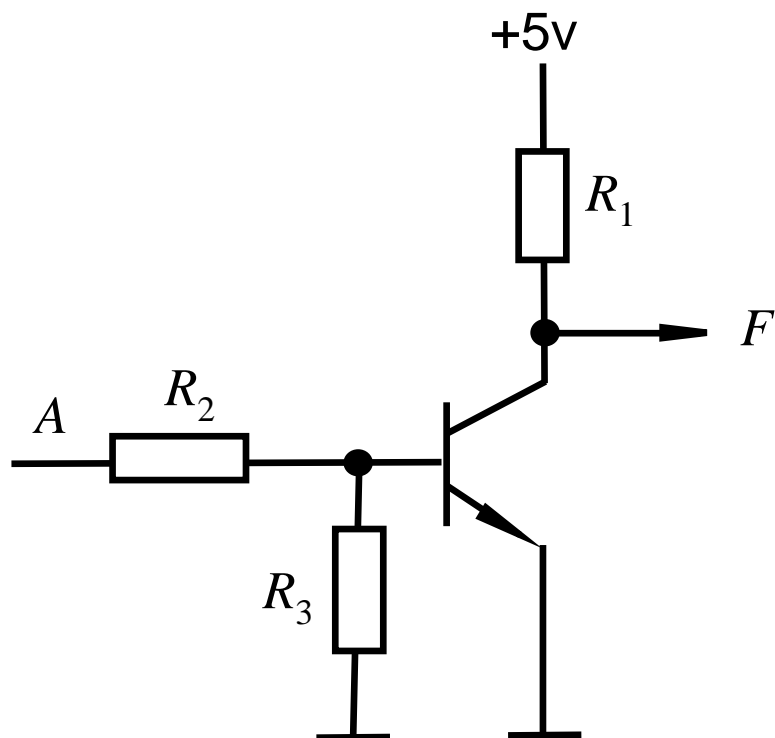
输 入			输 出
A	B	C	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

二极管或门电路



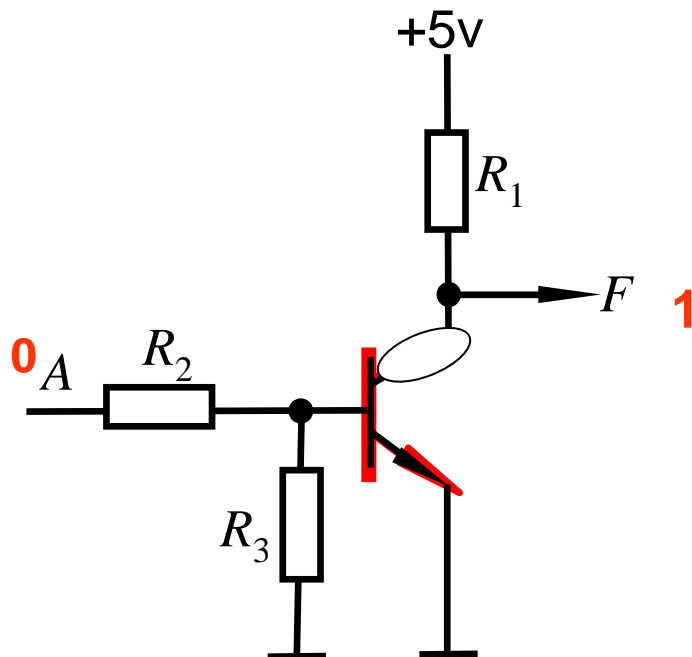
输 入			输 出
A	B	C	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

非门电路 — 反相器



非逻辑符号

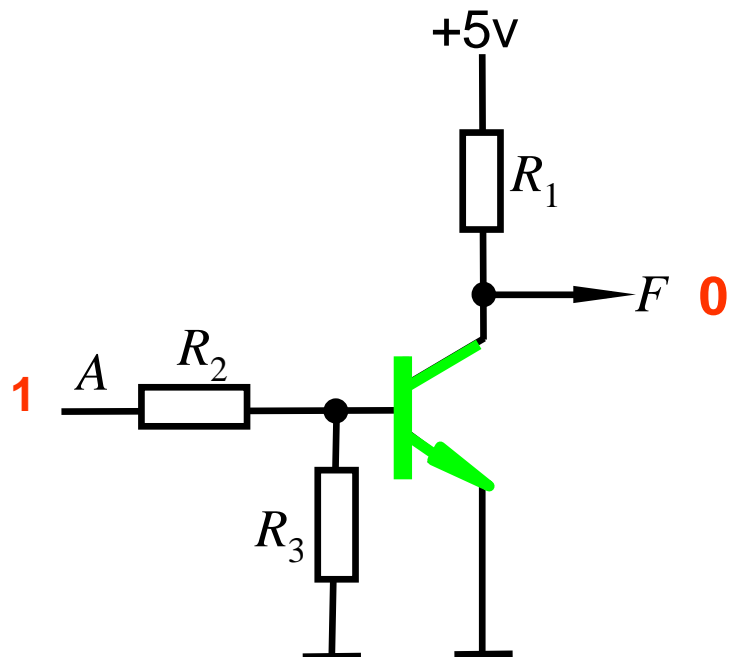
非门电路 – BJT反相器



非逻辑真值表

输入A	输出L
0	1

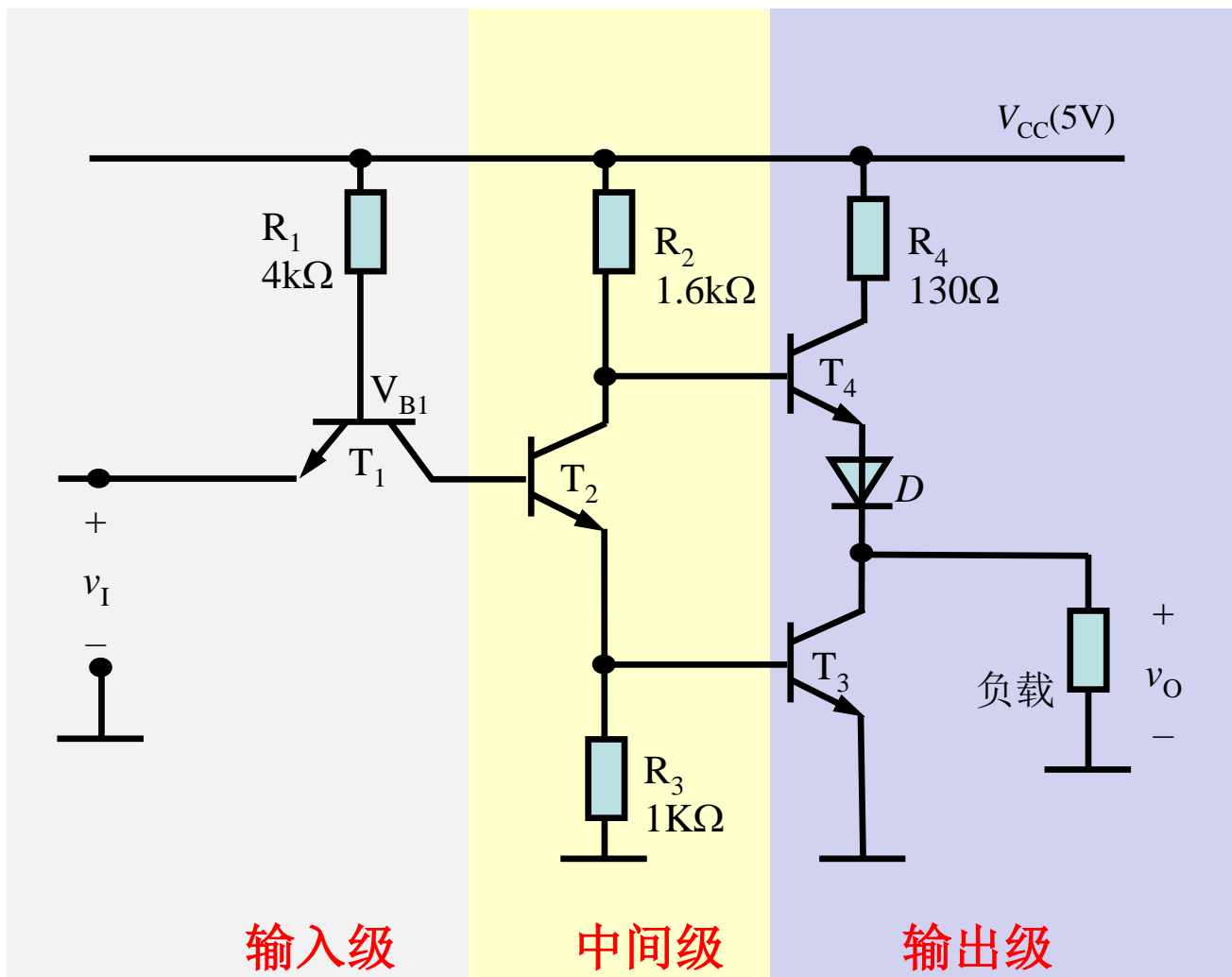
非门电路 – BJT反相器



非逻辑真值表

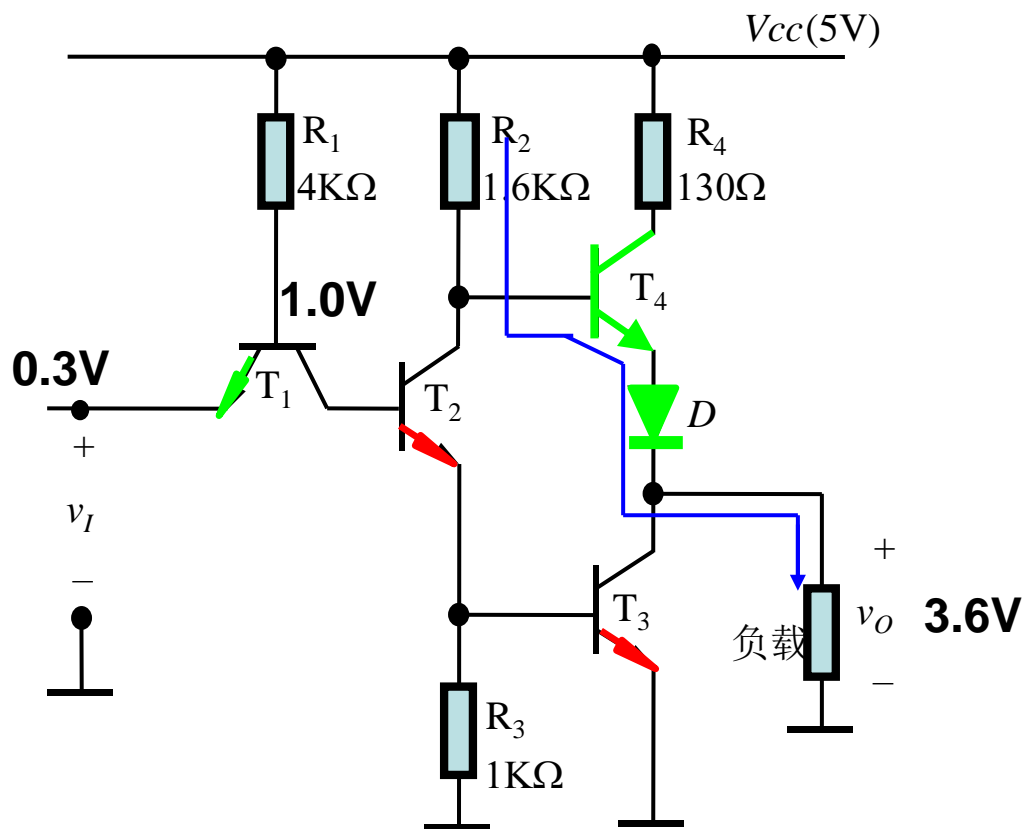
输入A	输出L
0	1
1	0

TTL反相器的基本电路



反相器的工作原理

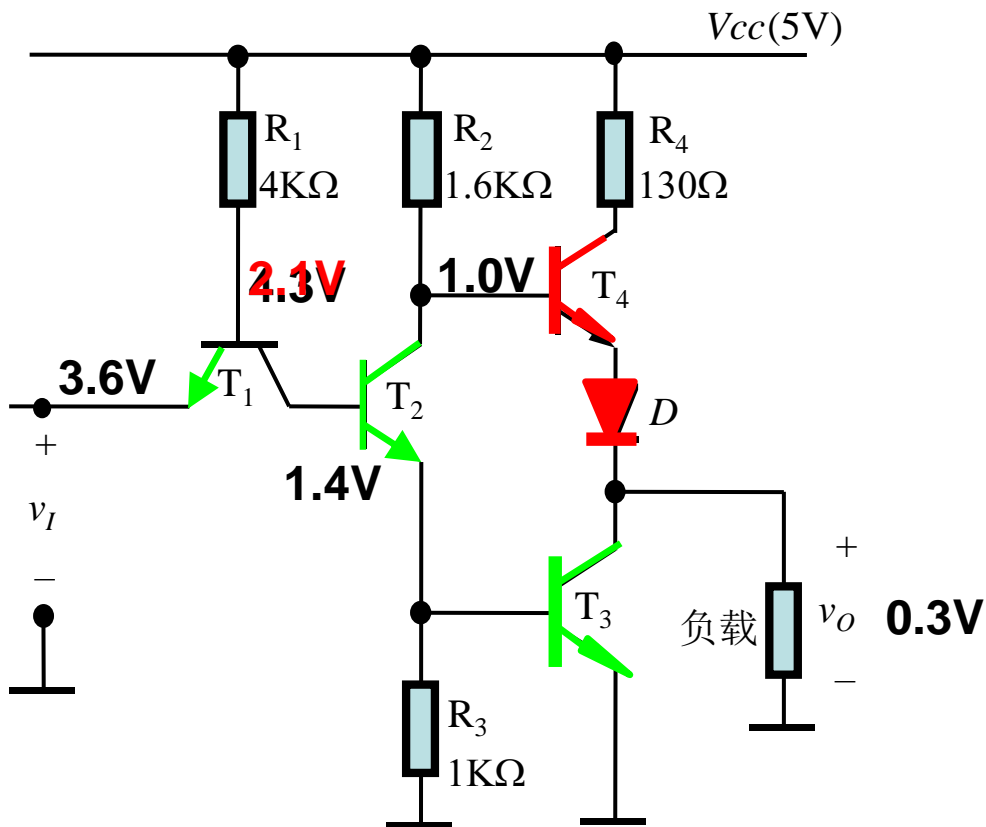
□ 当输入为低电平 ($v_I = 0.3\text{ V}$)



v_I	低电平 (0.3V)
T_1	深饱和
T_2	截止
T_4	放大
T_3	截止
v_O	高电平 (3.6V)

TTL反相器的工作原理

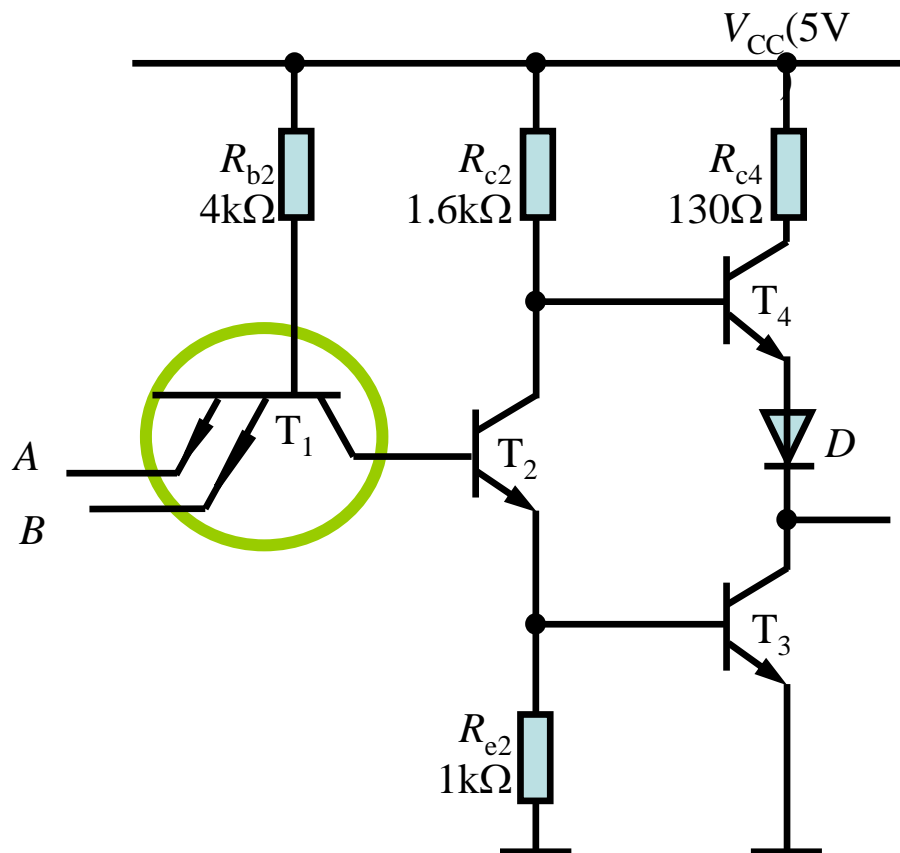
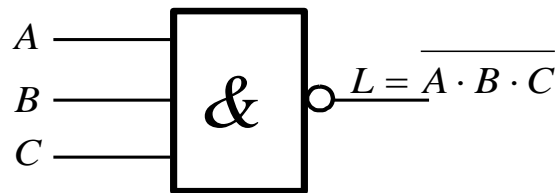
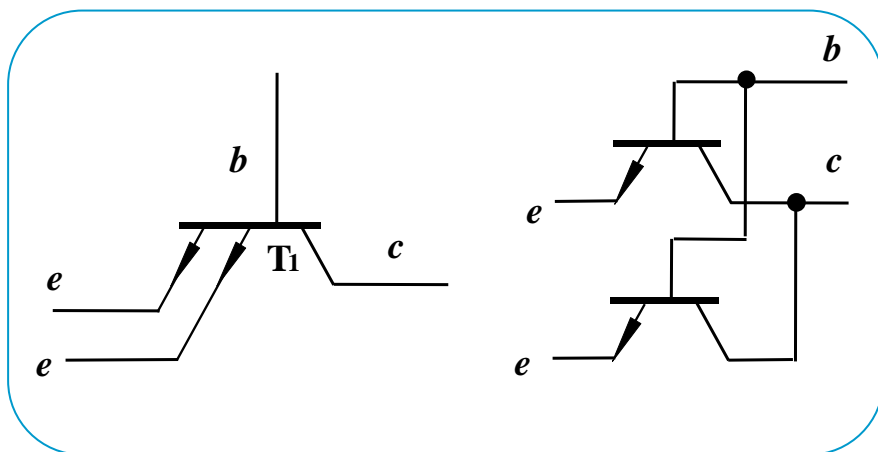
□ 当输入为高电平 ($v_i = 3.6\text{ V}$)



v_i	高电平 (3.6V)
T_1	倒置放大
T_2	饱和
T_4	截止
T_3	饱和
v_o	低电平 (0.3V)

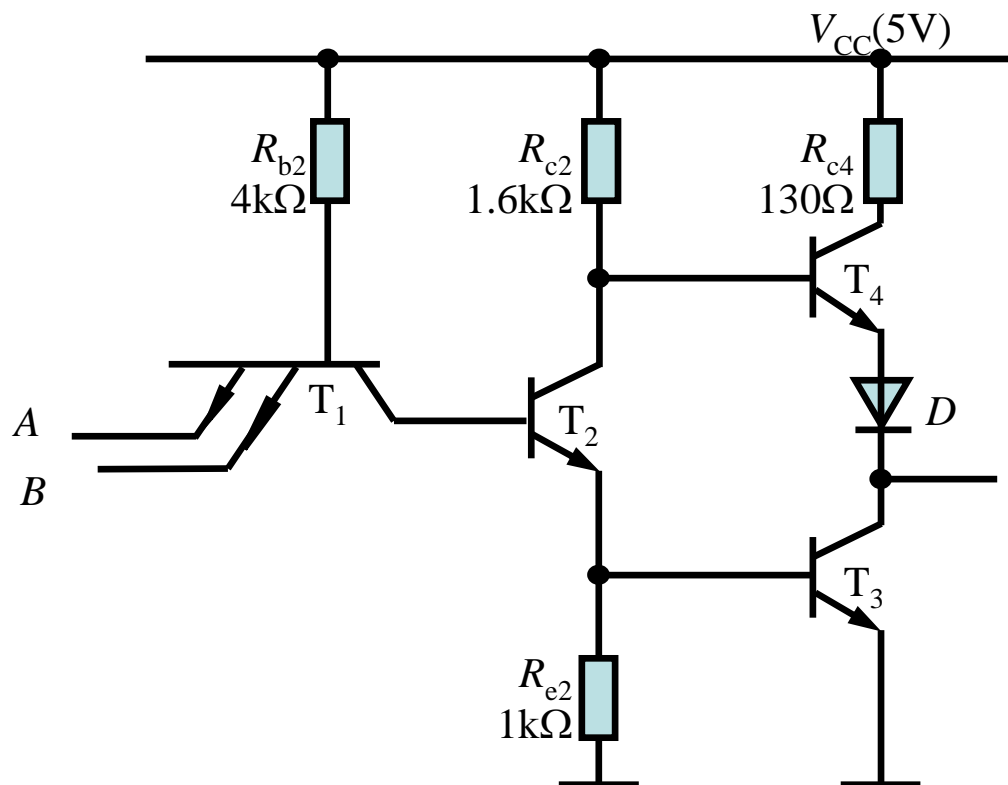
TTL与非门

□多发射极



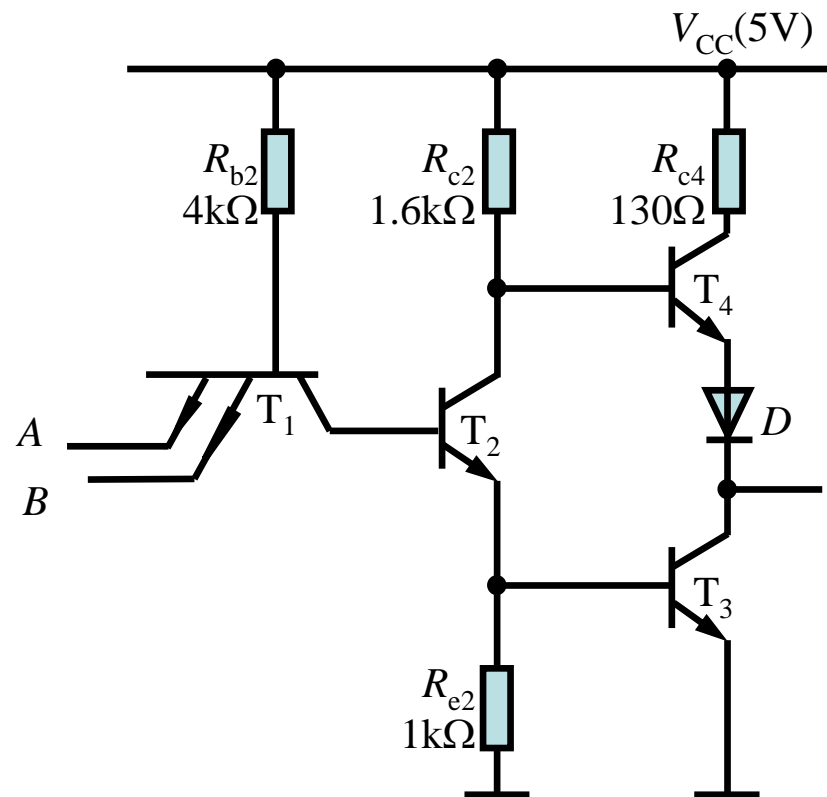
TTL与非门

- 任一输入端为低电平，输出为高电平
- 全部输入端为高电平，输出为低电平



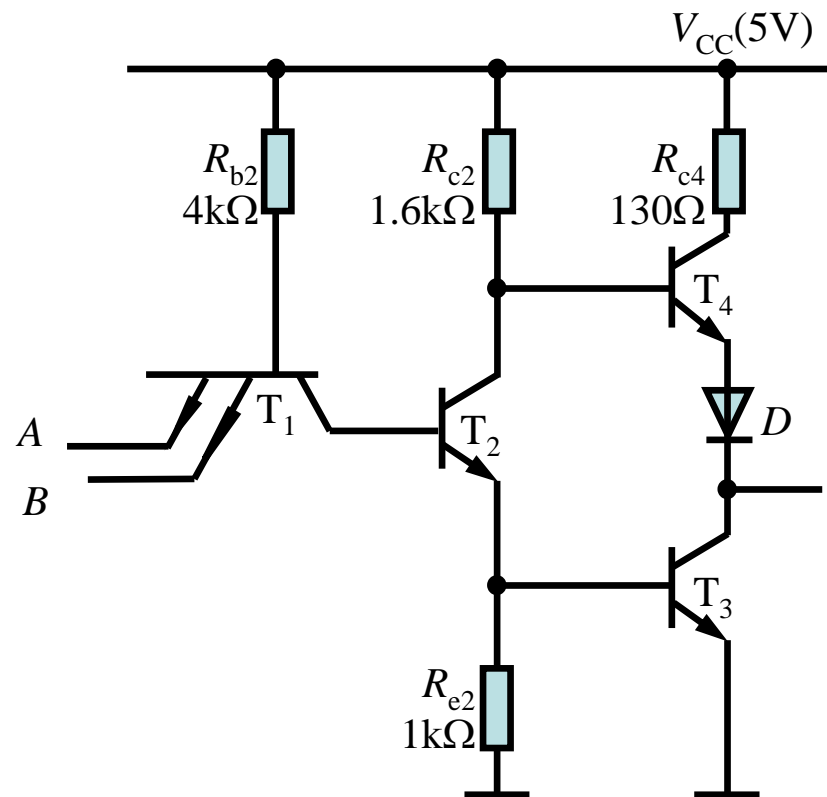
TTL与非门工作原理

v_I	输入有低电平 (0.3V)	输入全为高电平 (3.6V)
T_1		
T_2		
T_3		
T_4		
v_O		



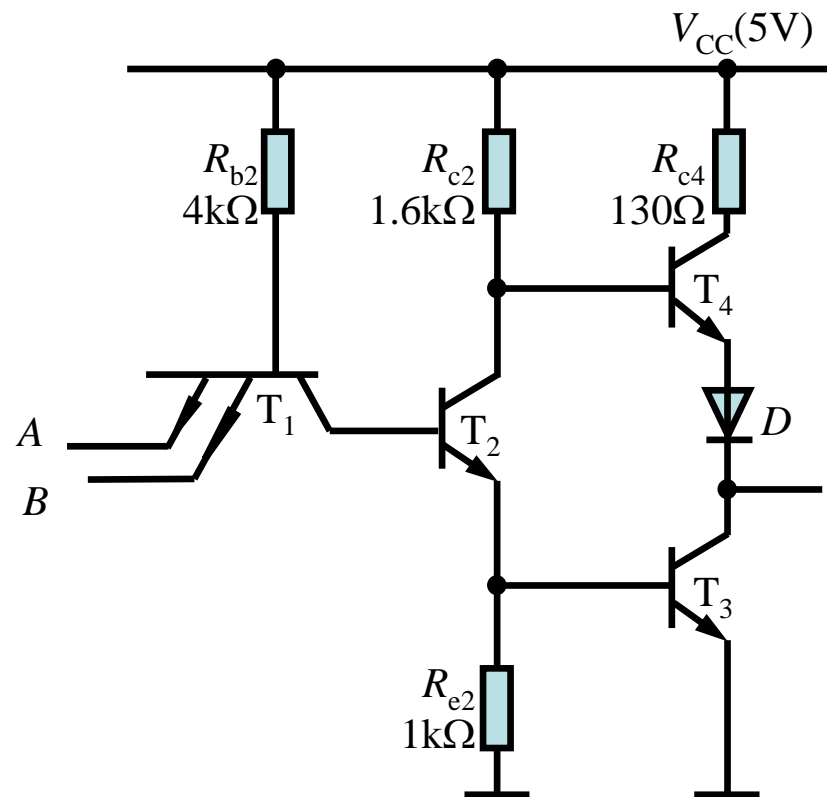
TTL与非门工作原理

v_I	输入有低电平 (0.3V)	输入全为高电平 (3.6V)
T_1	深饱和	
T_2	截止	
T_3	截止	
T_4	放大	
v_O	高电平 (3.6V)	

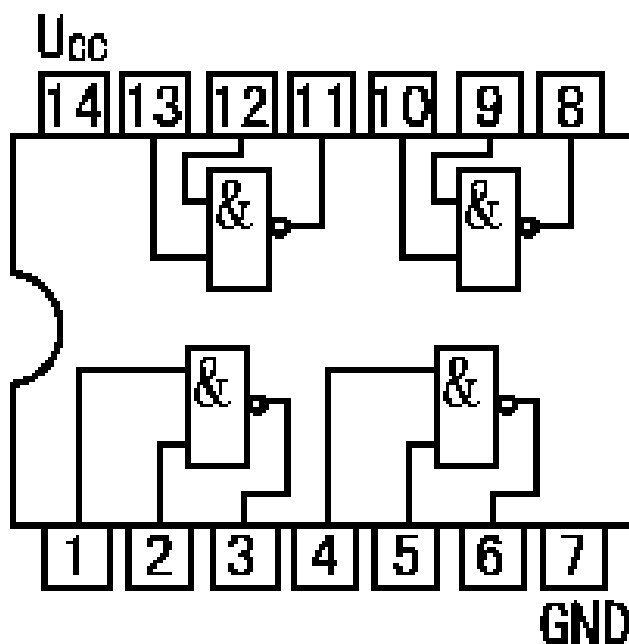


TTL与非门工作原理

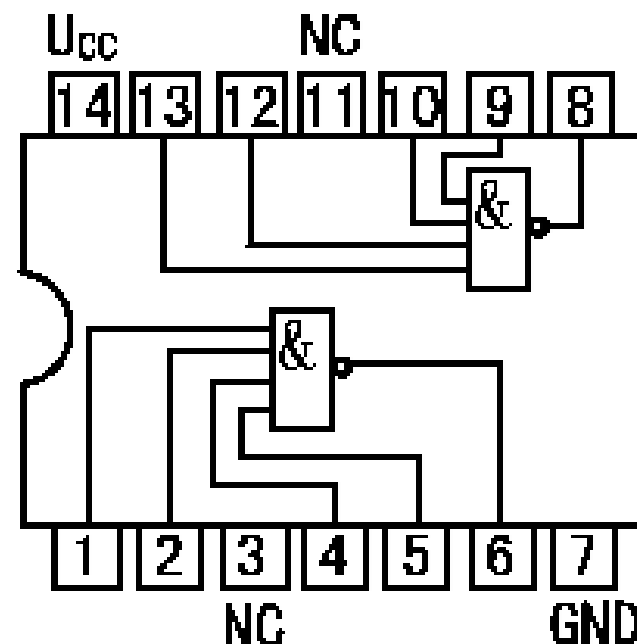
v_I	输入有低电平 (0.3V)	输入全为高电平 (3.6V)
T_1	深饱和	倒置放大状态
T_2	截止	饱和
T_3	截止	饱和
T_4	放大	截止
v_O	高电平 (3.6V)	低电平 (0.3V)



TTL与非门集成电路芯片



(a)



(b)

TTL7400、7420引脚图

TTL与非门的技术参数

□ 输出的高、低电压

– 输出高电平 V_{OH}

- 指至少有一个输入端接低电平时的输出电平
- 典型值：3.6V
- 规范值： $V_{OH} \geq 2.4V$

– 输出低电平 V_{OL}

- 指输入全为高电平时的输出电平。
- 典型值：0.3V
- 规范值： $V_{OL} \leq 0.4V$

TTL与非门的技术参数

□ 开门电平 V_{ON}

- 确保与非门输出为低电平时所允许的最小输入高电平
- 表示使与非门开通的输入高电平最小值
- 反映了高电平抗干扰能力
- 典型值：1.5V
- 规范值： $V_{ON} \leq 1.8V$ 。

TTL与非门的技术参数

□ 关门电平 V_{OFF}

- 确保与非门输出为高电平时所允许的最大输入低电平
- 表示使与非门关断所允许的输入低电平的最大值
- 反映了低电平抗干扰能力
- 典型值：1.3V
- 规范值： $V_{OFF} \geq 0.8V$ 。

TTL与非门的技术参数

□ 扇入系数 N_i

- 与非门允许的输入端数目
- 输入端数目超过 N_i 时，通过分级方法减少对扇入系数要求

□ 扇出系数 N_o

- 与非门输出端连接同类门的最多个数
- 反映了与非门的带负载能力
- 一般 $N_o \geq 8$

□ 是反映门电路互连性能的指标

TTL与非门的技术参数

□ 扇出数:则区分灌电流和拉电流

— 灌电流

- 负载电流 I_L 从负载流入反相器
- 当负载门的个数增加时, 总的灌电流 I_{IL} 将增加, 引起输出低电压 V_{OL} 的升高

— 拉电流

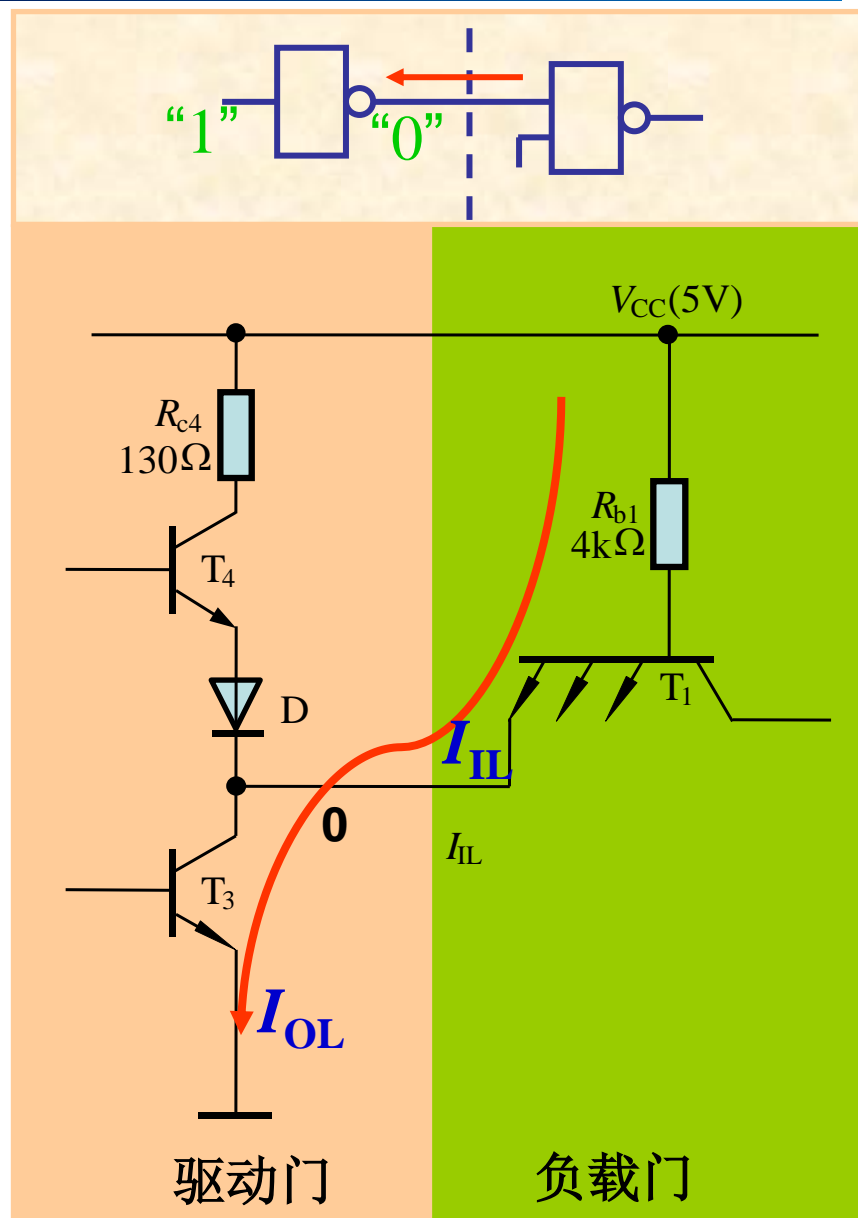
- 负载电流 I_L 从反相器流入负载
- 当负载门的个数增多时, 必将引起输出高电压的降低

TTL与非门的技术参数

□ 负载门的个数增加

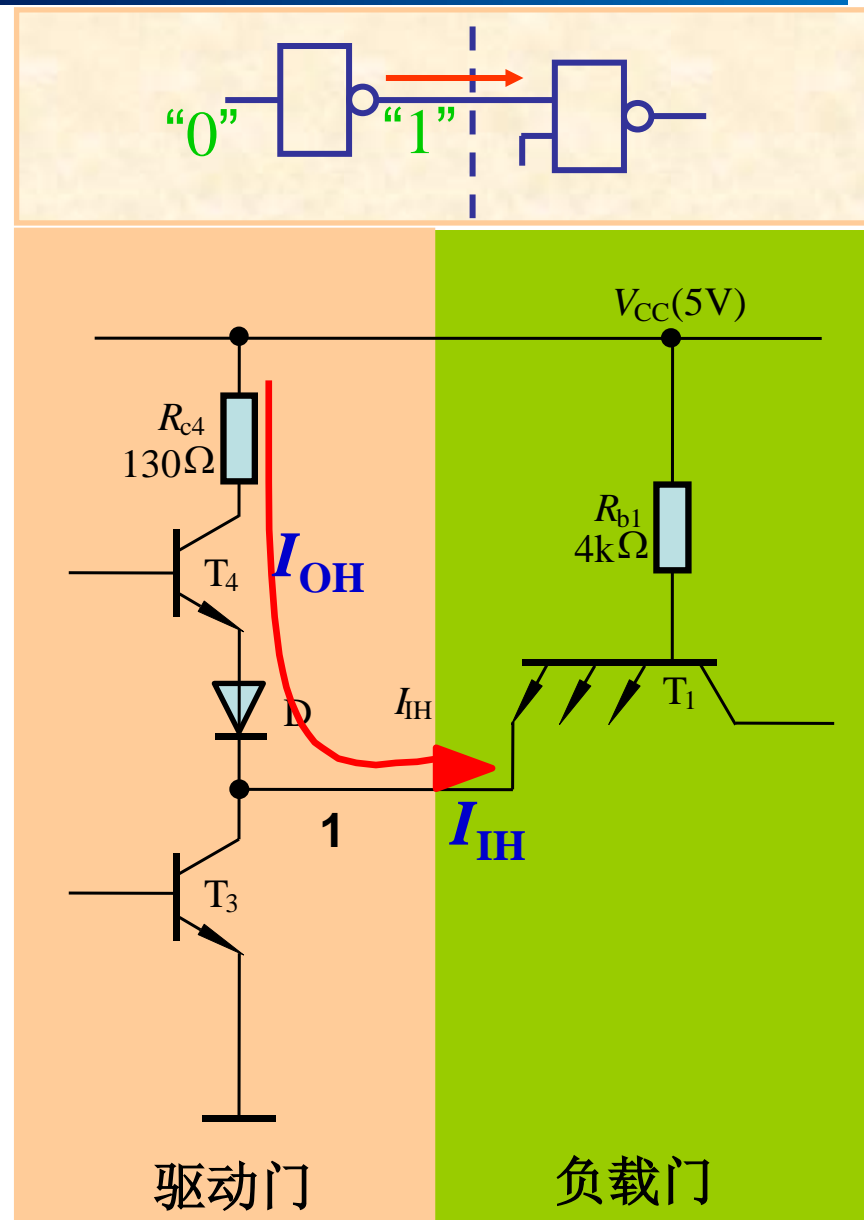
- 总的灌电流 I_{IL} 将增加
- $I_C = I_{IL} + I_{rc}$, I_C 增加
- 输出低电压 V_{OL} 升高

$$V_o \leq 0.4V$$



TTL与非门的技术参数

- 负载门的个数增加
 - 输出高电压的降低



TTL与非门的技术参数

□ 输入短路电流 I_{IS}

- 某一个输入端接地而其余输入端悬空时，流过接地输入端的电流
- 流入前级与非门的灌电流
- 直接影响前级与非门的工作情况

□ 输入漏电流 I_{IH}

- 某一输入端接高电平，而其他输入端接地时，流入高电平输入端的电流
- 一般 $I_{IH} \leq 50\mu A$

TTL与非门的技术参数

□ 传输延迟时间

- 电路在输入脉冲波形的作用下，输出波形相对于输入波形的延迟时间
- t_{PLH} ：门电路输出由低电平转换到高电平所经历的时间
- t_{PHL} ：门电路输出由高电平转换到低电平所经历的时间

TTL与非门的技术参数

□ 传输延迟时间

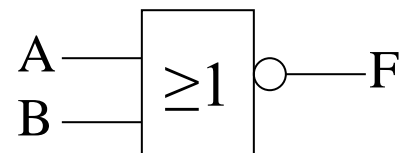
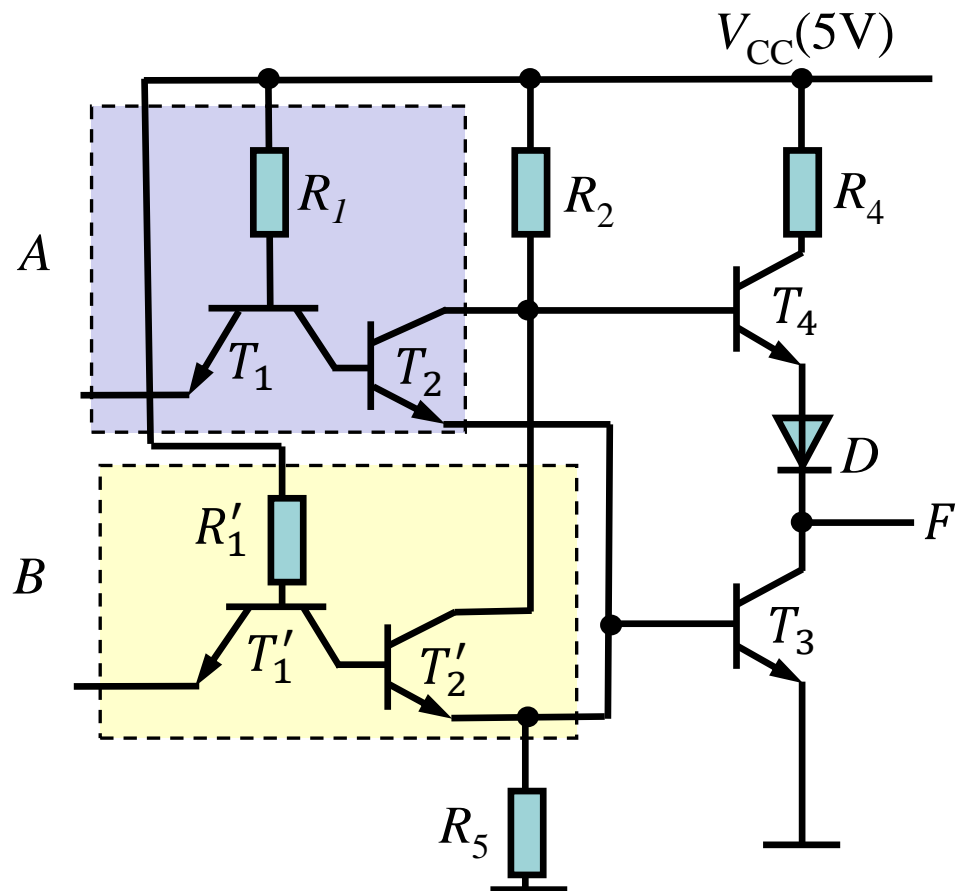
- 平均传输延迟时间 $t_{pd} = (t_{PLH} + t_{PHL})/2$
- 平均延迟时间是反映与非门开关速度的一个重要参数
- 典型值约10ns，一般小于40ns

TTL与非门的技术参数

□空载功耗P

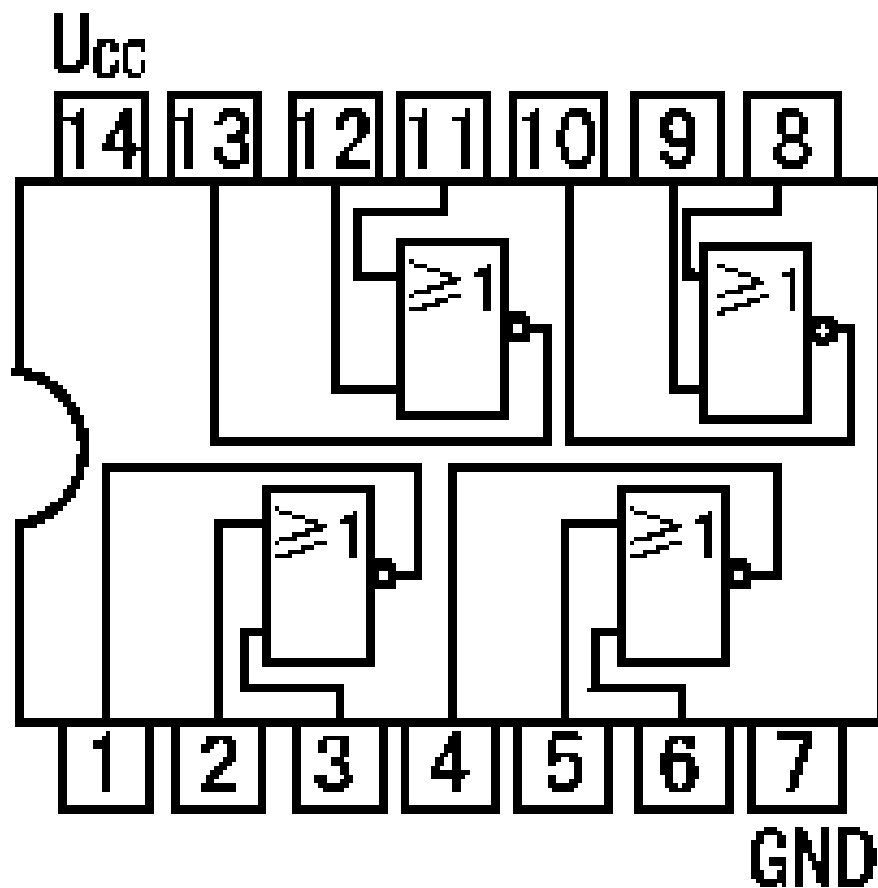
- 空载功耗是当与非门空载工作时所消耗的功率
- 输出为低电平时的功耗称为空载导通功耗 P_{ON}
- 输出为高电平时的功耗称为空载截止功耗 P_{OFF}
- 平均功耗 $P = (P_{ON} + P_{OFF})/2$
 - 一般 $P < 50\text{mW}$,如74H系列门电路平均功耗为22mW

TTL或非门

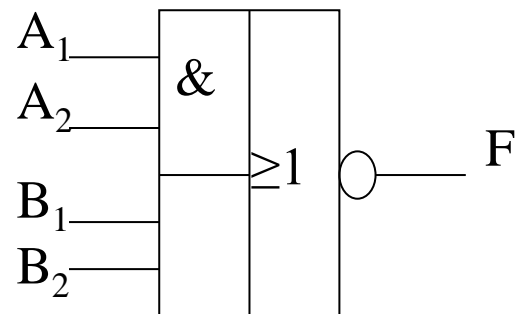
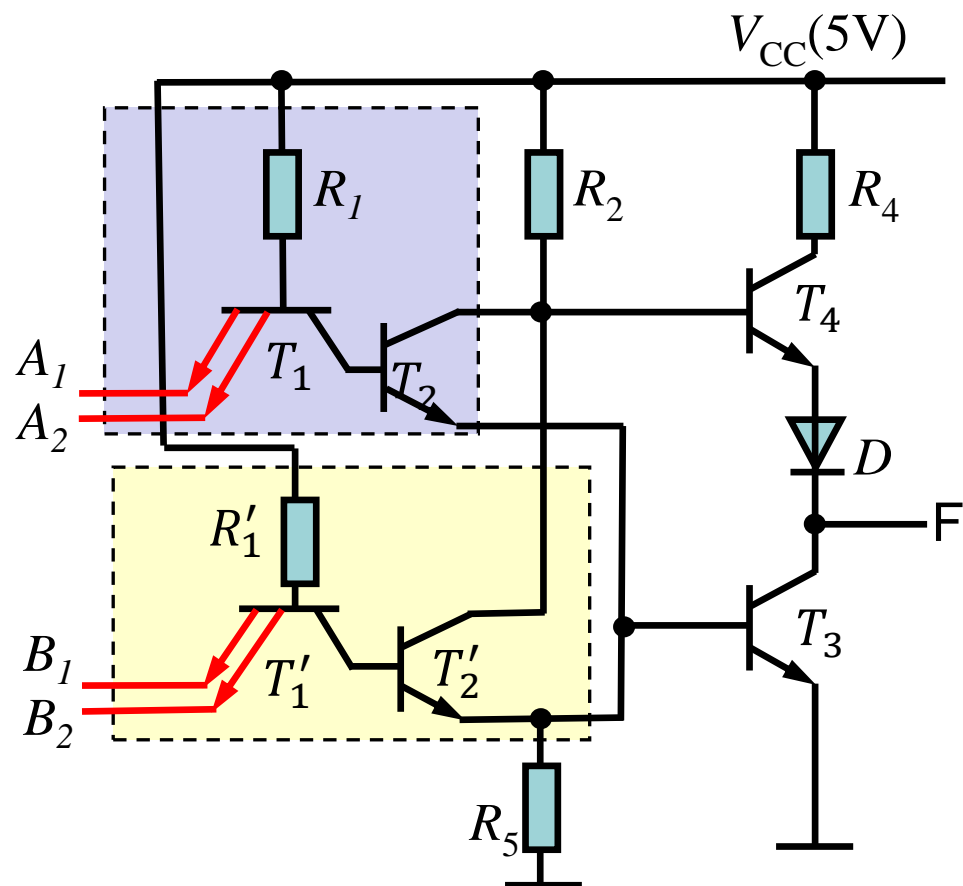


$$F = \overline{A + B}$$

TTL或非门集成芯片

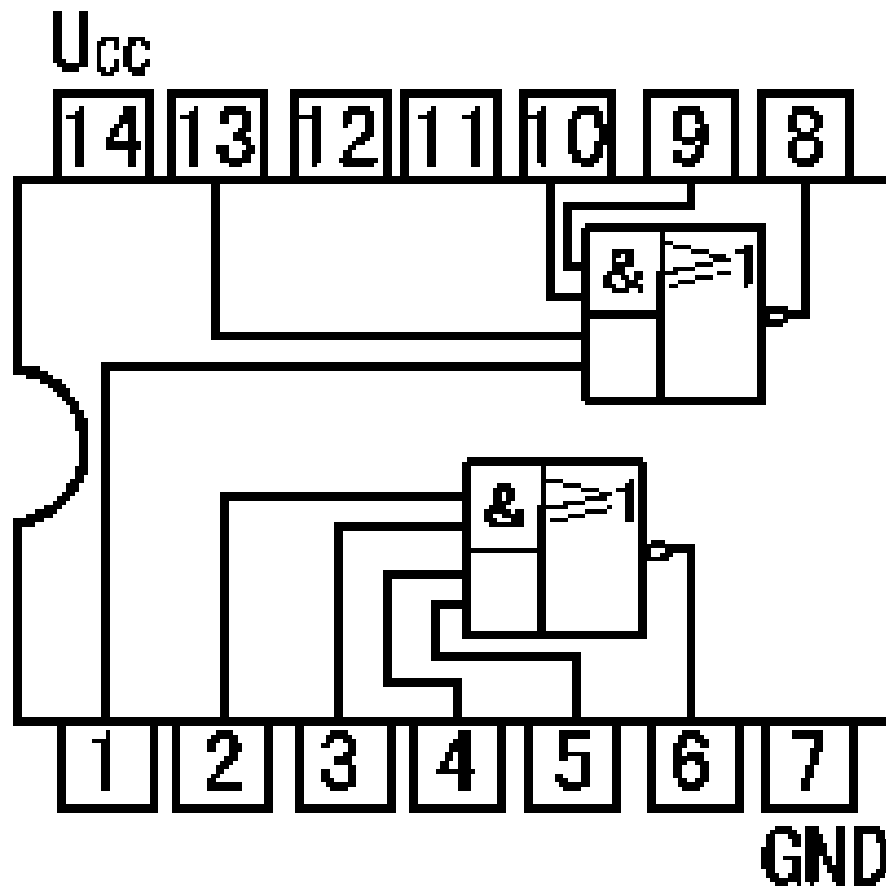


TTL与或非门

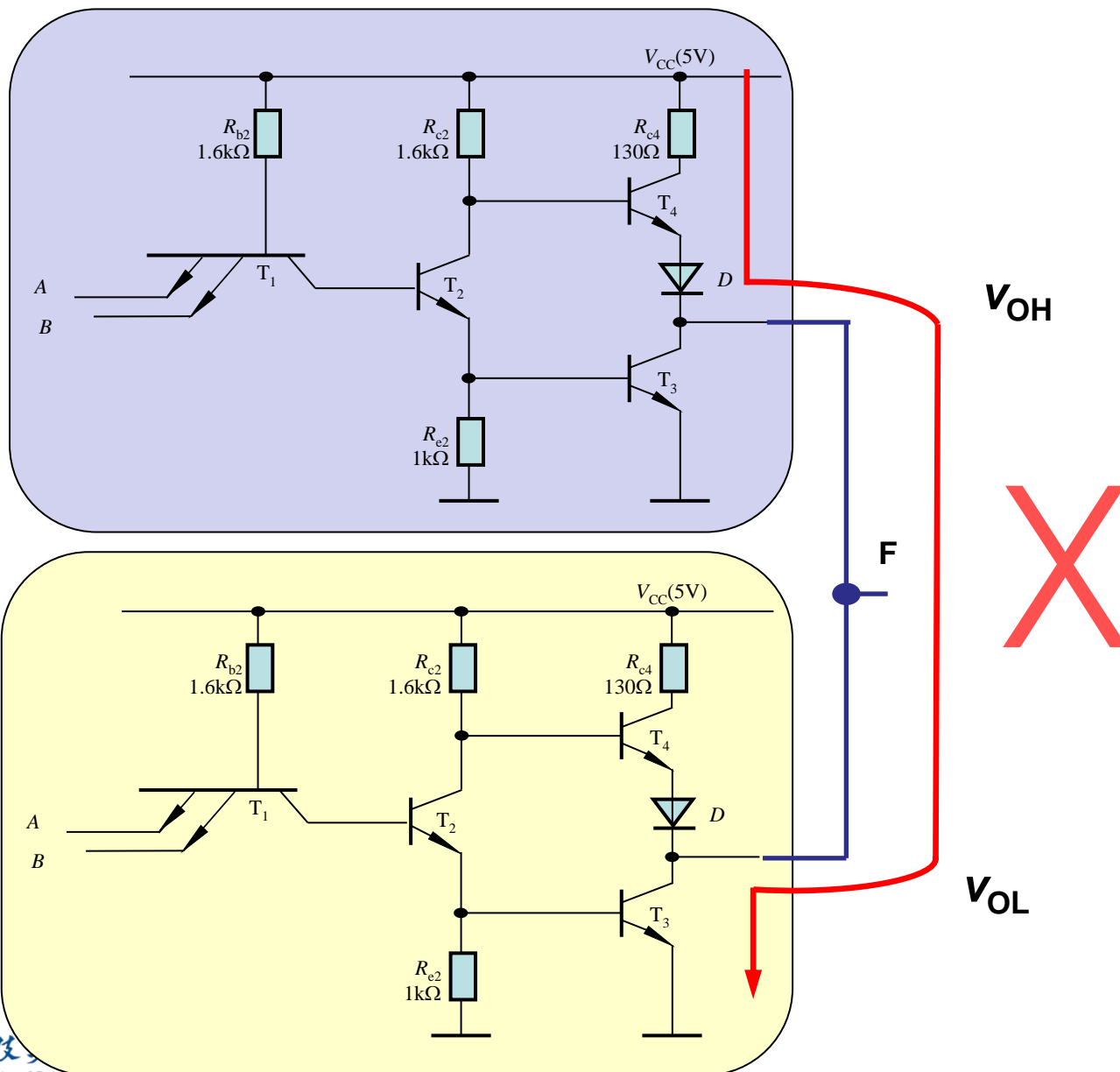


$$F = \overline{A_1 A_2 + B_1 B_2}$$

TTL与或非门集成芯片

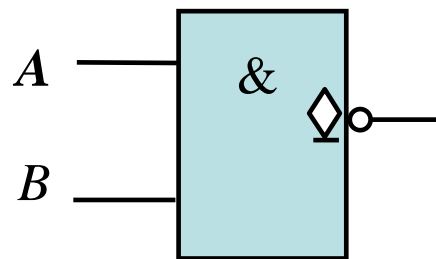
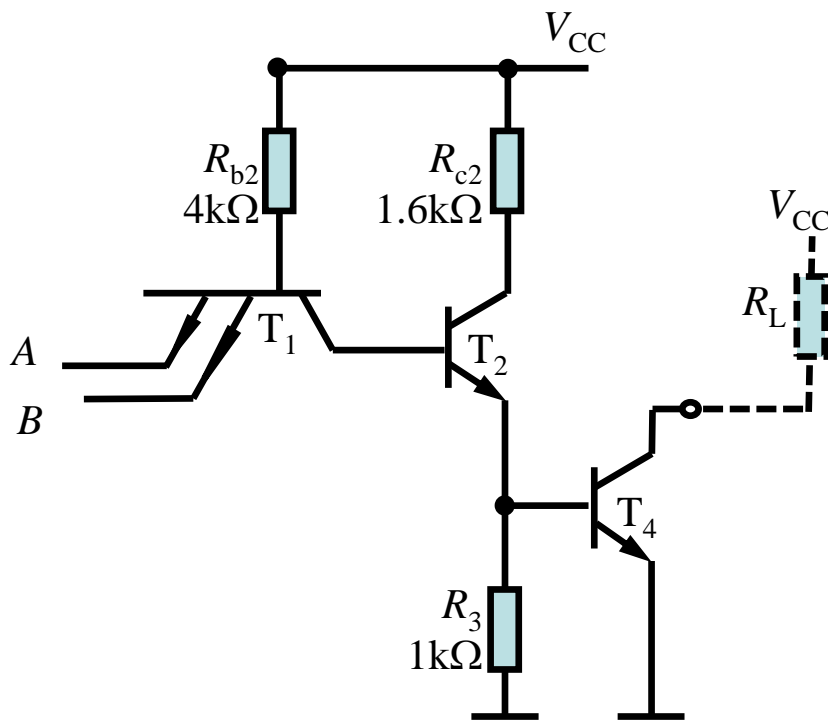


集电极开路门(OC门)



集电极开路门(OC门)

- 输出端可以直接连接的特殊逻辑门
- TTL与非门电路的推拉式输出级改为三极管集电极开路输出



集电极开路门结构

□ 负载电阻和电源需选择恰当

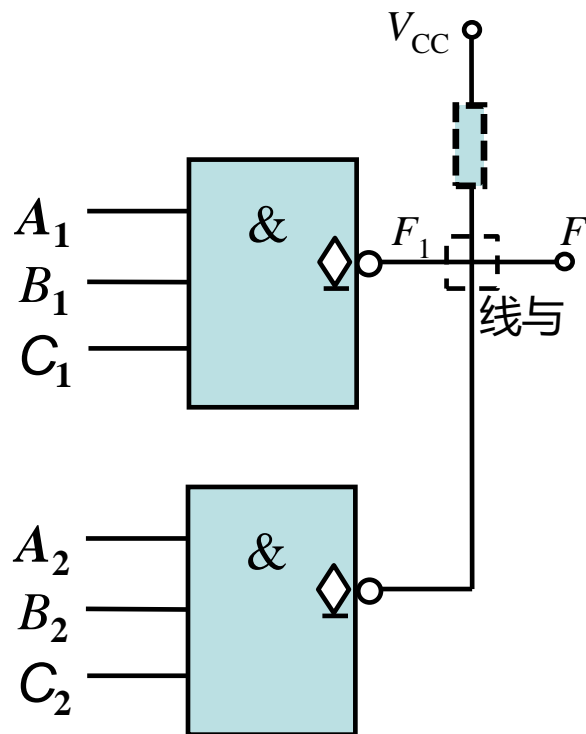
- 既保证输出的高电平符合要求
- 又能使流过T4的电流不至于过大

□ 集电极开路与非门只有在外接负载电阻和电源后才能正常工作

集电极开路门

□分析右图

- 只要有一个门输出为低电平，输出F便为低电平
- 仅当两个门的输出均为高电平时，输出F才为高电平
- 逻辑功能：
 - 两个与非门输出相“与”
- “线与”逻辑
 - 由输出端引线连接实现的

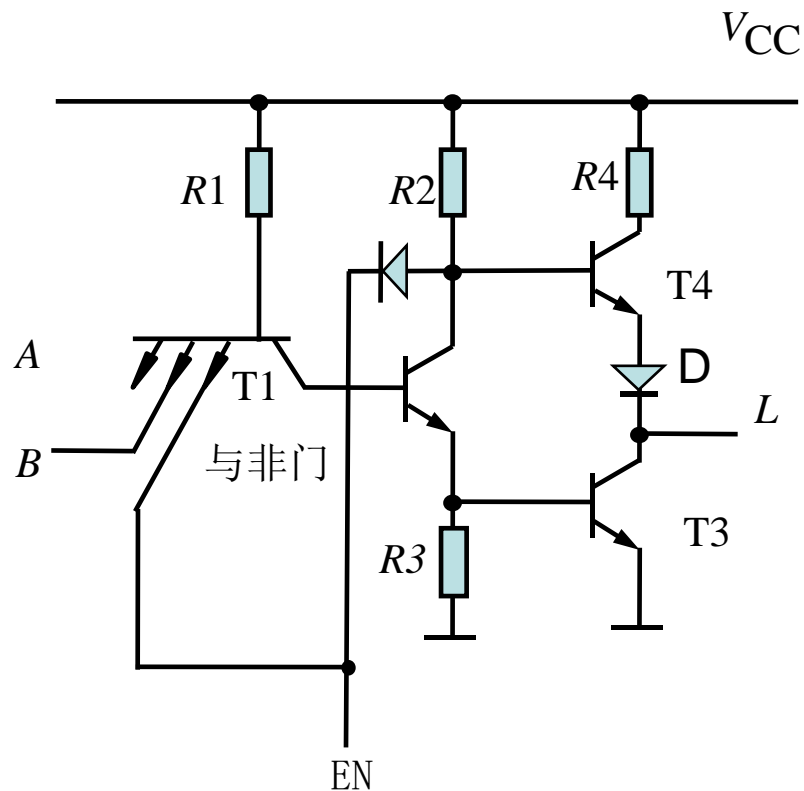


线与逻辑图

三态输出门

□ 三种输出状态

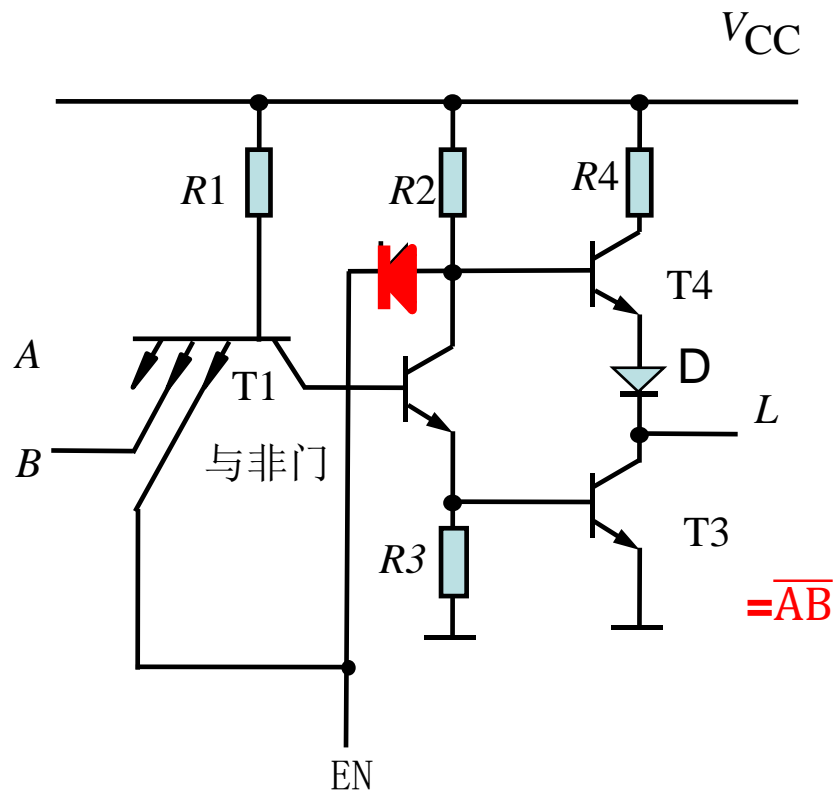
- 工作状态:
 - 高电平、输出低电平
- 禁止状态
 - 高阻状态



三态输出门原理

□ 三态与非门真值表

EN	数据输入端		输出端
	A	B	L
1	0	0	1
	0	1	1
	1	0	1
	1	1	0

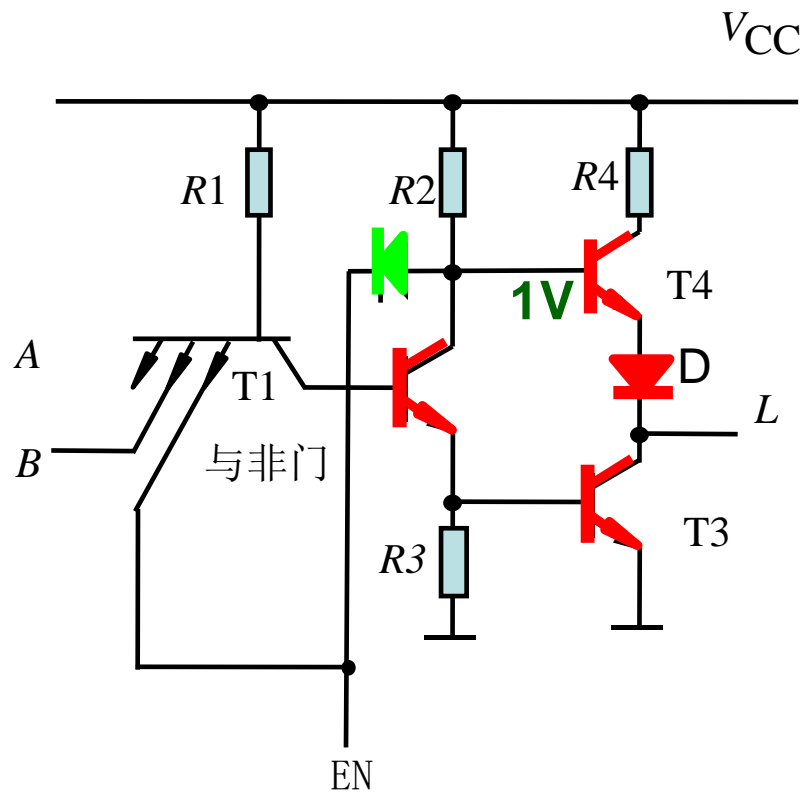


当EN= 1时

三态输出门原理

□ 三态与非门真值表

EN	数据输入端		输出端 L
	A	B	
1	0	0	1
	0	1	1
	1	0	1
	1	1	0

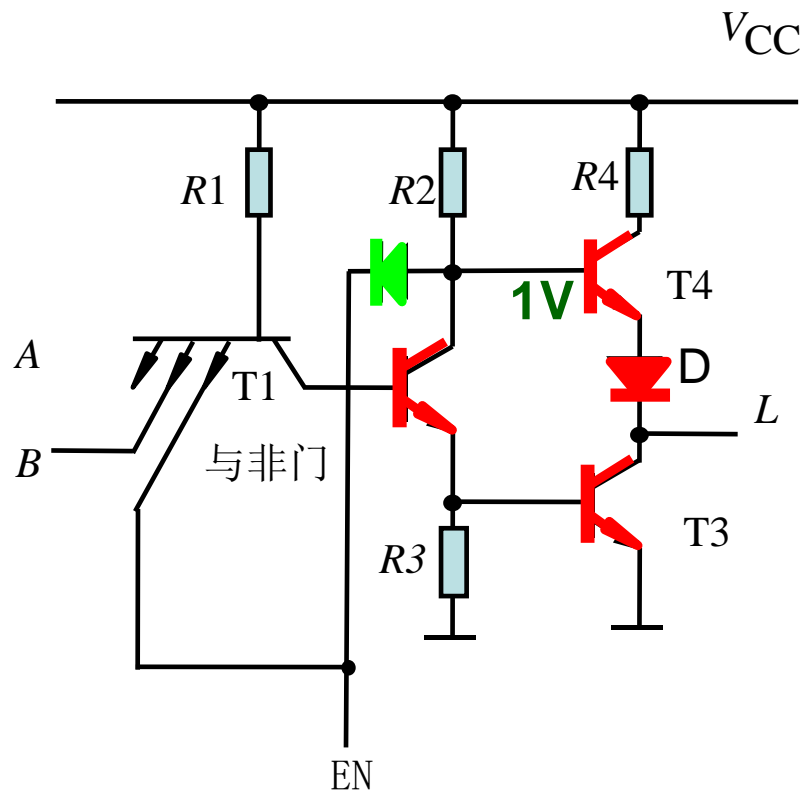


当EN= 0时

三态输出门原理

□ 三态与非门真值表

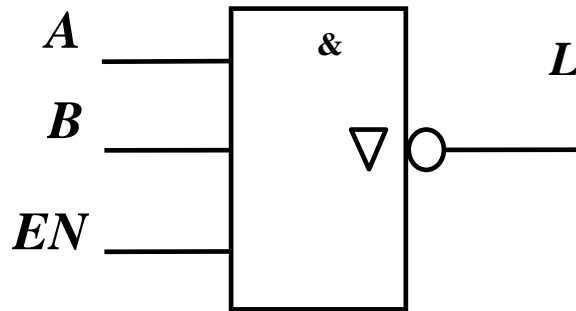
EN	数据输入端		输出端 L
	A	B	
1	0	0	1
	0	1	1
	1	0	1
	1	1	0
0	×	×	高阻



当EN= 0时

三态输出门原理

$$\text{高电平使能} \left\{ \begin{array}{l} \mathbf{L} = \overline{\mathbf{AB}} \Big|_{\mathbf{EN} = 1} \quad \text{与非功能} \\ \mathbf{L} = \mathbf{Z} \Big|_{\mathbf{EN} = 0} \quad \text{高阻状态} \end{array} \right.$$



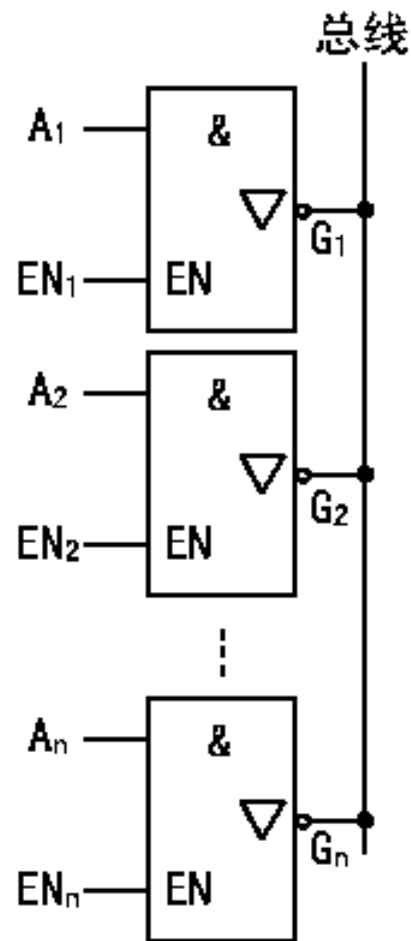
三态与非门(TSL)

三态输出门应用

□ 主要应用

– 总线传送

- 可用于单向数据传送
- 可用于双向数据传送



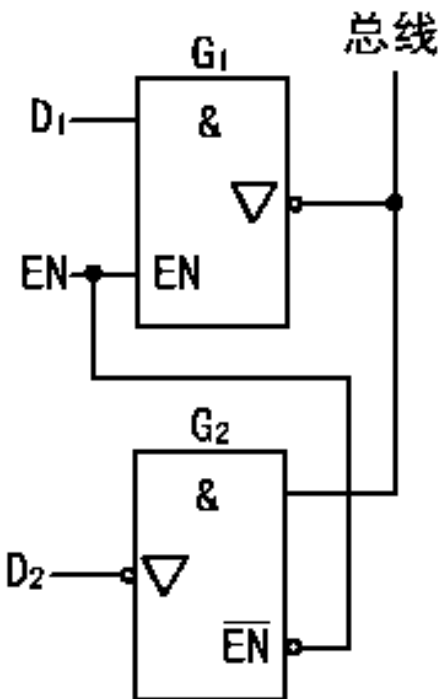
三态门构成单向总线

三态输出门应用

□分析：

– $EN=1$ 时

- G_1 工作
- G_2 处于高阻状态
- 数据 D_1 被取反后送至总线



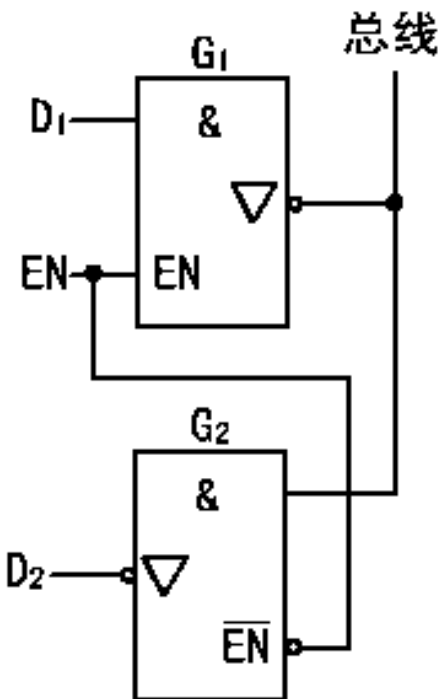
三态门构成的双向总线

三态输出门应用

□分析：

– $EN=0$ 时

- G_2 工作
- G_1 处于高阻状态
- 总线上的数据被取反后送到数据端 D_2

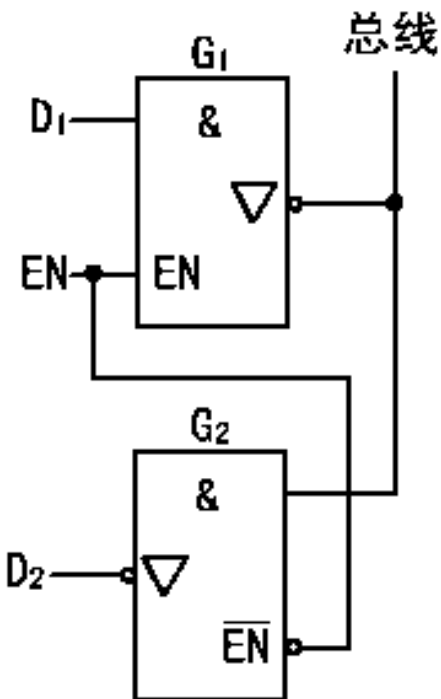


三态门构成的双向总线

三态输出门应用

□分析：

- 实现数据的分时双向传送



三态门构成的双向总线

CMOS集成逻辑门电路

□ 优点

- 制造工艺简单
- 集成度高
- 功耗小
- 抗干扰能力强

□ 缺点

- 速度相对TTL电路较低

CMOS集成逻辑门电路

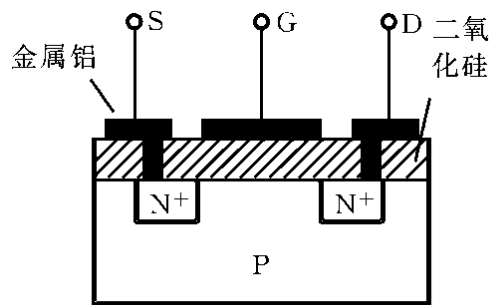
□ MOS门电路的三种类型

- 使用P沟道管的PMOS电路
- 使用N沟道管的NMOS电路
- CMOS电路
 - 电路性能更优，是当前应用较普遍的逻辑电路

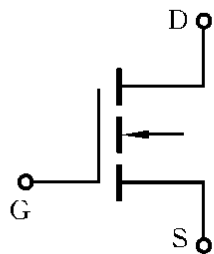
MOS管的开关特性

□ MOS管作为开关元件，同样工作在截止或导通两种状态

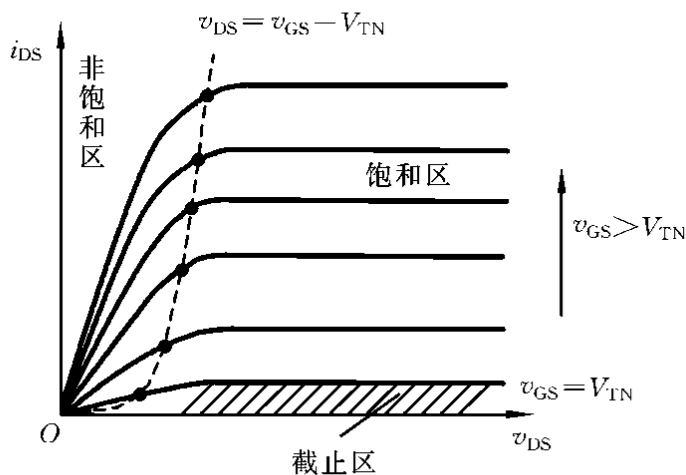
□ 主要由栅源电压决定其工作状态



(a)



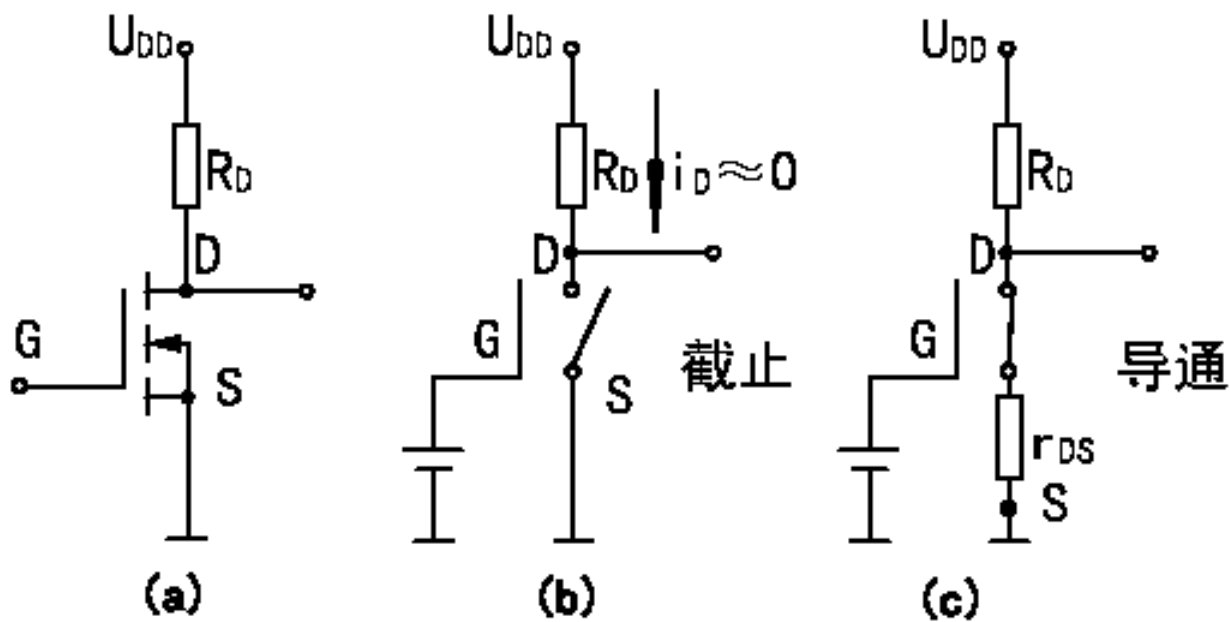
(b)



(c)

静态特性

□ 由NMOS增强型管构成的等效开关电路

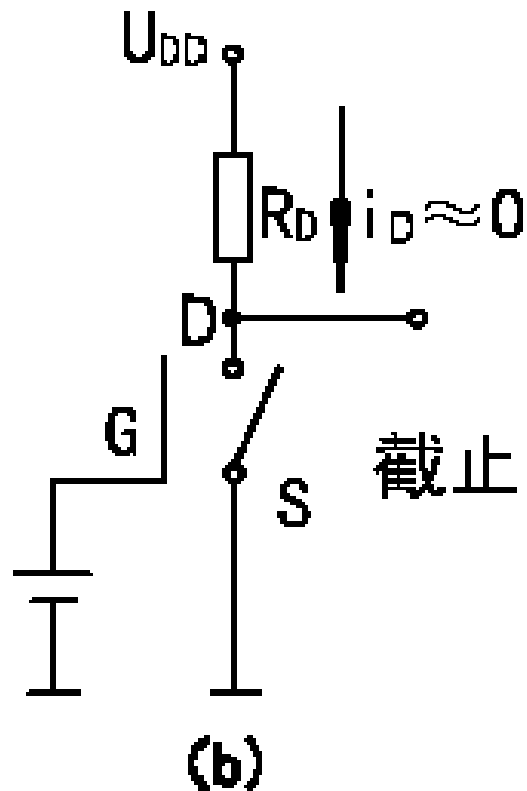


NMOS 管静态特性

静态特性

□ 当 $U_{GS} < \text{开启电压} U_T$ 时

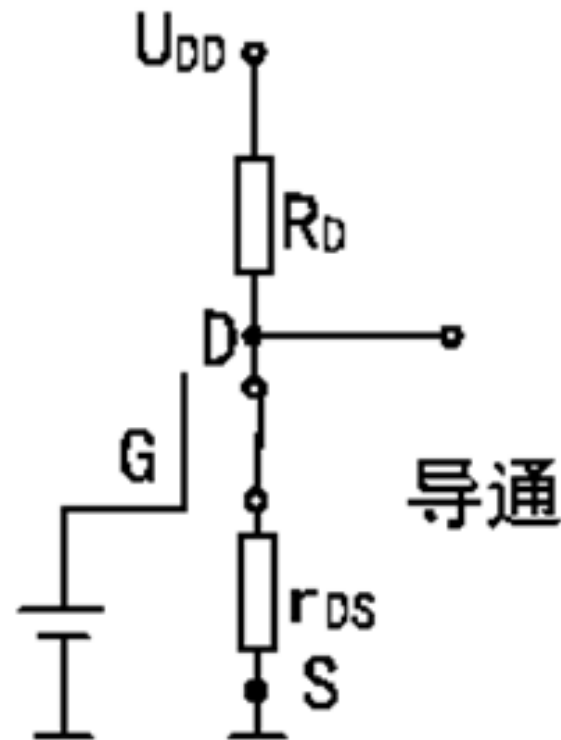
- MOS管工作在截止区
- 漏源电流 I_{DS} 基本为0
- 输出电压 $U_{DS} \approx U_{DD}$
- MOS管处于“断开”状态



静态特性

□ 当 $U_{GS} > \text{开启电压 } U_T$ 时

- 工作在导通区
- $i_{DS} = U_{DD} / (R_D + r_{DS})$ 。
- r_{DS} 为 MOS 管导通时的漏源电阻
- $U_{DS} = U_{DD} \cdot r_{DS} / (R_D + r_{DS})$
 - 若 $r_{DS} \ll R_D$, 则 $U_{DS} \approx 0V$,
MOS管处于“接通”状态

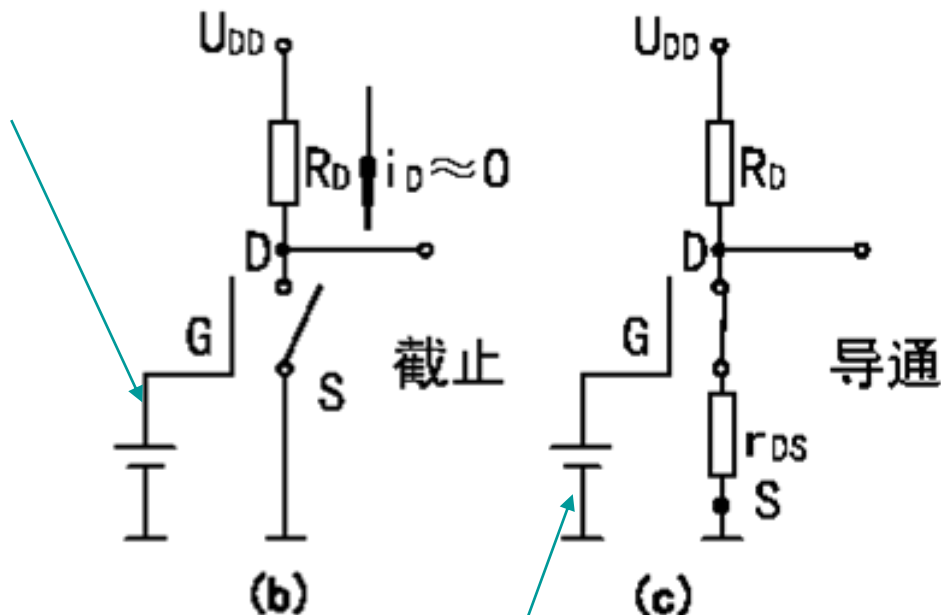


动态特性

- 本身导通和截止时电荷积累和消散的时间很短
- 主要取决于电路中杂散电容充、放电所需时间

动态特性

- 当电压 U_i 由高变低, MOS管由导通转换为截止时, 电源 U_{DD} 通过 R_D 向杂散电容 C_L 充电, 充电时间常数 $\tau_1 = R_D C_L$



- 当电压 U_i 由低变高, MOS管由截止转换为导通时, 杂散电容 C_L 上的电荷通过 r_{DS} 进行放电, 其放电时间常数 $\tau_2 \approx r_{DS} C_L$ 。

动态特性

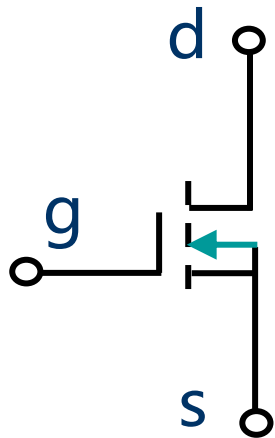
- 截止到导通的转换时间比由导通到截止的转换时间要短
- 开关速度比晶体三极管的开关速度低
 - MOS管的充、放电时间较长

CMOS电路

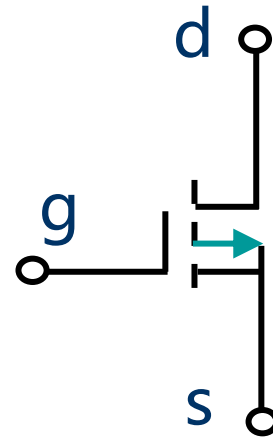
- 为提高MOS器件的工作速度，引入CMOS电路
- CMOS电路有较高的开关速度
 - 充电电路和放电电路都是低阻电路

CMOS电路

- 高电平 “1” : NMOS导通 PMOS截止
- 低电平 “0” : NMOS截止 PMOS导通



(a) NMOS

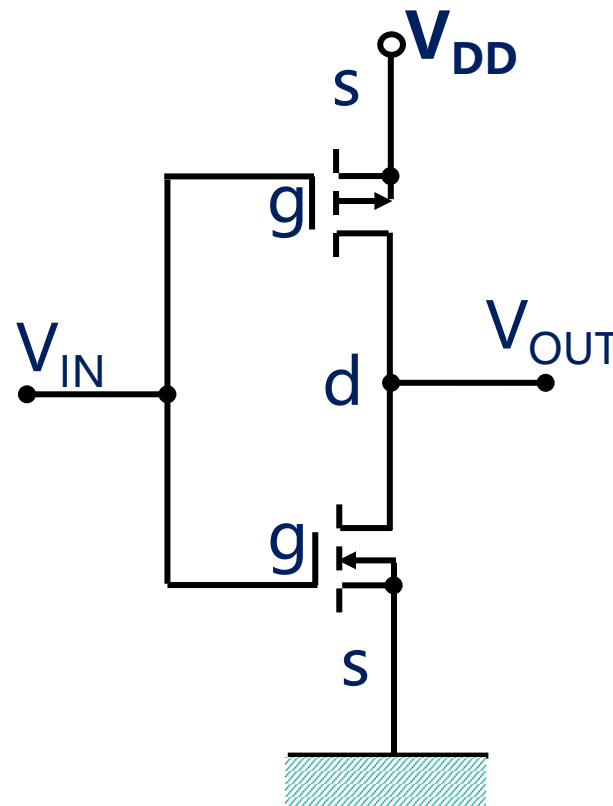


(b) PMOS

CMOS反相器

□分析

- $V_{IN}=0$
 - T_N 截止
 - T_P 导通
 - $V_{OUT} \approx V_{DD}$ 为高电平
- $V_{IN}=1$
 - T_P 截止
 - T_N 导通
 - $V_{OUT} \approx 0$ 为低电平
- $\overline{V_{out}} = V_{in}$

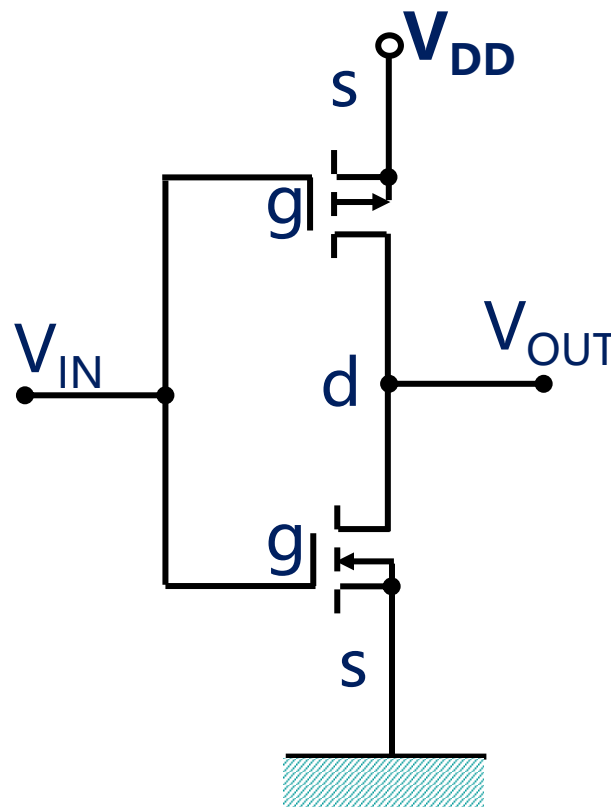


CMOS反相器

□ 电路正常工作条件

- V_{DD} 大于 T_N 管开启电压
 V_{TN} 和 T_P 管开启电压 V_{TP}
的绝对值之和
- $V_{DD} > V_{TN} + |V_{TP}|$

□ 除有较好的动态特性外, 电路静态功耗很低



CMOS与非门

□分析

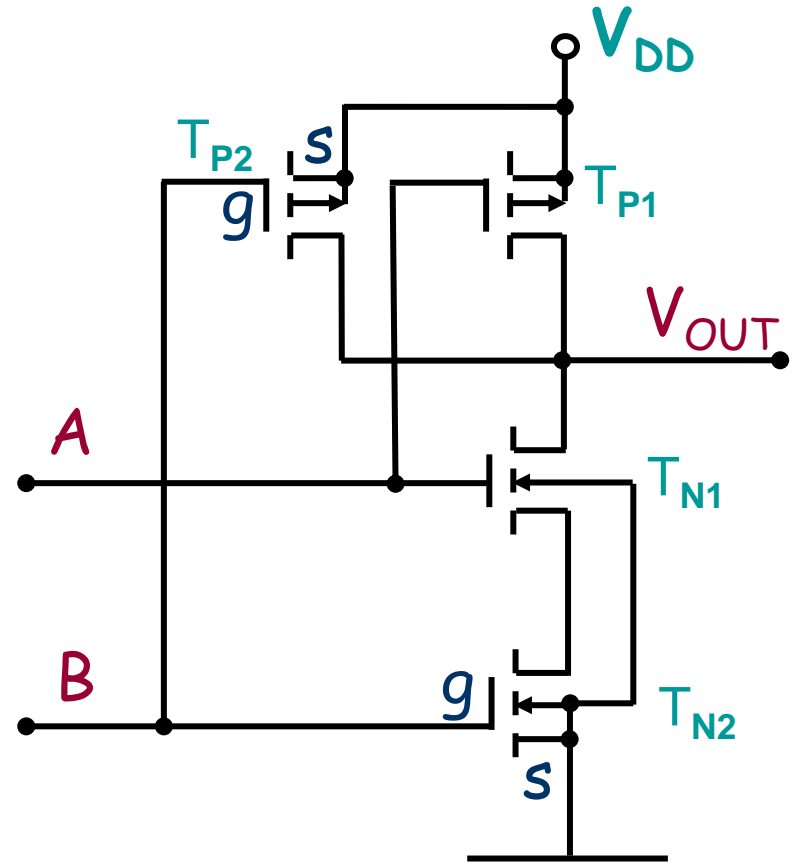
– $A=1, B=1$

- T_{P1} & T_{P2} 截止
- T_{N1} & T_{N2} 导通
- $V_{OUT}=0$

– $A=0$ ($B=0$)

- T_{N1} (T_{N2}) 截止
- T_{P1} (T_{P2}) 导通
- $V_{OUT}=1$

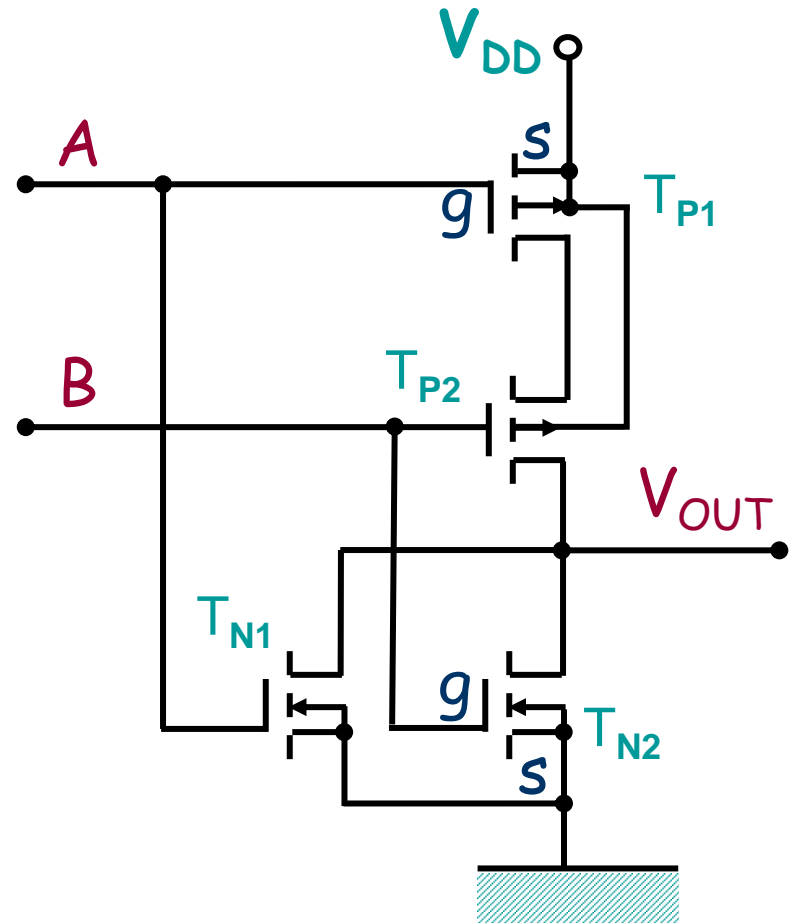
– $V_{out} = \overline{AB}$



CMOS或非门

□分析

- $A=0, B=0$
 - T_{N1} & T_{N2} 截止
 - T_{P1} & T_{N2} 导通
 - $V_O=1$
- $A=1$ ($B=1$)
 - T_{P1} (T_{P2}) 截止
 - T_{N1} (T_{N2}) 导通
 - $V_O=0$
- $V_{out} = \overline{A + B}$



CMOS三态门

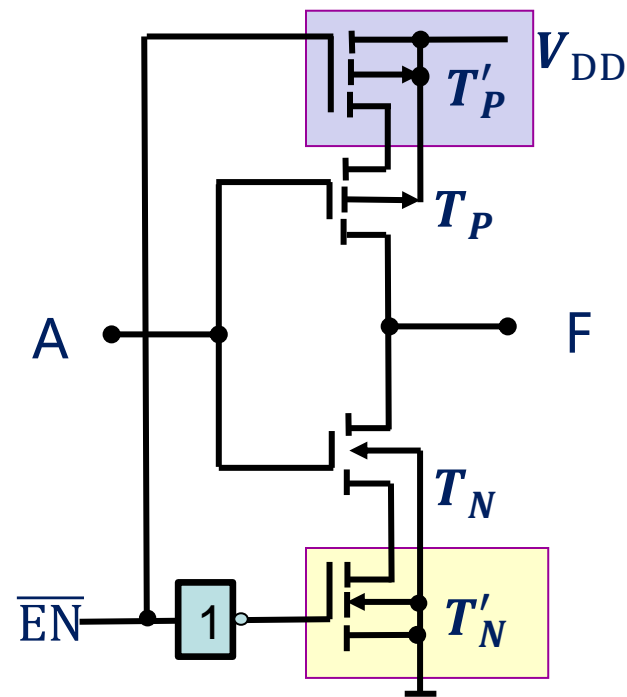
□ 低电平使能控制的三态

非门

□ 在CMOS反相器的基础上

上增加NMOS管 T_N'

和PMOS管 T_P'



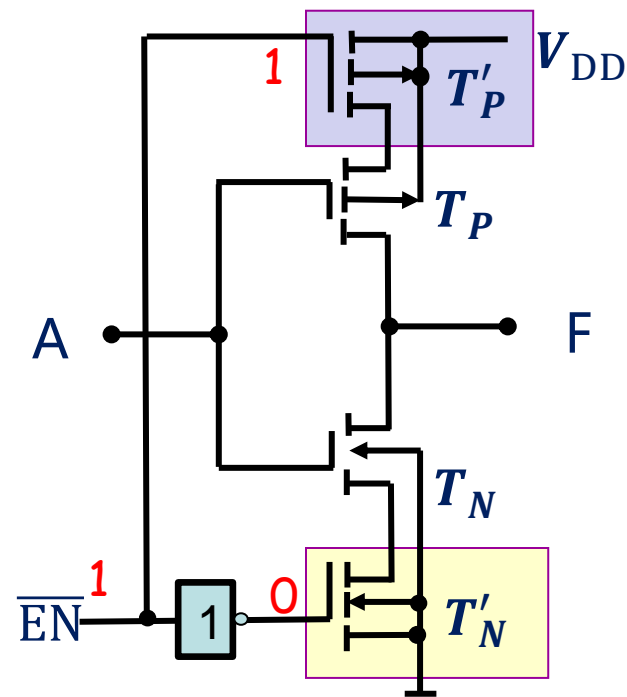
CMOS三态门

CMOS三态门

□ 低电平使能控制的三态非门

□ $\overline{EN}=1$

- T_N' 和 T_P' 同时截止
- 输出F呈高阻状态



CMOS三态门

CMOS三态门

□ 低电平使能控制的三态非门

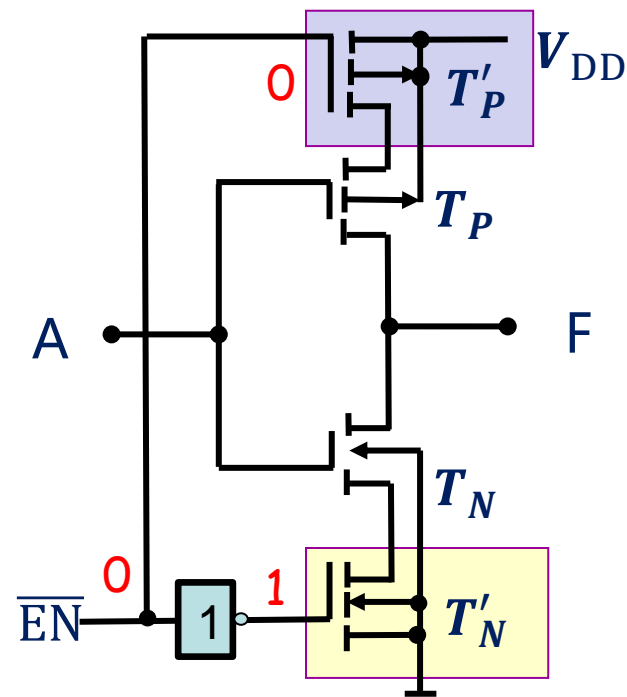
□ $\overline{EN}=1$

- T_N' 和 T_P' 同时截止
- 输出F呈高阻状态

□ $\overline{EN}=0$

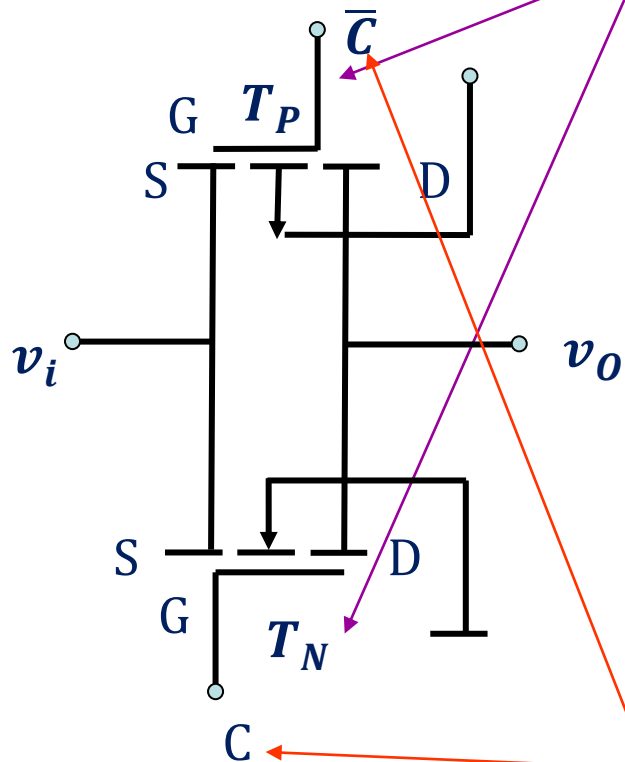
- T_N' 和 T_P' 同时导通
- 非门正常工作，实现非门功能

□ 也可用于总线传输

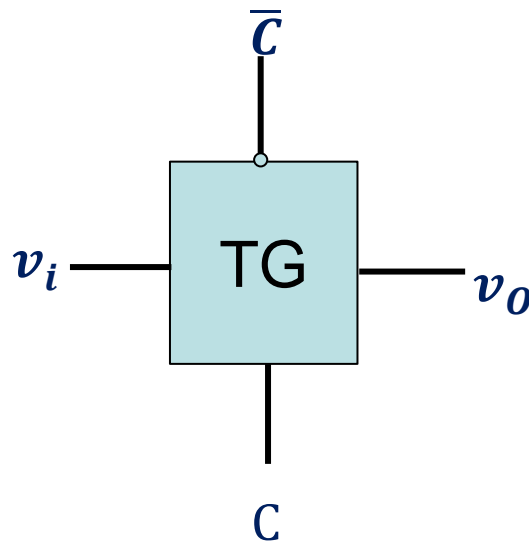


CMOS三态门

CMOS传输门



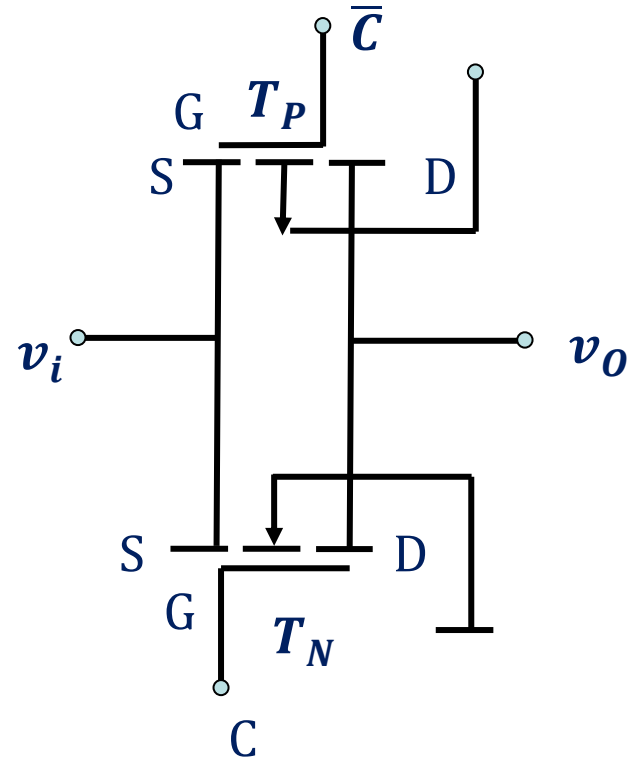
■ T_N 和 T_P 的结构和参数对称



■ 两管的栅极分别与一对互补的控制信号 C 和 \bar{C} 相接。

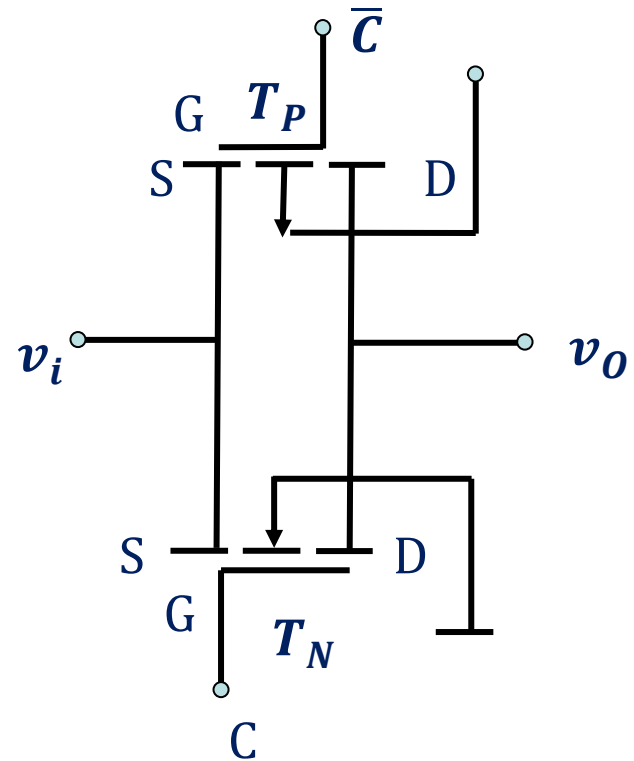
CMOS传输门

□ 当 $C=1$ (U_{DD}) 时, U_i 在 $0V \sim U_{DD}$ 范围内变化, 两管中至少有一个导通, 输入和输出之间呈低阻状态, 相当于开关接通, 输入信号 V_i 能通过传输门。



CMOS传输门

□ 当 $C=0$ (0V) 时, U_i 在 $0V \sim U_{DD}$ 范围内变化, 两管均处于截止状态, 输入和输出之间呈高阻状态 ($10^7 \Omega$), 信号 U_i 不能通过, 相当于开关断开。



CMOS传输门

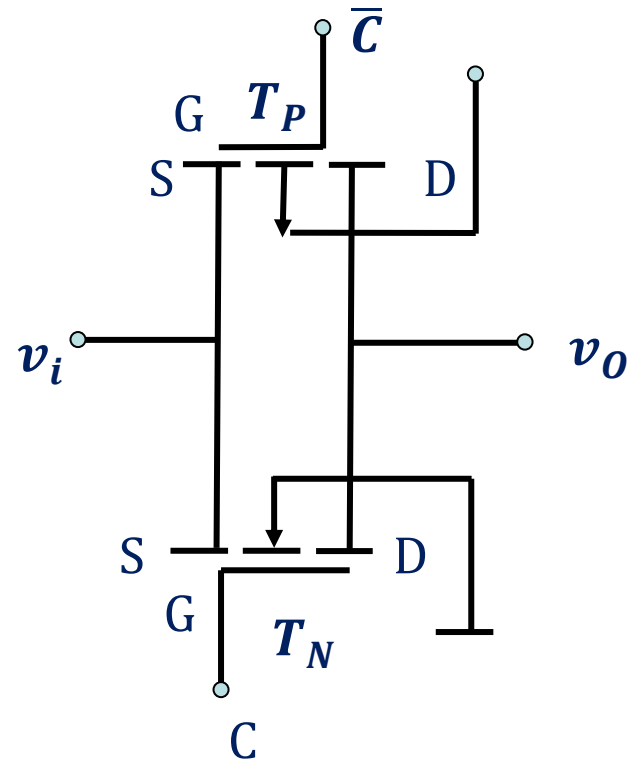
□ MOS管的结构是对称的

- 源极和漏极可以互换使用

□ 传输门的输入端和输出端可以互换使用

□ MOS传输门具有双向

- 又称为可控双向开关



正逻辑和负逻辑

- 约定用高电平表示逻辑1、低电平表示逻辑0
- 既可以规定用高电平表示逻辑1、低电平表示逻辑0，也可以规定用高电平表示逻辑0，低电平表示逻辑1。
- 正逻辑和负逻辑
 - 正逻辑：用高电平表示逻辑1，低电平表示逻辑0
 - 负逻辑：用高电平表示逻辑0，低电平表示逻辑1

正逻辑和负逻辑的关系

- 对于同一电路，可以采用正逻辑，也可以采用负逻辑
- 正逻辑与负逻辑的规定不涉及逻辑电路本身的结构与性能好坏
- 不同的规定可使同一电路具有不同的逻辑功能

正逻辑和负逻辑的关系

□ 某逻辑门电路的输入、输出电平关系如下表所示

按正逻辑与负逻辑的规定，电路的逻辑功能分别如何？

输入输出电平关系

输 入		输 出
A	B	F
L	L	L
L	H	L
H	L	L
H	H	H

正逻辑和负逻辑的关系

输入输出电平关系

输 入		输 出
A	B	F
L	L	L
L	H	L
H	L	L
H	H	H

正逻辑真值表

输 入		输 出
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

负逻辑真值表

输 入		输 出
A	B	F
1	1	1
1	0	1
0	1	1
0	0	0

电路是一个**正逻辑的“与”门**，**负逻辑的“或”门**。

即正逻辑与门等价于负逻辑或门。

正逻辑和负逻辑的关系

□证明：

- 假定一个正逻辑与门的输出为F，输入为A、B，则有

$$F = A \cdot B$$

根据反演律，可得

$$\bar{F} = \overline{A \cdot B} = \bar{A} + \bar{B}$$

- 可见，若将一个逻辑门的输出和所有输入都反相，则正逻辑变为负逻辑。据此，可将正逻辑门转换为负逻辑门

正逻辑和负逻辑的关系

- 前面讨论各种逻辑门电路时，都是按照正逻辑规定来定义其逻辑功能
- 在本课程中，若无特殊说明，约定按正逻辑讨论问题
- 所有门电路的符号均按正逻辑表示

问题解答



Thank You!

