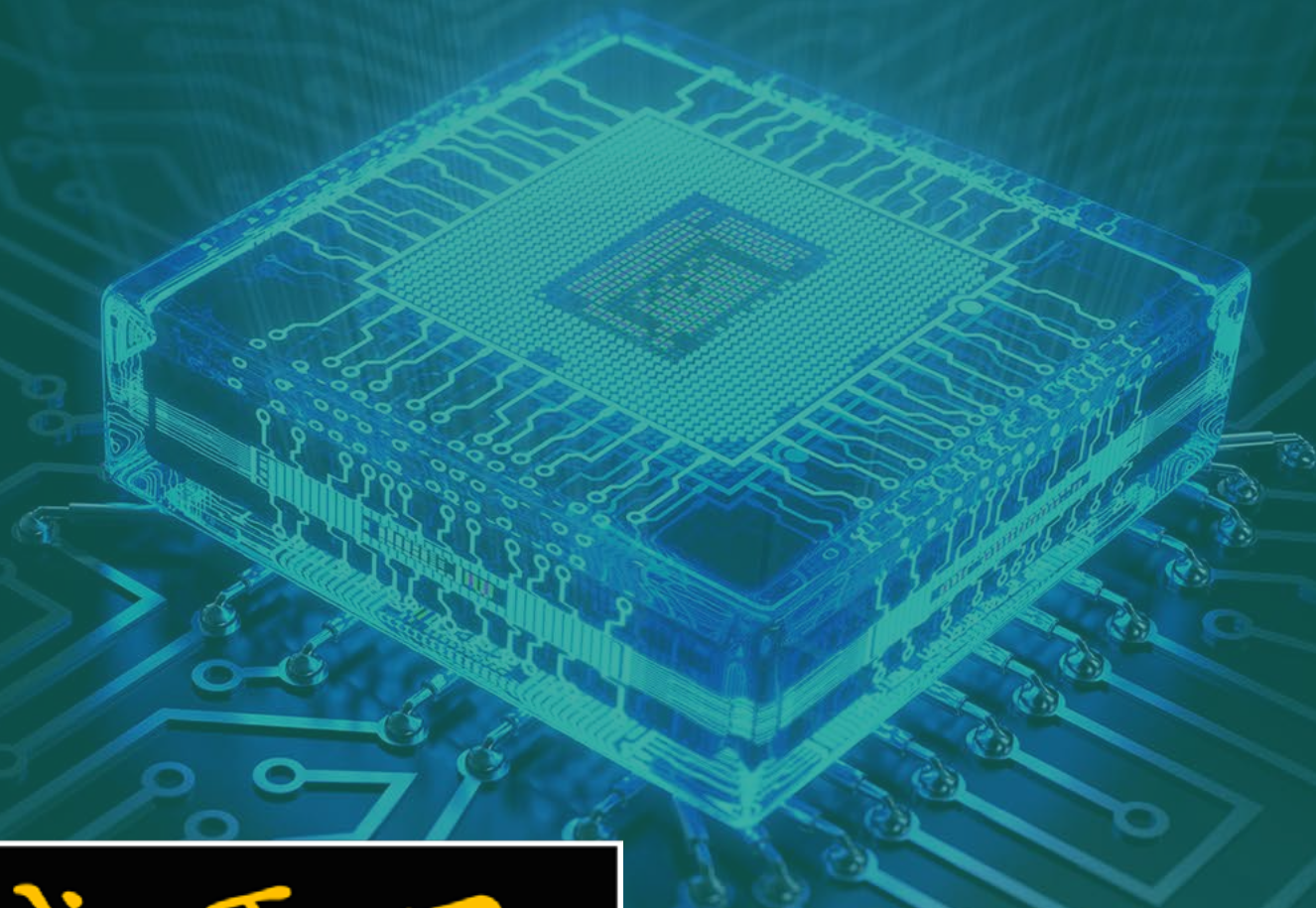




华中科技大学

计算机科学与技术学院

School of Computer Science & Technology, HUST



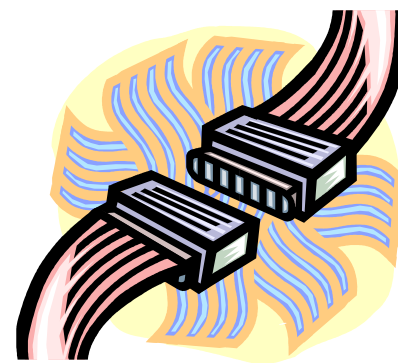
# 计算机组成原理



# 计算机组成原理



## 八、系统总线



# || 本章主要内容

n 8.1 总线概述

n 8.2 总线传输机制

n 8.3 总线结构

n 8.4 常用总线



## 8.1 总线概述

n 8.1.1 总线分类

n 8.1.2 总线组成

n 8.1.3 总线标准

n 8.1.4 总线与三态门

n 8.1.5 总线性能指标



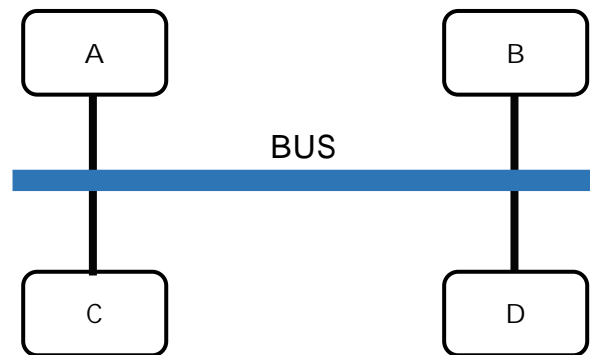
# 总线(BUS)基本概念

## n 各功能部件间传递信息的公共通路

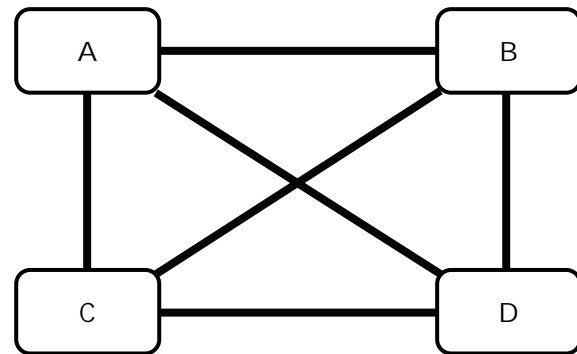
- u 将各功能部件连接起来构成一个完整系统
- u 计算机体系结构的重要组成部分
- u 所有部件都连接到共享的总线上
  - u 控制简单，成本低、扩展性好
  - u 分时使用总线、性能受限

## n 总线基本构成

- p 总线控制器、总线接口、软件、通信协议



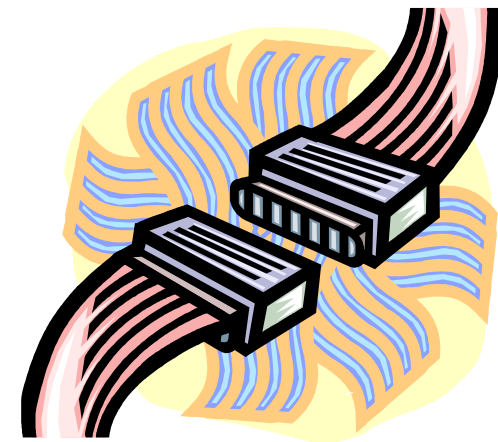
共享总线连接



点对点分散连接

# 总线分类

- n 按传输方向分 单向传输总线、双向传输总线
- n 按时序控制分 同步总线、异步总线
- n 按信号类型分 数据总线、地址总线、控制总线
- n 按总线数量分 并行传输总线、串行传输总线
- n 按连接部件分 片内、系统、I/O、外部、处理器总线
  - u 片内总线 (CPU内各功能单元间的连接) ARM AMBA、Wishbone等
  - u 系统总线 (CPU连接主存、I/O部件的连接) ISA/EISA、PCI、FSB、QPI、DMI等
  - u I/O总线 (中低速I/O设备间的连接) PCI、EISA、AGP、PCIe、LPC、SPI、SCSI、SATA
  - u 外部总线 RS232串行总线、USB、火线 (IEEE-1394)、eSATA等



# 总线组成

## n 数据总线

p 传送数据信息，双向传输

p 总线宽度指标

## n 地址总线

p 传送地址，单向传输

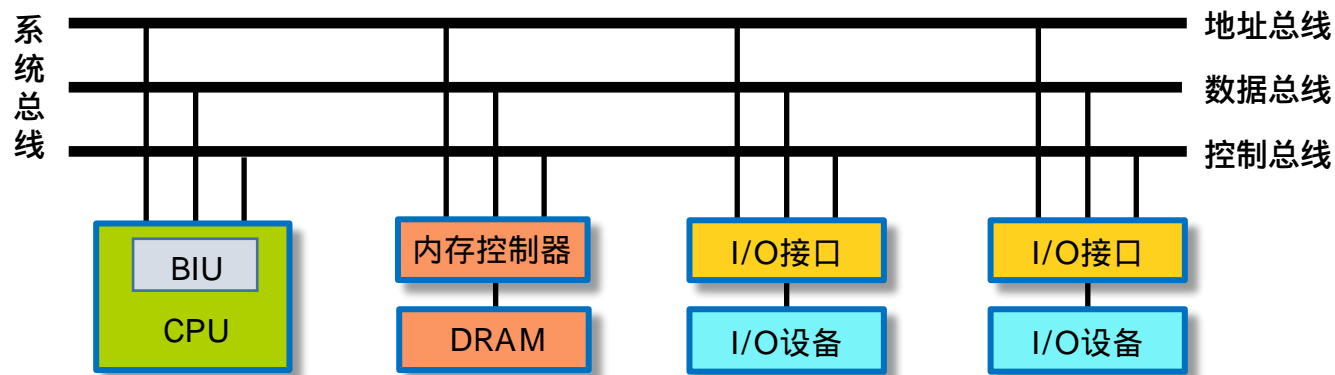
## n 控制总线

p 传送控制信号和时序信号

u 存储器读/写、IO读/写、传输应答

u 总线请求、总线许可、总线忙

u 中断请求、中断响应、时钟等



## n 总线复用技术

p 可减少引脚，降低成本，性能下降

## n 总线设备分类

p 主设备（CPU、协处理器、DMA控制器）

p 从设备（内存、I/O设备）

p 总线主控技术（I/O设备内置DMA控制器）

# || 总线标准与特性

## n 总线标准

p 关于总线与总线接口的物理特性、电气特性、功能特性、时间特性的详细规范和协议

## n 物理规范---总线的物理连接方式

p 根数，插头，座的形状，引线的排列方式

## n 电气规范---定义信号线的传递方向及有效电平

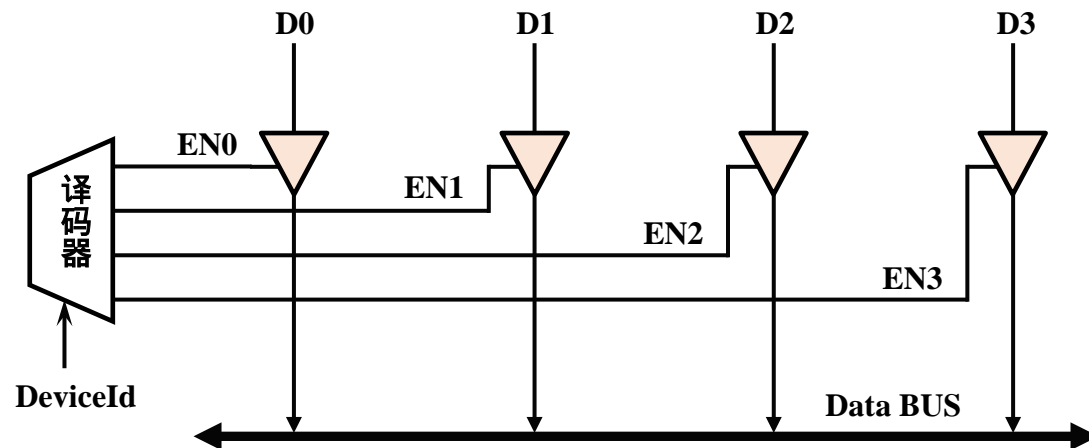
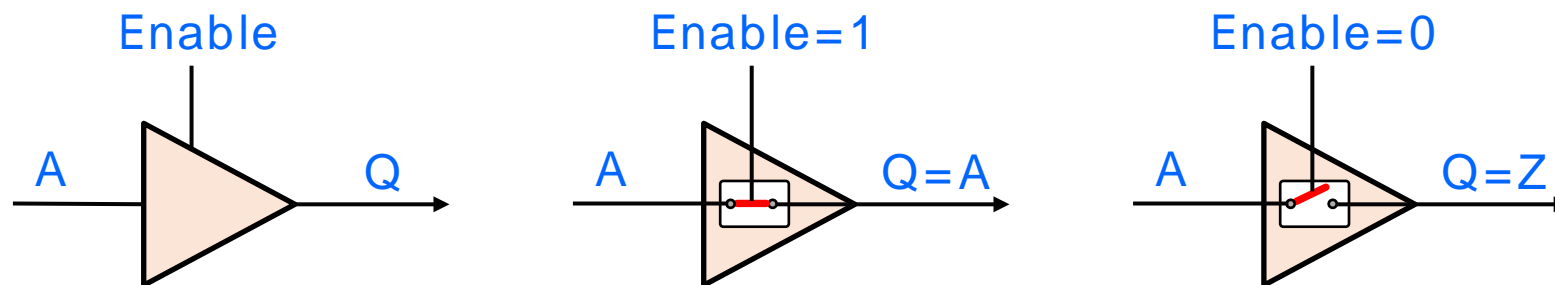
p 单/双向，单端/差分、电平高/低有效及范围

## n 功能规范---定义信号线的功能

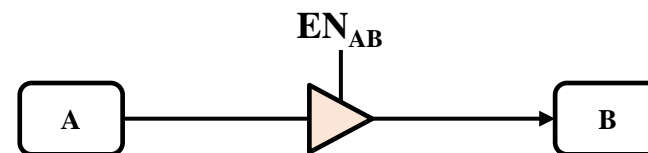
## n 时序规范---总线上各信号有效的时序关系



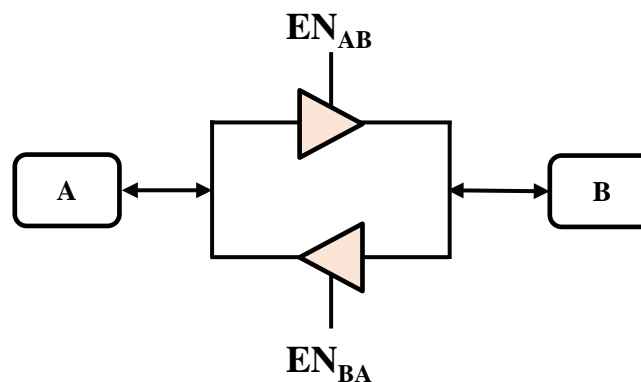
# 总线与三态门



总线输出控制



单向



双向

# 总线性能指标

## n 总线宽度、总线时钟频率，总线传输周期

- p 总线传输周期包括多个总线时钟周期（申请，寻址，传输，结束）
- p 单时钟传输次数（DDR=2、QDR=4、AGP\*8=8）
- p 实际工作频率=总线时钟频率 \* 单时钟传输次数

## n 总线带宽：总线的最高传输速率

- p 不考虑申请、寻址等开销 单位：Byte/s

## n 同步总线带宽 = 总线宽度 × 总线时钟频率 × 单时钟传输次数

- p 总线宽度，总线传输频率
- p 总线复用机制、总线定时方式、是否允许突发模式



## || 常见总线带宽

总线标准	总线宽度	总线时钟频率	单时钟传输次数	总线带宽
ISA-8	8	8.3 MHz	1	8 MB/s
ISA-16	16	8.3 MHz	1	16 MB/s
EISA	32	8.3 MHz	1	33 MB/s
MCA	32	10 MHz	1	40 MB/s
VESA	32	33 MHz	1	133 MB/s
PCI-32	32	33/66 MHz	1	133/266 MB/s
PCI-64	64	66 MHz	1	533 MB/s
AGP	32	66 MHz	1	266 MB/s
AGP*8	32	66 MHz	8	2133 MB/s
ATA133	16	66 MHz	1	133 MB/s
SCSI-3	16	80 MHz	4	640 MB/s
FSB	64	400 MHz	4	12.8 GB/s

## || 例子

n 例8.1 某32位同步总线时钟频率为400MHz，每个总线时钟周期可以传输一个机器字，求总线的带宽是多少，为优化总线性能，将总线宽度增加到64位，并采用了QDR技术，一个总线时钟周期可以传输4次，则总线的带宽是多少，提升了多少倍？

解：由同步总线带宽计算公式，可得

$$\text{总线带宽} = 4\text{B} \times 400\text{MHz} \times 1 = 1.6 \text{ GB/s}。$$

改进后的总线带宽 =  $8\text{B} \times 400\text{MHz} \times 4 = 12.8 \text{ GB/s}$ ，提升了8倍。

# || 本章主要内容

n 8.1 总线概述

n 8.2 总线传输机制

n 8.3 总线结构

n 8.4 常用总线



## 8.2 总线传输机制

n 8.2.1 总线传输过程

n 8.2.2 总线的信息传送

n 8.2.3 总线仲裁

n 8.2.4 总线定时



## 8.2.1 总线传输过程

### n 总线申请: ( 总线仲裁 )

- p 需要使用总线的主部件提出请求 ( 为什么要申请 )
- p 总线控制器确定将下一个总线使用权分配给谁

### n 地址阶段: ( 总线寻址 )

- p 主设备经总线发出从设备的存储器地址或I/O端口地址及相关命令, 启动从设备

### n 数据阶段: ( 数据传输 )

### n 结束阶段:

- p 主部件撤消总线请求等有关信息, 让出总线, 以便总线控制器重新分配总线使用权

# 总线事务 (Bus Transaction)

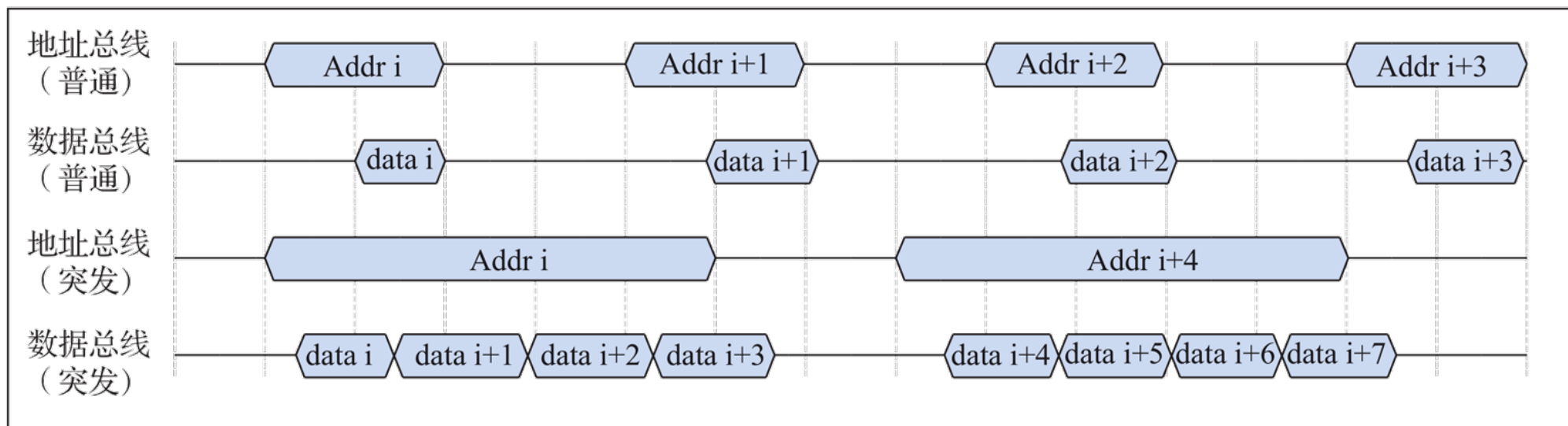
n 总线事务：总线上主从设备之间的一次信息交换过程

p 一个总线周期中发生的一系列活动：请求阶段、寻址阶段、传输阶段、结束阶段

p 典型事务：存储器读，存储器写，I/O读，I/O写，中断响应，DMA响应

n 突发(猝发)传送事务 (Burst Mode 成组传送)

p 一次寻址、多个数据传输阶段，传输过程不释放总线



## 8.2.2 总线的信息传送

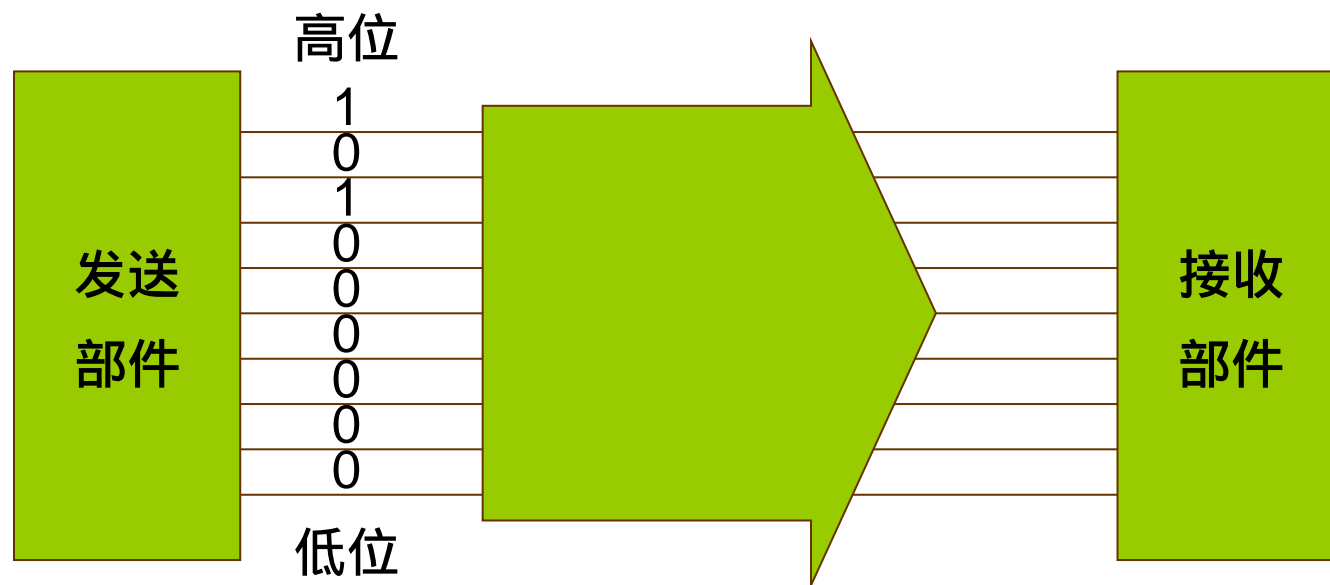
### n 数据传送模式

- p 读、写操作
- p 块传送操作（突发传送）
- p 写后读、读修改写操作（校验/存储保护）
- p 广播广集操作

### n 信息的传输方式

- p 并行、串行
- p 并串行传送
- p 分时传送

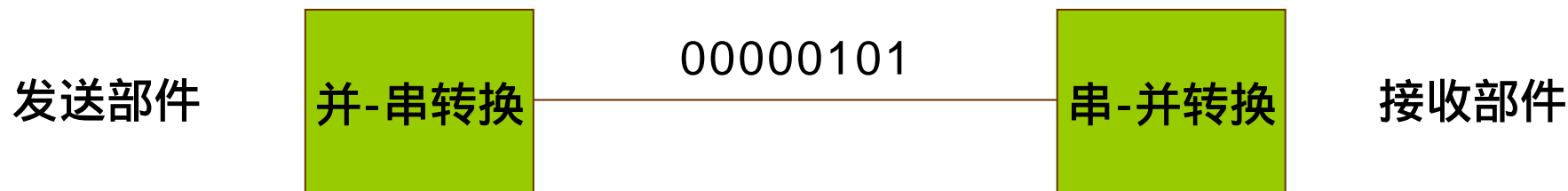
## 并行传送



- n 每位数据一条传输线，并行传送，采用电位传送
- n 传送速度快，传输距离短（线间串扰，高频障碍）
- n 现代总线向高频串行总线发展



# 串行传送



## n 位信息从低到高位在一条传输线上逐位以脉冲方式传送

p 一条传输线，每次一位，先低位，后高位

p 成本低，速度慢，传输距离长

p 单工、半双工、全双工

p 同步传输（公共时钟，信息帧为多个字节，时钟偏移问题，SPI，I<sup>2</sup>C）

p 异步传输（相同频率时钟，约定波特率，信息帧为单字节，无时钟偏移问题，RS232）

同步字符

01111110	Byte 1	Byte 2	...	Byte n	CRC	01111110
----------	--------	--------	-----	--------	-----	----------

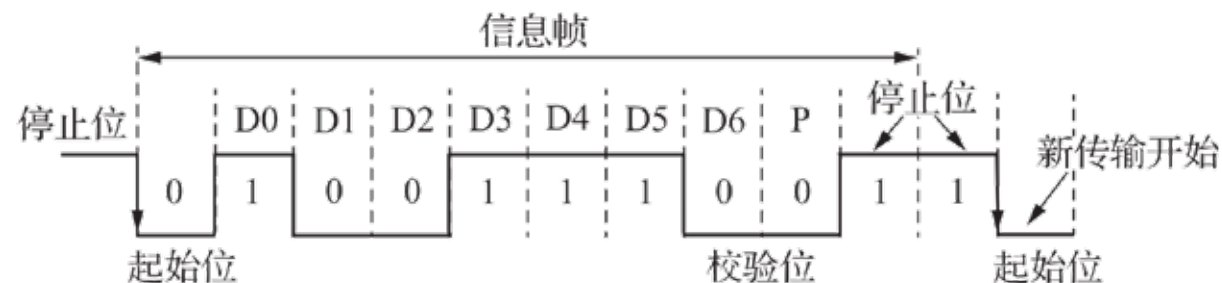
结束字符

## n 异步串行传送的数据格式编码

p 起始位+数据位+校验位+停止位

## n 波特率: 每秒钟传送的码元个数

p 波特率(所有信息)>数据传输率（有效数据）



## || 串行传送方式

例8.2 若异步串行传输的信息帧由1个起始位、7个数据位、1个奇偶校验位和1个停止位等10个数位构成，线路每秒钟传送120个字符，分别计算波特率和数传率。

解：波特率 = 10位 / 字符 × 120字符 / 秒 = 1200 bps = 1200波特

数传率 = 120 × 7位/秒 = 840 bps



## || 高速串行总线编码效率

- n 高速串行总线中传送多个连续“1”或连续“0”容易产生问题
  - p 必须考虑直流平衡问题（DC Balance）问题
  - p 通常会将数据进行特殊编码后再进行传输
  - p 如常用的8bit/10bit编码方式会在5个连续的“1”或“0”后插入一位“0”或“1”，使得发送的“0”、“1”数量保持基本一致，保证信号的直流平衡
  - p USB3.0、IEEE1394b、SATA、PCIe、Fiber Channel、InfiniBand
    - u 采用了8b/10b编码，编码效率80%
  - p 部分高速串行总线
    - u 64b/66b、128b/130b

# 并串行传送

- n 串行传输解决了高频传输的问题，但带宽有限
- n 高速串行总线普遍采用多组串行通路并发来提升总线带宽
  - p 如PCIe x1、x4、x16中的数字就是并发通路数
- n 串行总线带宽 = 总线时钟频率 × 编码效率 × 并发通路数

总线标准	总线宽度	传输方向	总线时钟频率	编码效率	总线带宽
PCIe 1.0	1	全双工	2.5 GHz	8bit/10bit	250 MB/s
PCIe 3.0 x16	1 * 16	全双工	8 GHz	128bit/130bit	15.8GB/s
IEEE1394b	1	半双工	4 GHz	8bit/10bit	400MB/s
USB 3.0	1	半双工	5 GHz	8bit/10bit	500MB/s
SATA-3	1	半双工	6 GHz	8bit/10bit	600MB/s

# 信息的传输方式

## n 并行传送

- p 传输距离短，线间串绕严重

## n 串行传送

- p 传输距离长，无串绕，频率高
- p SCSI à SAS   PATA à SATA   PCI à PCIe

## n 并串行传送

- p 高速串行总线PCIe、HT、QPI

## n 分时传送

- p 总线功能复用，减少线缆，降低成本，
- p 多部件分时使用总线

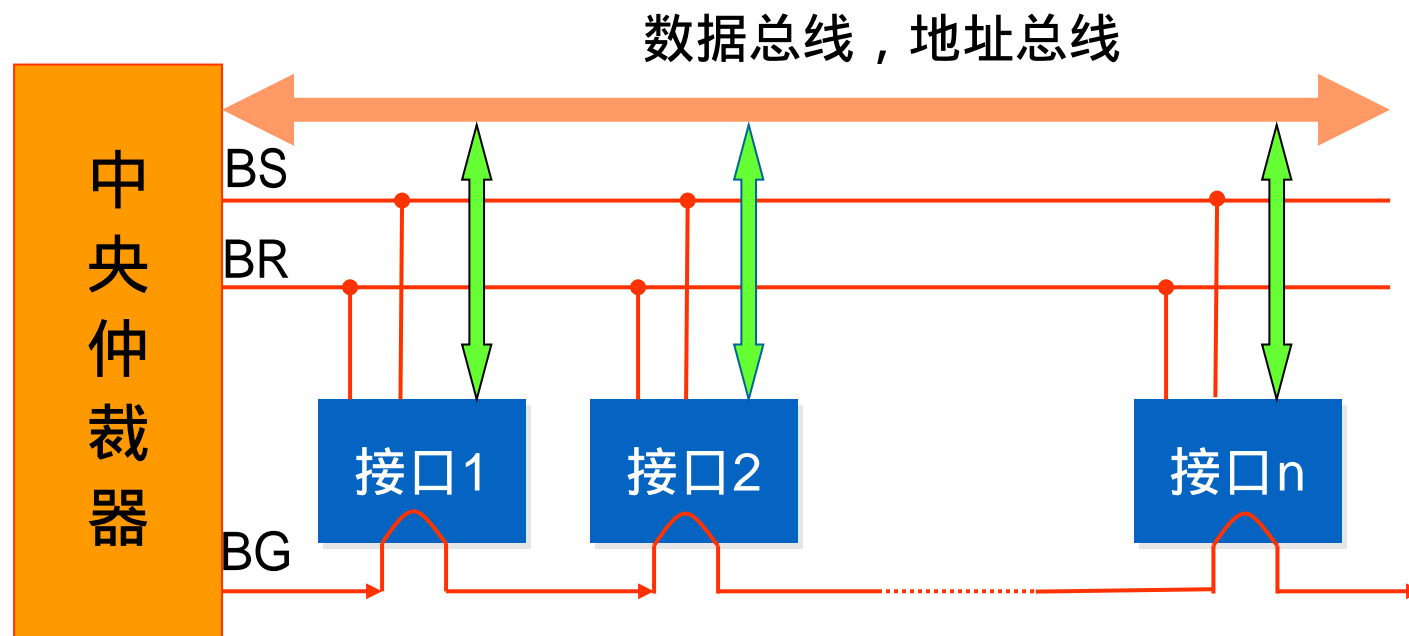
## 8.2.3 总线的仲裁

- n 总线仲裁：对总线的使用进行合理的分配和管理
  - p 解决多个主设备的总线争用问题
  - p 主设备要使用总线时，要向总线控制器发请求信号
  - p 控制器按优先级来决定谁使用总线
- n 根据总线控制器的位置分
  - p 集中式总线仲裁
  - p 分布式总线仲裁

## || 集中式仲裁

- n 链式查询方式
- n 计数器定时查询方式
- n 独立请求方式

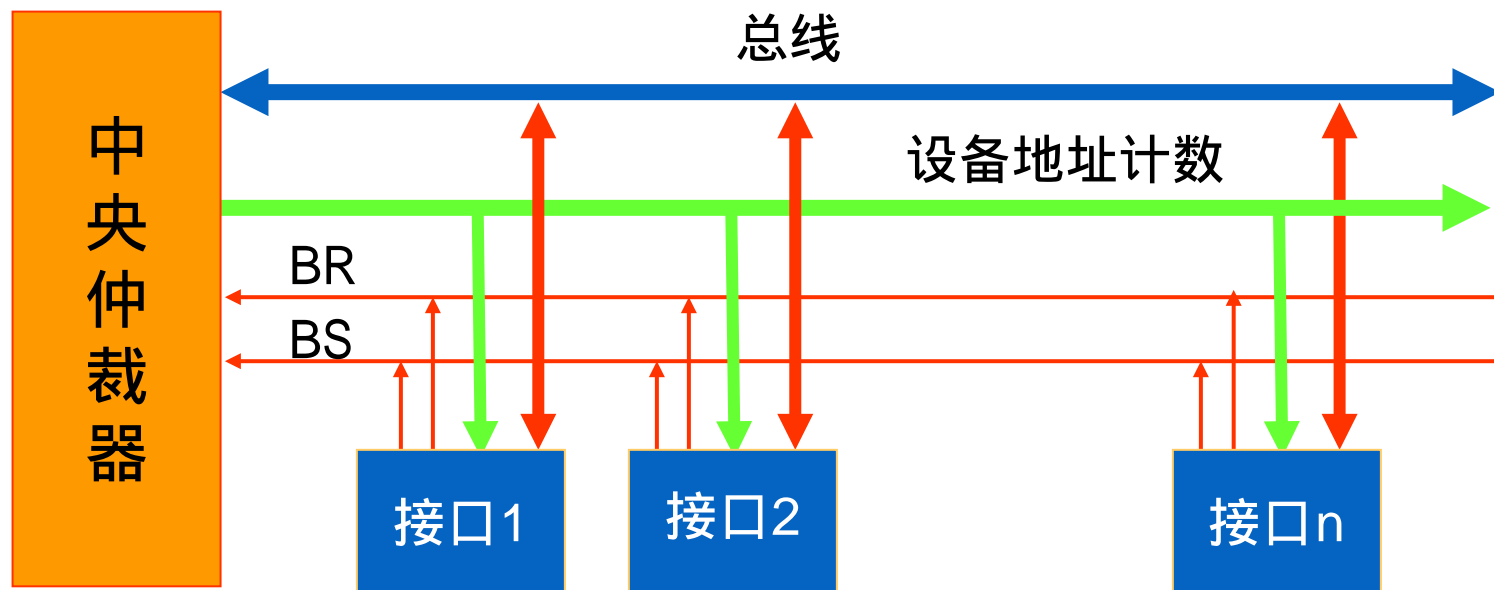
## 链式查询方式



- n 控制线3根：总线状态BS、总线请求BR、总线授权BG
- n 仲裁过程：监控总线状态，发总线请求，等待总线授权，置总线状态，清总线请求
- n 响应慢、优先级固定、饥饿现象、单点故障敏感



## 计数器定时查询方式



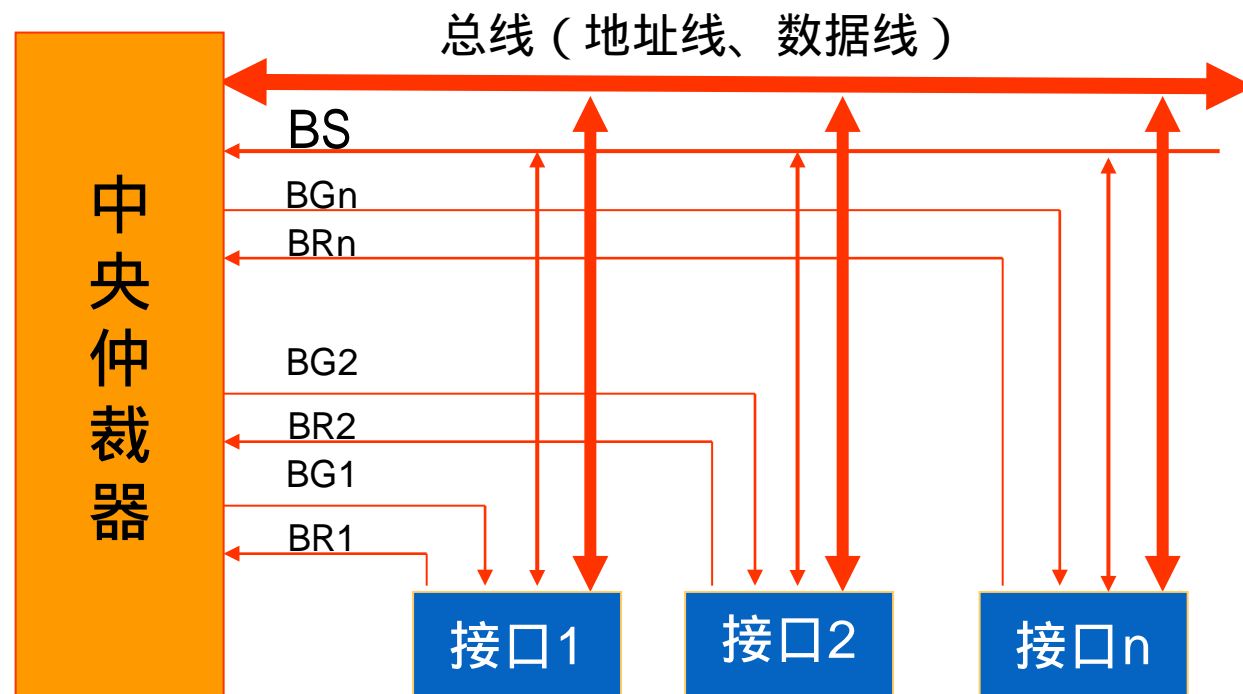
n 控制线 =  $2 + \log_2 n$  根

p 总线状态BS、总线请求BR、地址计数线

n 仲裁过程：总线授权通过设备地址计数来判别

n 响应慢、优先级可变化、故障不敏感、扩展困难

## 独立请求方式



n 控制线 $2n+1$ 根：

p 总线状态信号BS、总线请求BR、总线授权BG

n 仲裁过程：总线请求，等待总线授权

n 响应快、优先级可灵活变化、故障不敏感、扩展容易

## 集中式仲裁总结

	链式查询方式	计数器定时查询	独立请求方式
控制线	BS、BR、BG 共3根	BS、BR、 $\log_2 n$ 共 $2+\log_2 n$	n组 (BR、BG) BS、共 $2n+1$ 根
响应速度	慢	慢	快
优先级	优先级固定	可作适当变化	可作灵活的变化
故障敏感度	非常敏感	不敏感	不敏感
扩展方式	容易	难	容易

## 8.2.4 总线定时

- n **总线定时**：通信双方如何获知传输开始和传输结束，通信双方如何配合？
- n **同步方式**：用公共时钟对传输过程进行控制
  - p 适合快速设备、传输距离短、取决于最慢设备性能
- n **异步方式**：用应答信号对传输过程进行控制
  - p 非互锁、半互锁和全互锁，适合慢速设备
- n **半同步方式**：结合同步方式和异步方式的特点
  - p 在同步时钟的控制下进行采样和应答
- n **分离事务通信方式**

## || 例子

n 例8.4 假定某总线的时钟频率为1GHz，每次总线传输需要1个时钟周期，总线的数据总线宽度为64位，存储器的存储周期为2个时钟周期，求同步方式下CPU从该存储器中读一个存储字时总线的数据传输率为多少？

解：总线时钟周期 =  $1/f = 1/1\text{GHz} = 1\text{ ns}$

则同步方式下存储器读操作步骤

1. 寻址阶段：需要一个总线周期时间， $1\text{ ns}$
2. 存储器读数据并传输到数据总线：需要一个存储周期， $2\text{ ns}$
3. CPU从数据总线取走数据：需要一个总线周期 $1\text{ ns}$

则同步方式下从主存读一个存储字的总时间  $T = 4\text{ ns}$

数据传输率 =  $8\text{B} / 4\text{ ns} = 2\text{ GB/s}$

# || 本章主要内容

n 8.1 总线概述

n 8.2 总线传输机制

n 8.3 总线结构

n 8.4 常用总线





# 总线连接方式

n 总线排列及与其它各部件的连接方式影响计算机系统性能

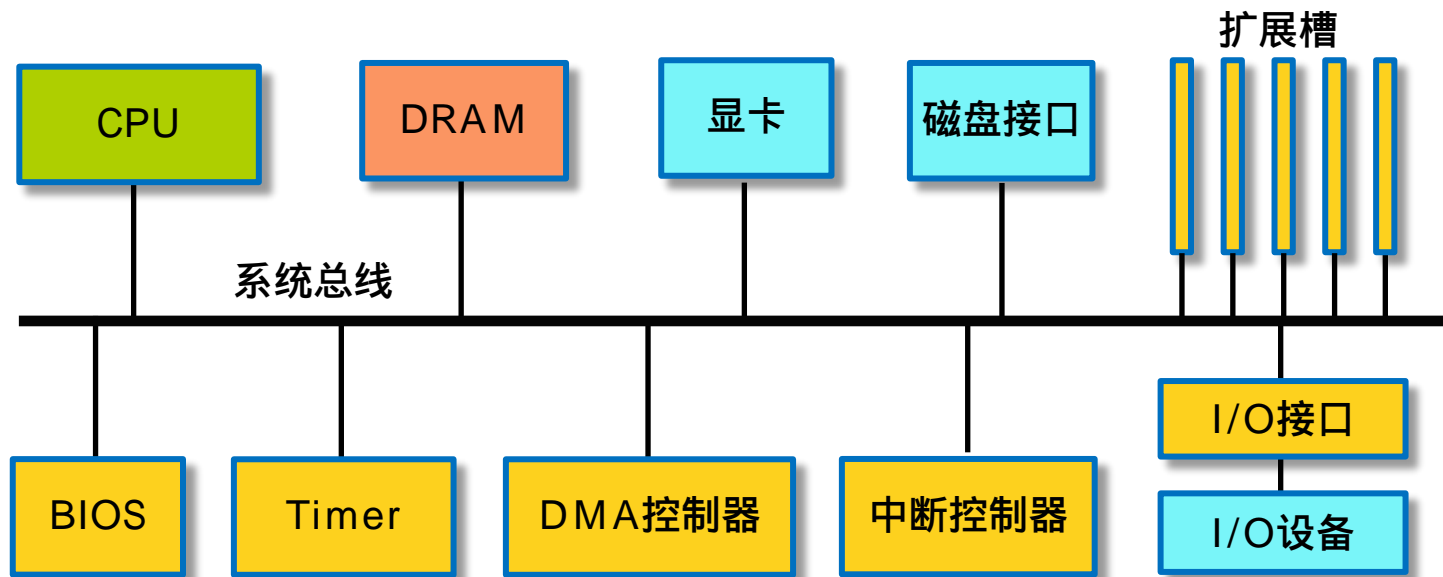
p 单总线结构

p 双总线结构

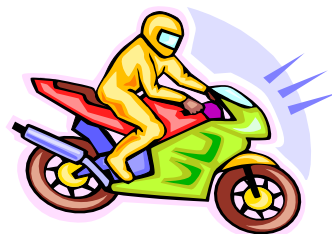
p 三总线结构

p 高性能总线结构

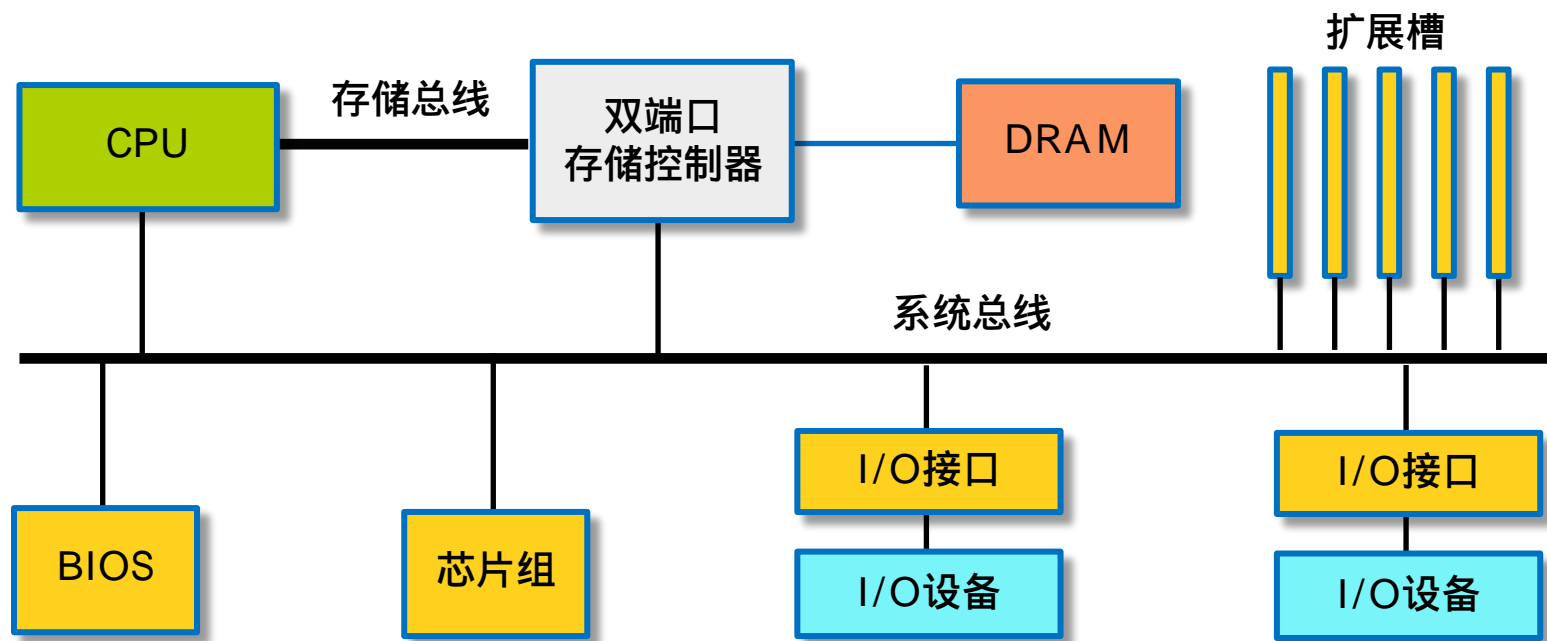
# 单总线结构



- n 总线结构简单，使用灵活，扩充容易
- n 统一编址，简化指令系统，存储空间减少
- n 共享总线，分时使用，通信速度慢
- n 高速设备的高速特性得不到发挥

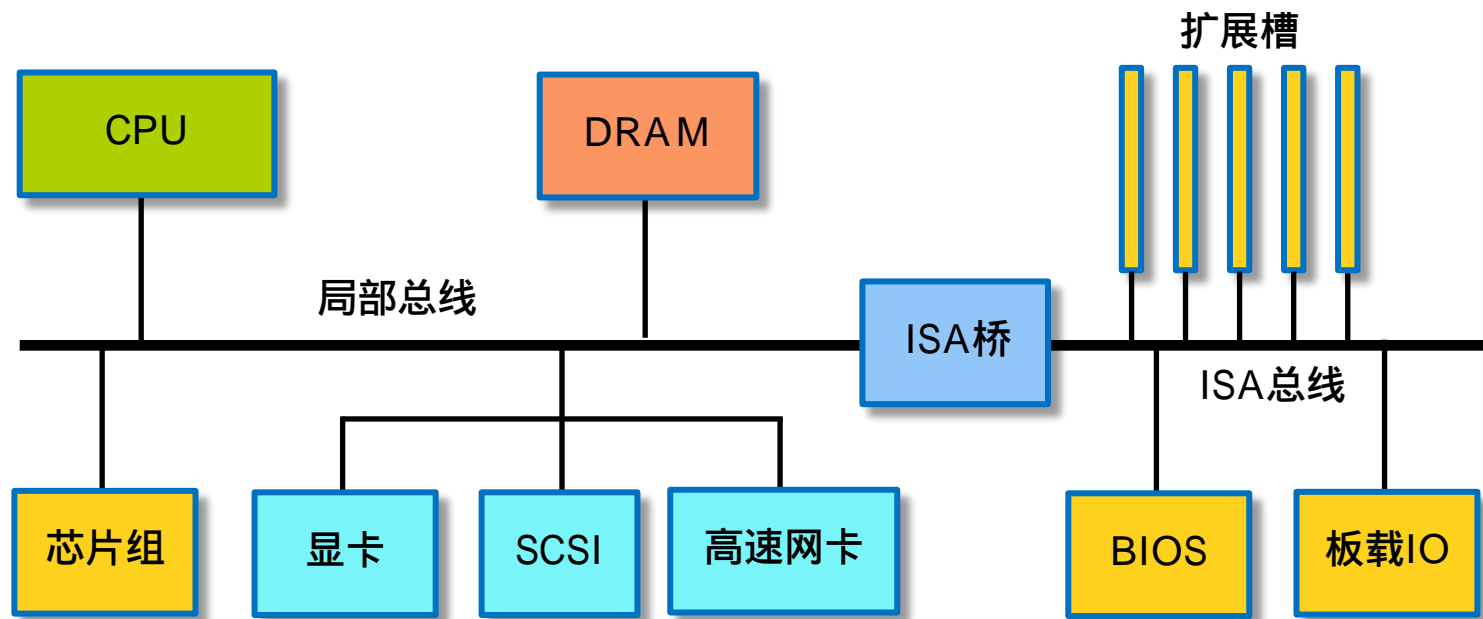


## 双总线结构1 (主存为中心)



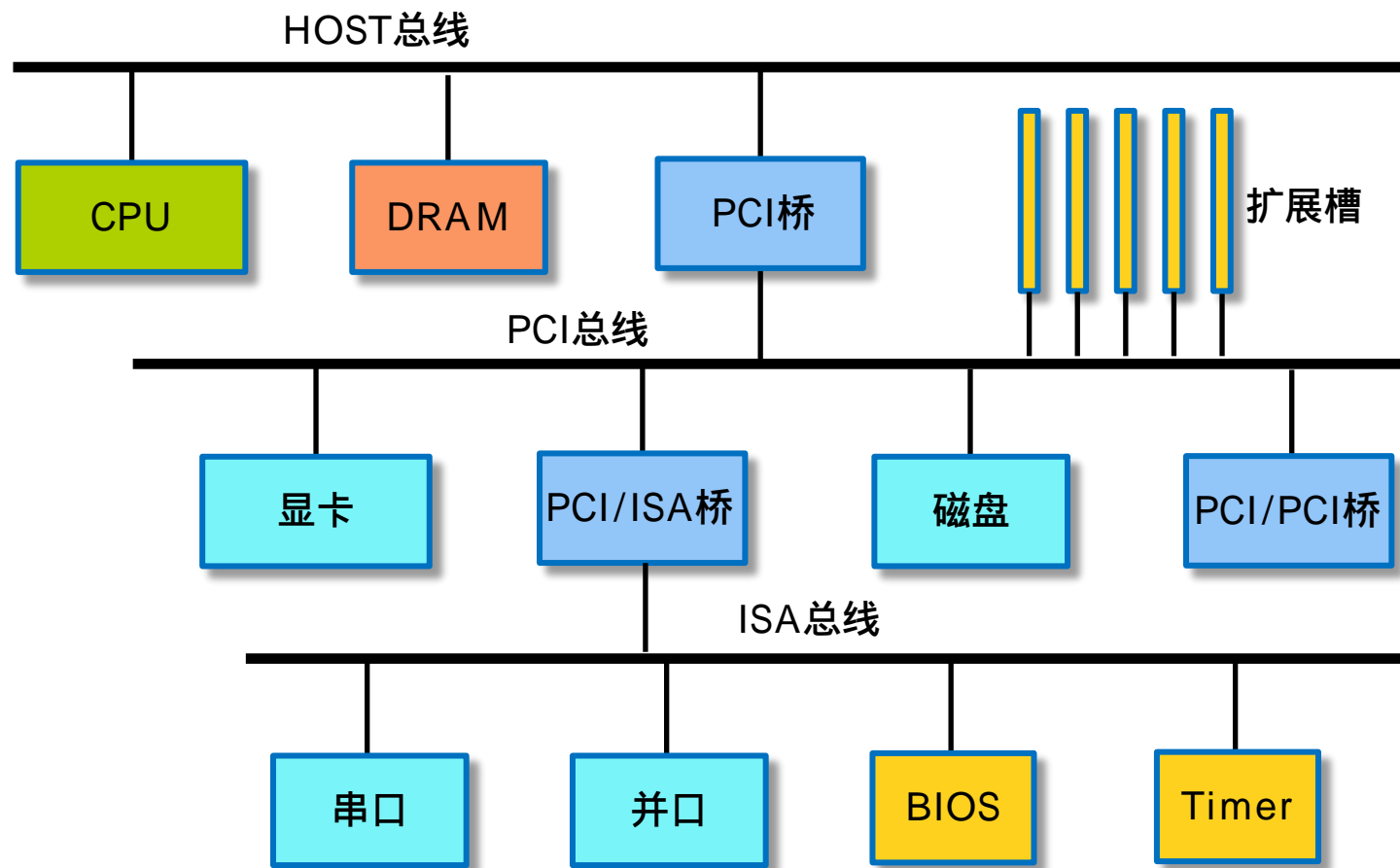
- n 存储总线有效降低系统总线负载，提升了并行性
  - n 需增加专门的I/O指令，存储空间扩大
  - n 结构简单，系统扩展容易
- Intel 386 ESIA总线

## 双总线结构2 (桥接器架构)



- n 慢速设备通过I/O总线相连
- n 系统总线与I/O总线通过桥接器相连
- n Intel 486 VESA总线

# 三总线结构



n 高速与低速传输活动分离

p 将I/O设备与主存之间的通信与处理器的活动分离

p 高速设备靠近CPU，慢速设备远离CPU

n 不同层次总线之间采用桥接方式连接和缓冲

# 总线结构与系统性能关系

## n 最大存储容量

- p 单总线系统中,内存要为外设保留一些地址

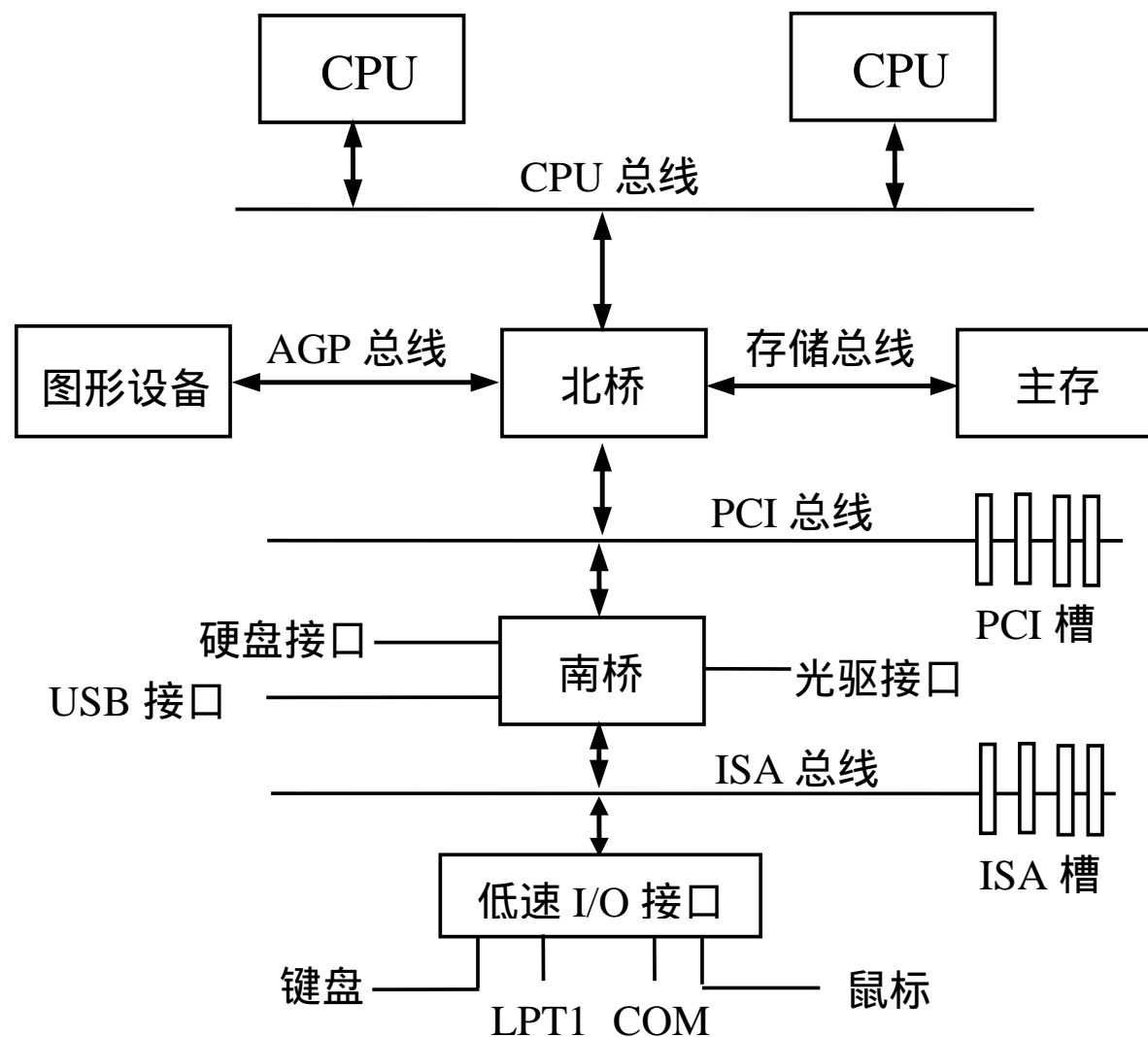
## n 指令系统

- p 单总线系统中,无须专门的I/O指令
- p 双总线系统中,设有专门的I/O指令

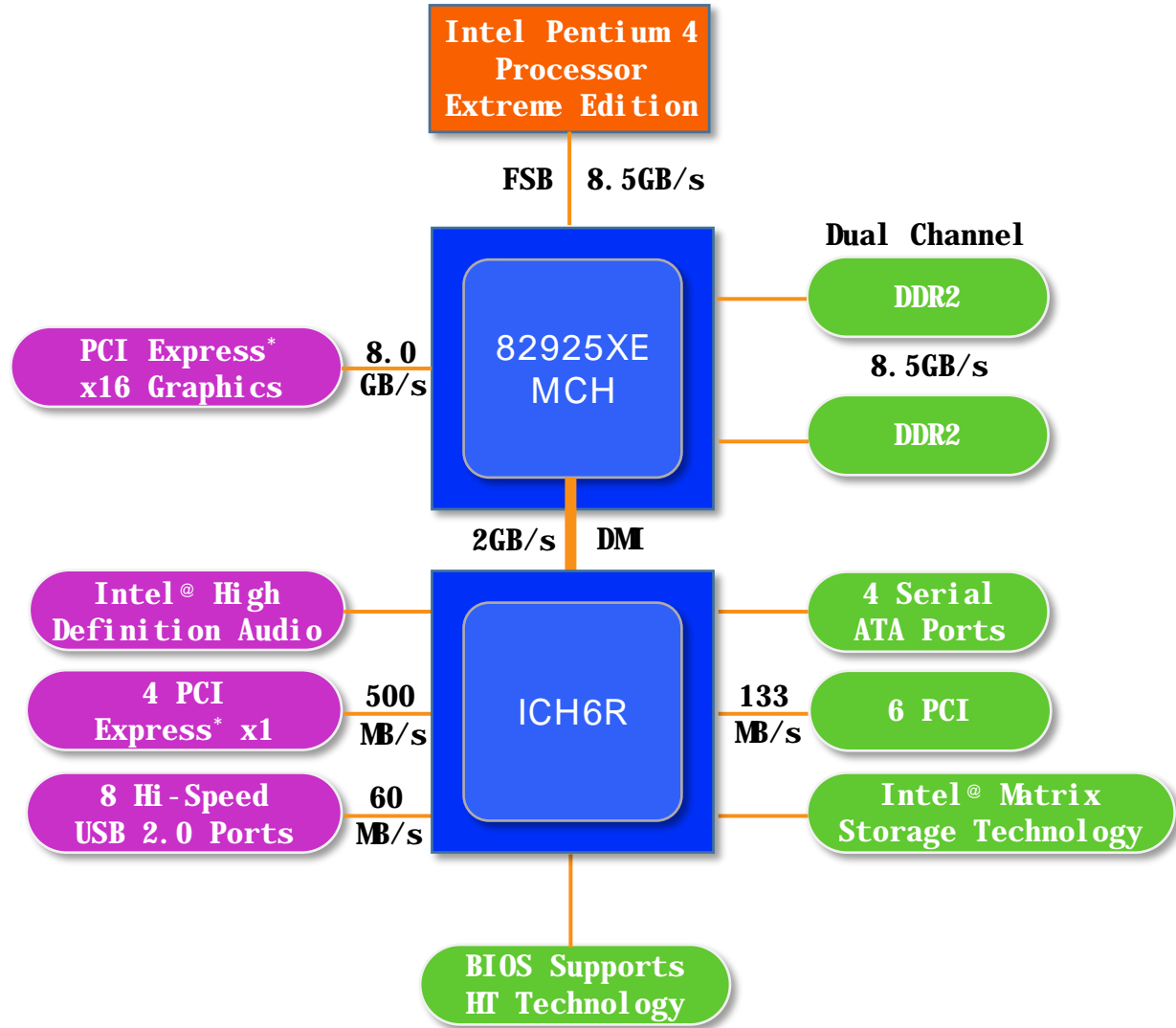
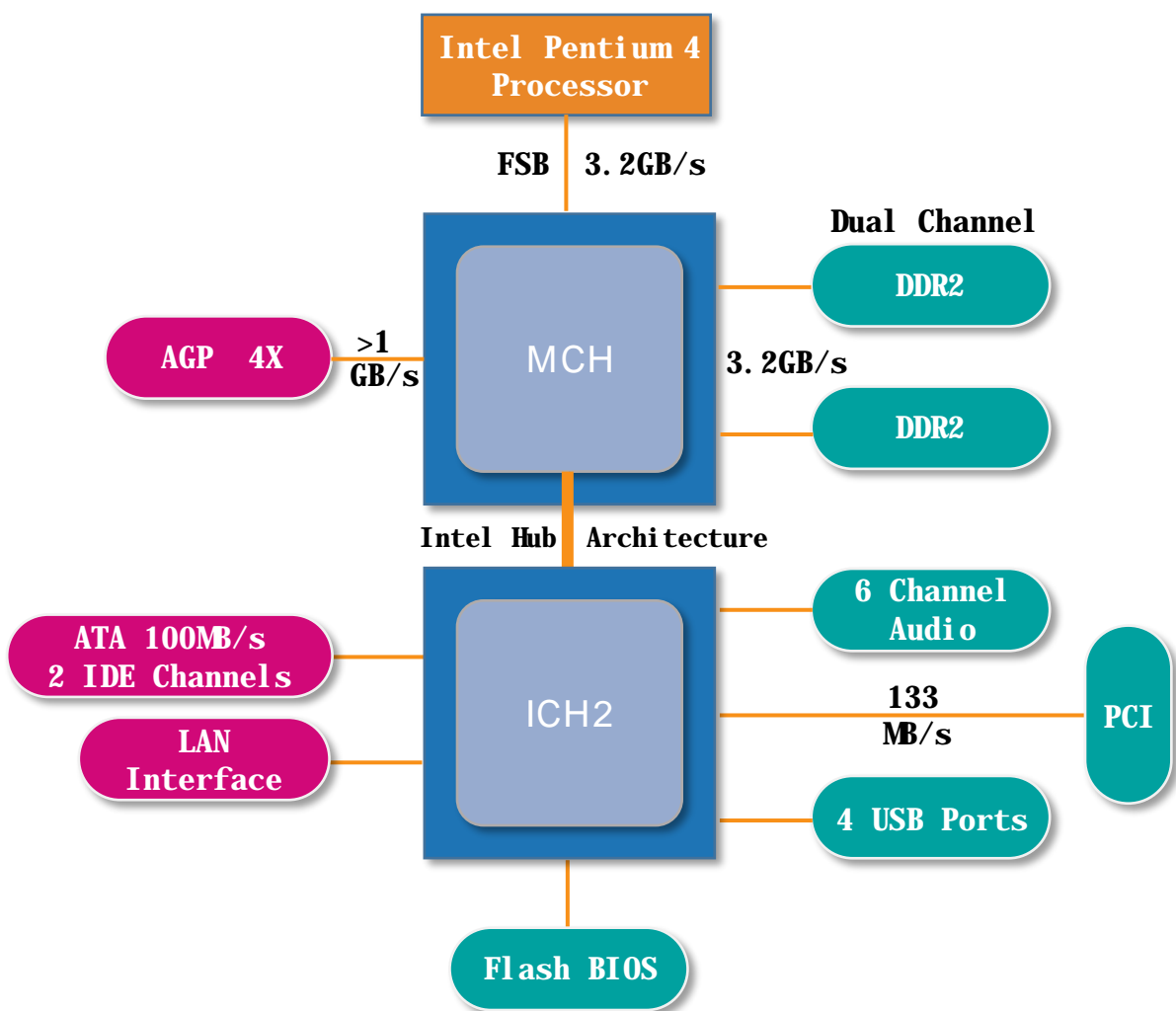
## n 吞吐量

- p 三总线系统比单总线系统要大得多

## 采用南北桥结构的奔腾机系统总线结构

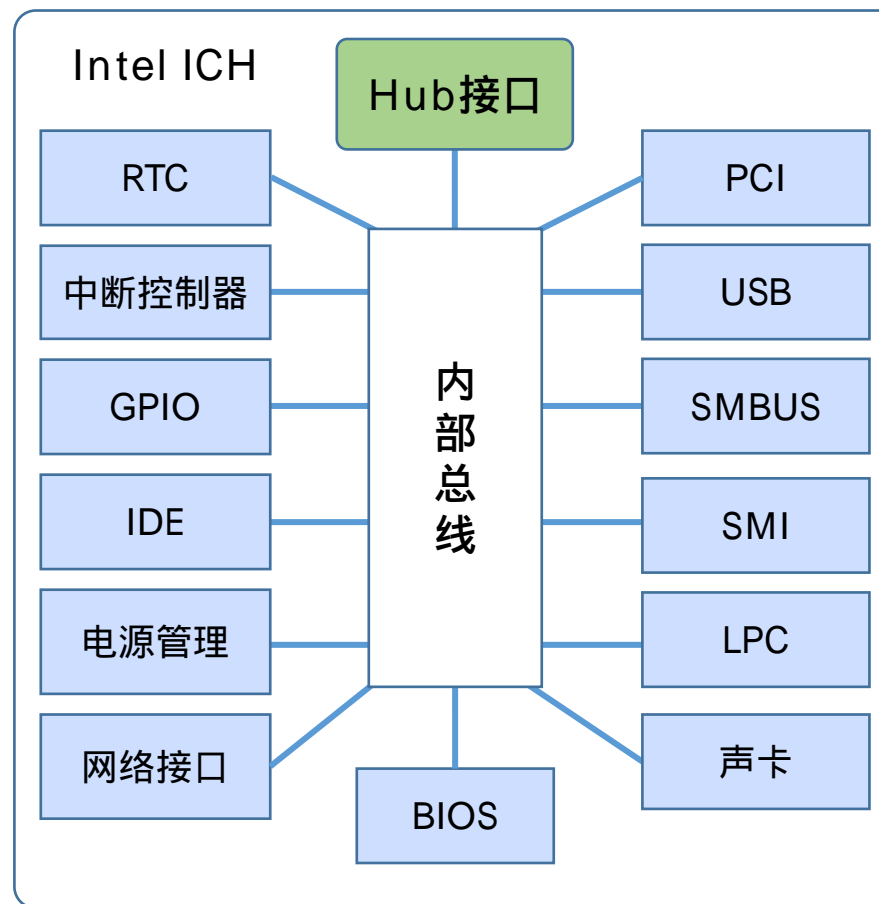
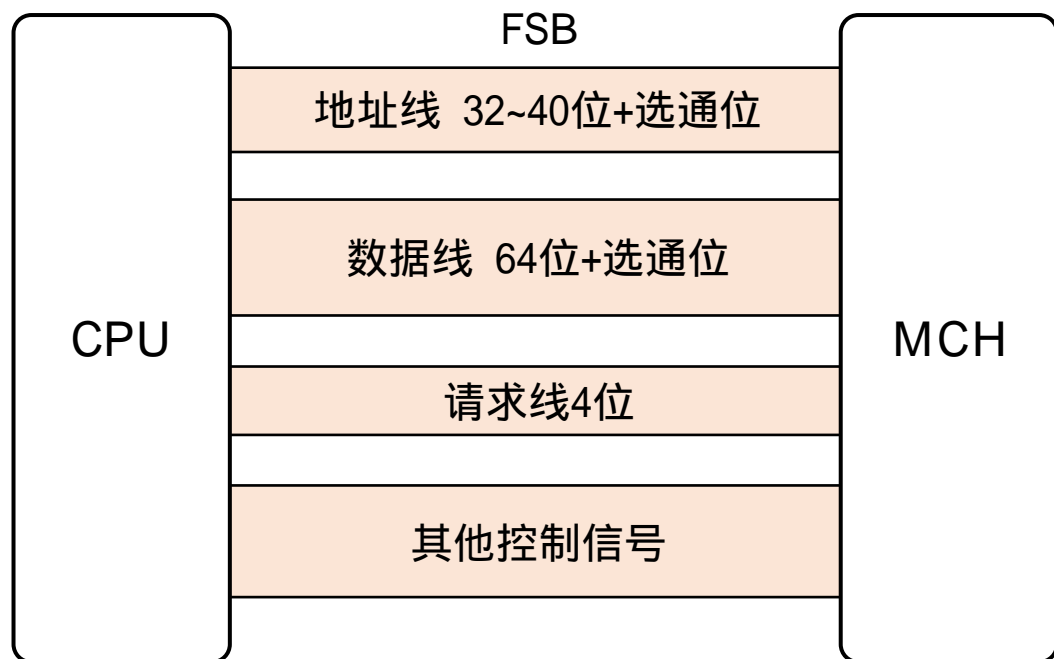


# 采用前端总线的南北桥结构 IA-64

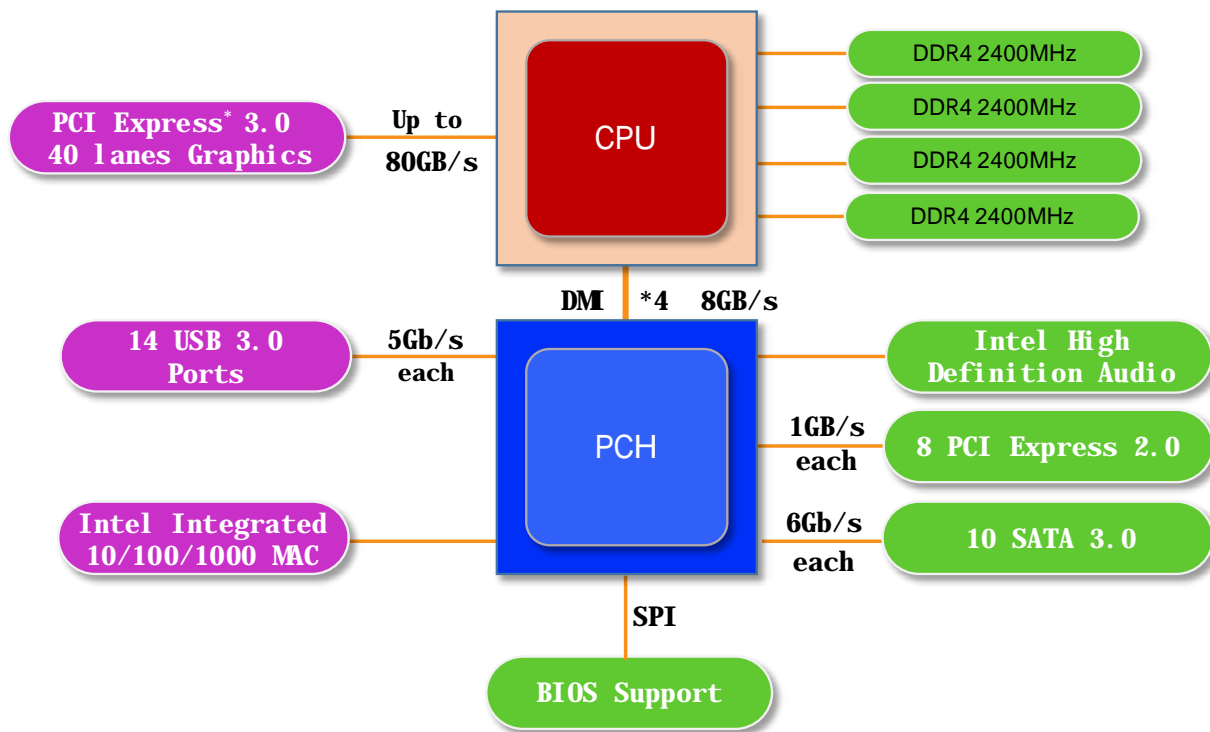
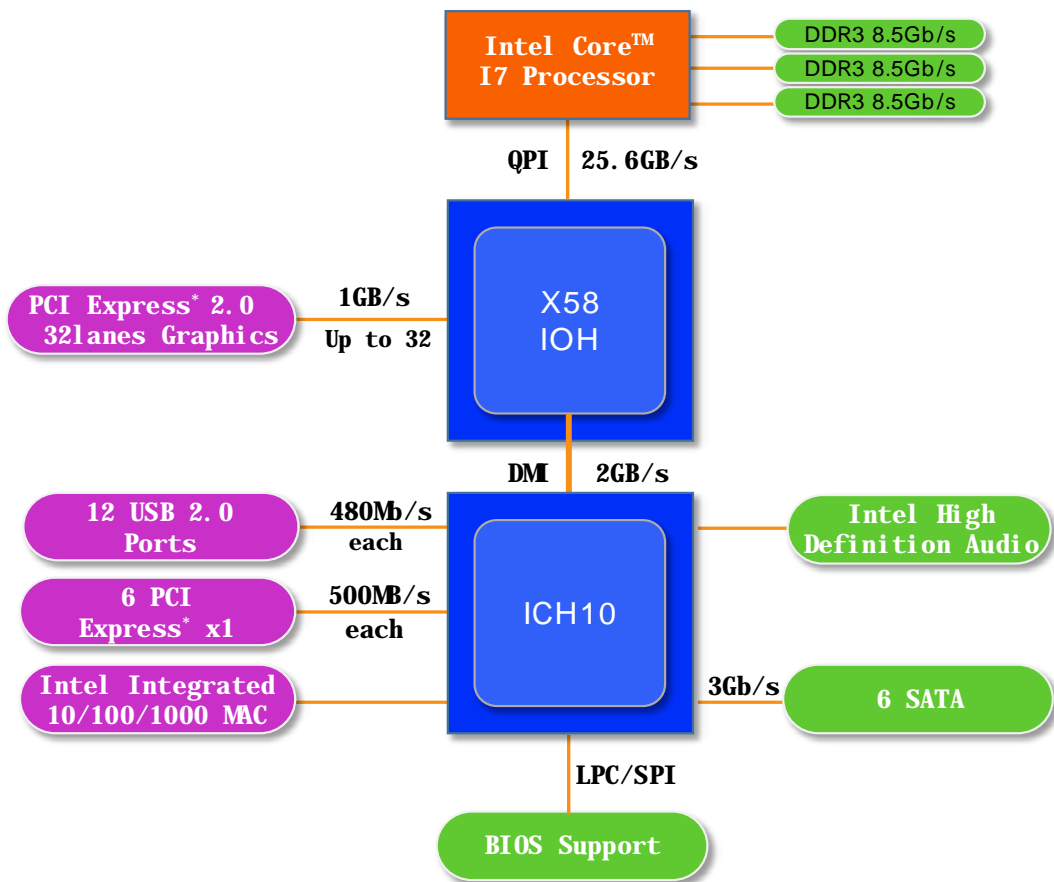




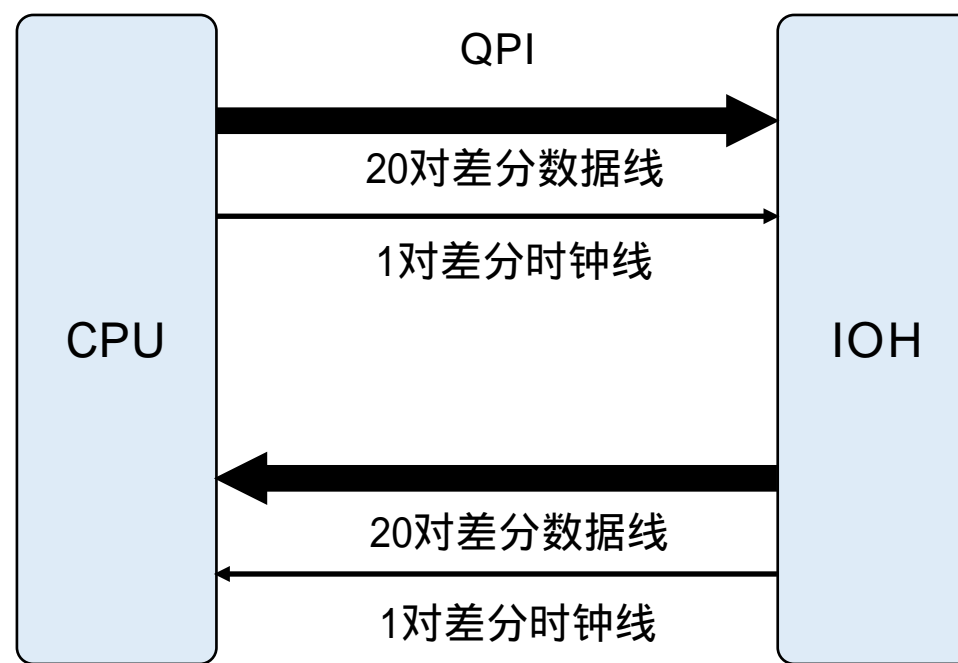
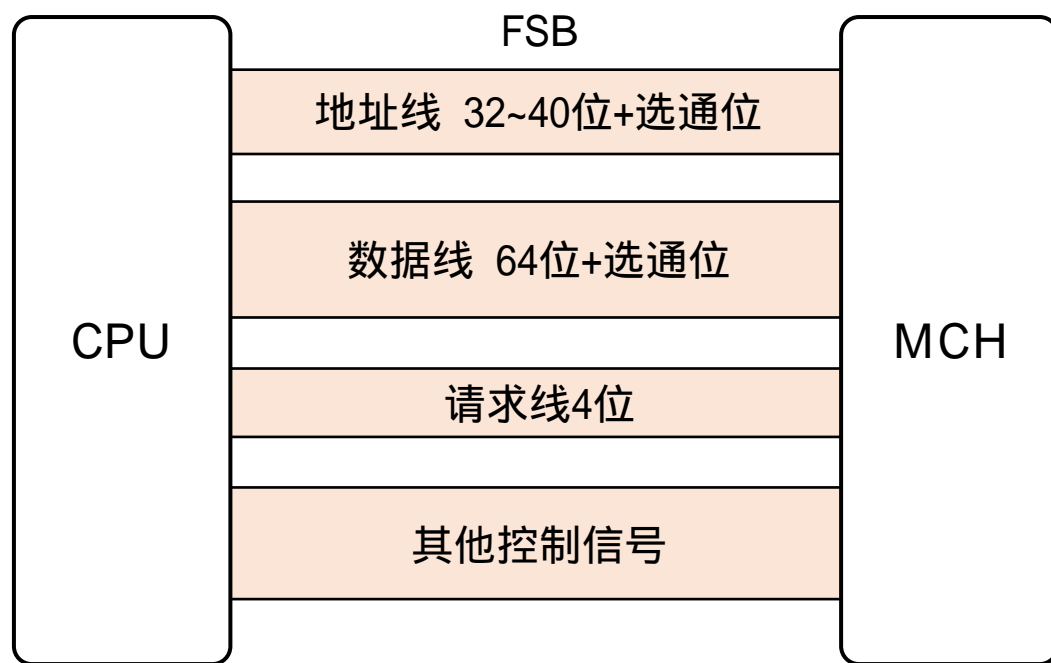
# MCH与ICH



## QPI方案与 PCH方案



# FSB与QPI



## || 本章重点内容

n 总线基本概念

n 总线的仲裁

n 影响总线性能的基本因素

- p 总线宽度，总线传输频率

- p 信号线类型

- p 是否允许突发模式

- p 总线连接方式

- p 总线仲裁方式

- p 总线定时方式

- p 并串模式



华中科技大学  
计算机科学与技术学院  
School of Computer Science & Technology, HUST

THANKS

计算机组成原理

