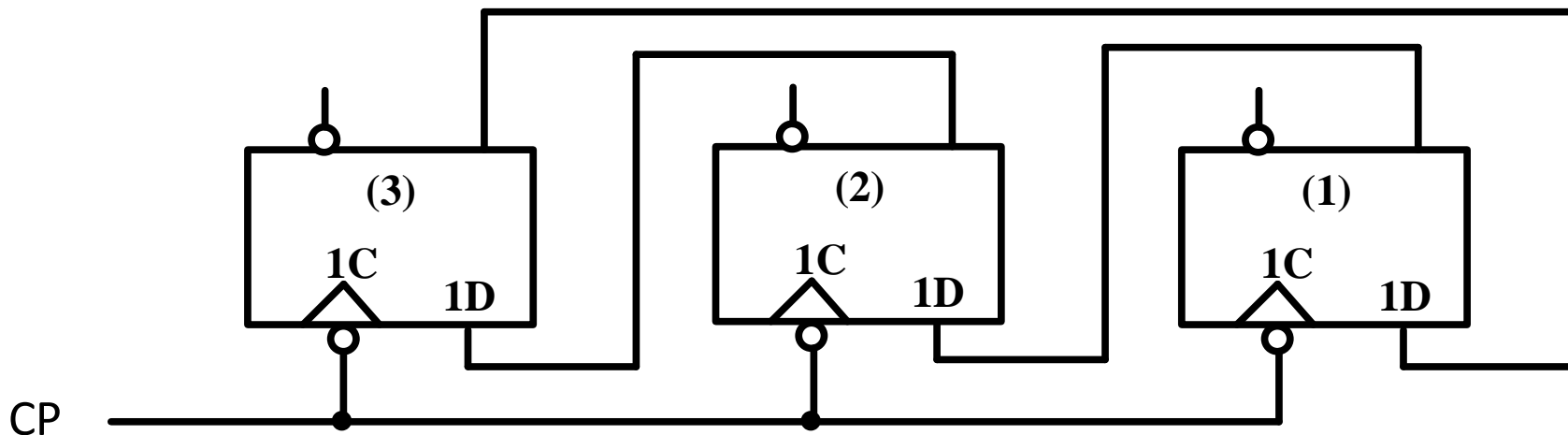


同步时序逻辑电路设计

□例4 试分析下图所示电路，判断电路是否能够自启动，如果不能够自启动，请尽可能少的改动电路实现自启动



同步时序逻辑电路设计

□分析：

– 三个D触发器

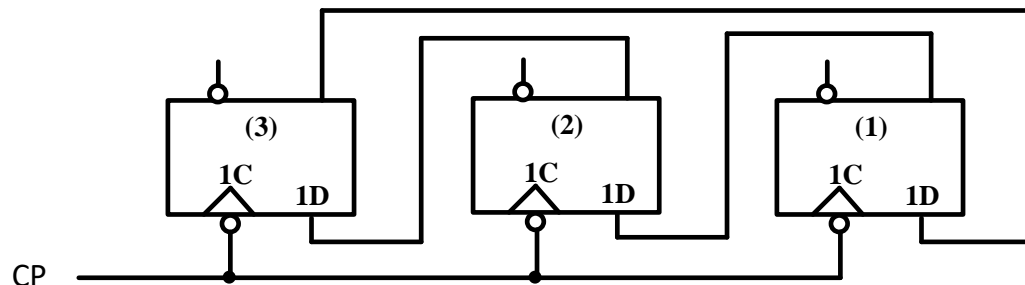
- 相同的时钟端
- 同步时序逻辑电路

– 无输入

– 电路的状态： y_3 、 y_2 、 y_1

– 电路的输出： y_3 、 y_2 、 y_1

– Moore型电路



同步时序逻辑电路设计

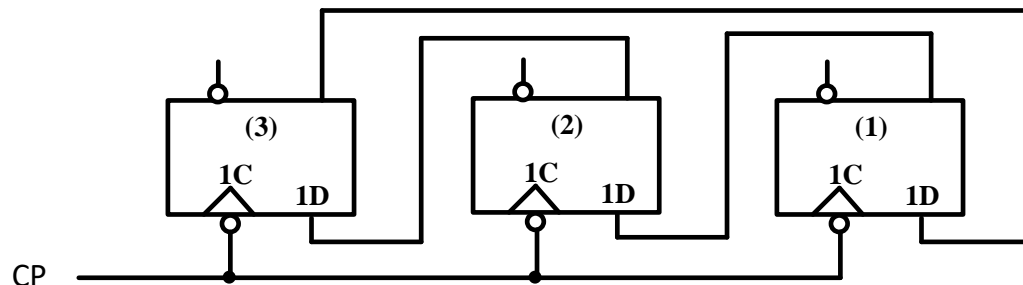
□ 函数表达式

— 激励函数表达式

- $D_3 = y_2$
- $D_2 = y_1$
- $D_1 = y_3$

— 次态方程组

- $y_3^{n+1} = D_3 = y_2$
- $y_2^{n+1} = D_2 = y_1$
- $y_1^{n+1} = D_1 = y_3$

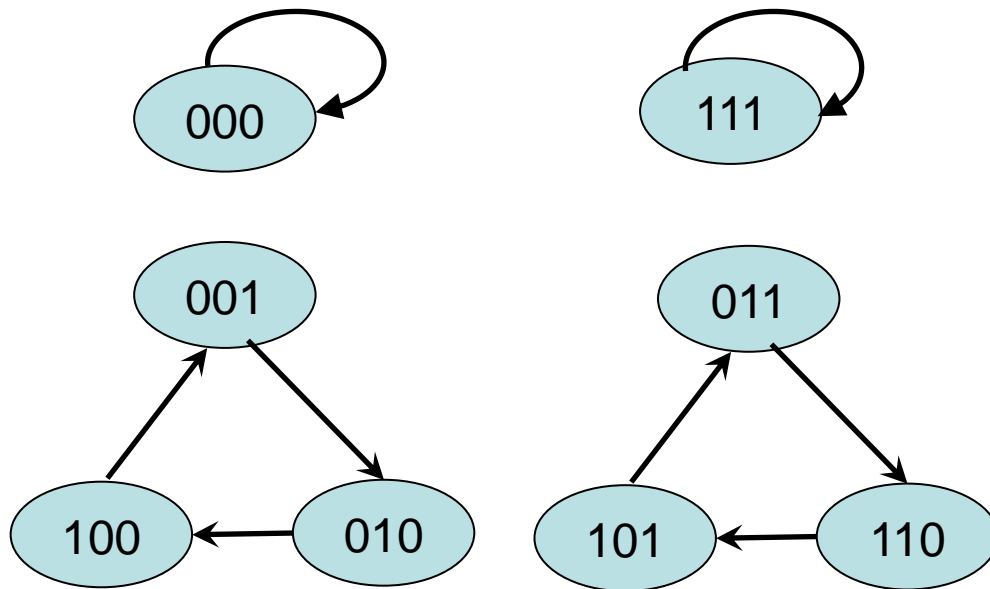


同步时序逻辑电路设计

□ 状态表和状态图

$$y_3^{n+1} = y_2 \quad y_2^{n+1} = y_1 \quad y_1^{n+1} = y_3$$

现态 $y_3 y_2 y_1$	次态 $y_3^{n+1} y_2^{n+1} y_1^{n+1}$
0 0 0	0 0 0
0 0 1	0 1 0
0 1 0	1 0 0
0 1 1	1 1 0
1 0 0	0 0 1
1 0 1	0 1 1
1 1 0	1 0 1
1 1 1	1 1 1

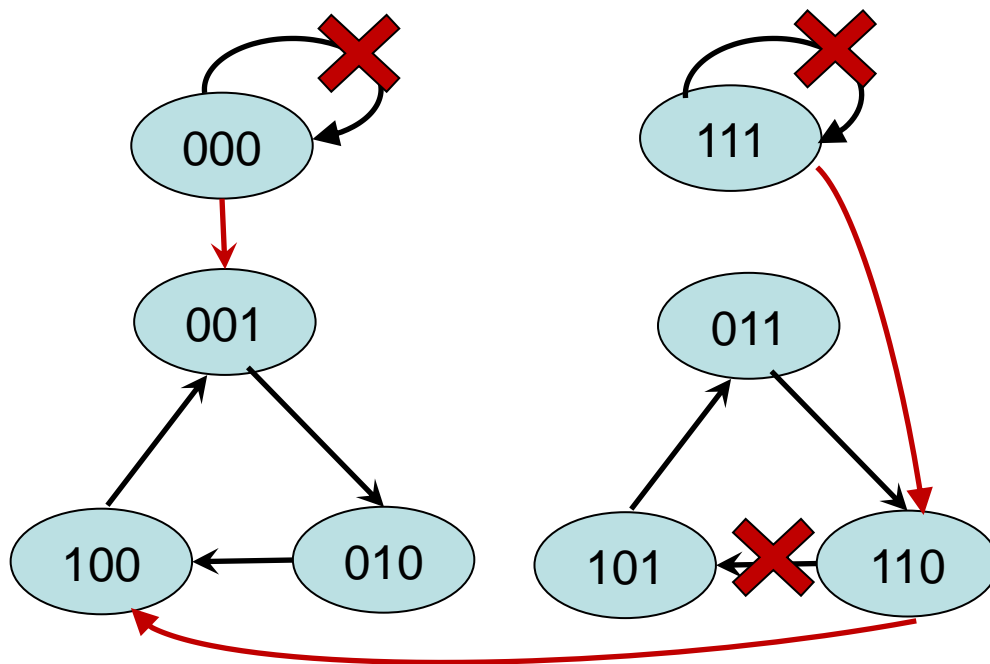


同步时序逻辑电路设计

□ 状态表和状态图

$$y_3^{n+1} = y_2 \quad y_2^{n+1} = y_1 \quad y_1^{n+1} = y_3$$

现态 $y_3 y_2 y_1$	次态 $y_3^{n+1} y_2^{n+1} y_1^{n+1}$
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	1 0 0
0 1 1	1 1 0
1 0 0	0 0 1
1 0 1	0 1 1
1 1 0	1 0 1
1 1 1	1 1 0



第六章 时序逻辑电路（二）

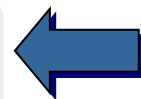
主讲教师：何云峰



提 纲

1

异步时序逻辑电路概述



2

脉冲异步时序逻辑电路分析

3

脉冲异步时序逻辑电路设计

4

电平异步时序逻辑电路分析

异步时序逻辑电路概述

□ 特点

- 电路中没有统一的同步时钟脉冲信号，电路状态的改变是外部输入信号变化直接作用的结果
- 电路的记忆功能可以由触发器实现，也可以由延时加反馈实现
- 无论输入信号是脉冲信号还是电平信号，对其变化均有一定约束

异步时序逻辑电路概述

□ 分类

– 根据电路结构和输入信号形式分类

分为两类：

- 脉冲异步时序逻辑电路
- 电平异步时序逻辑电路

– 根据电路输出与输入的关系分类

分为两种模型：

- Mealy型
- Moore型

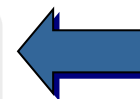
提 纲

1

异步时序逻辑电路概述

2

脉冲异步时序逻辑电路分析



3

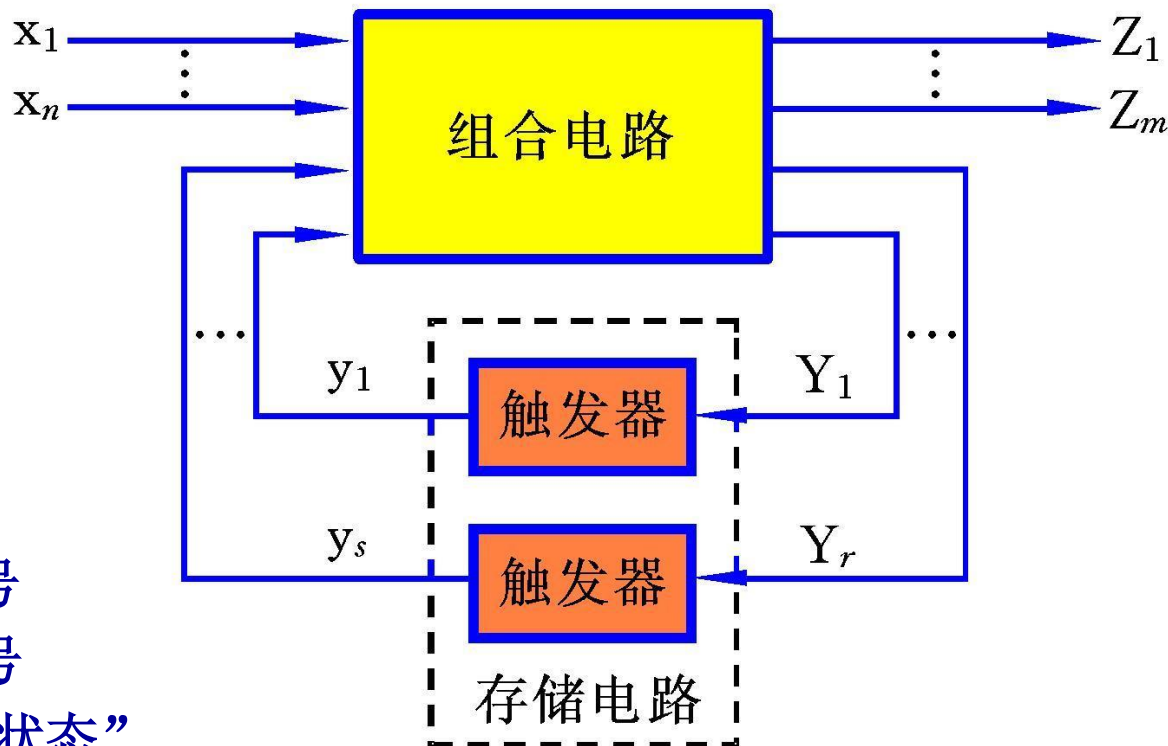
脉冲异步时序逻辑电路设计

4

电平异步时序逻辑电路分析

脉冲异步时序逻辑电路分析

□ 结构模型



X_1, \dots, X_n : 输入信号

Z_1, \dots, Z_m : 输出信号

y_1, \dots, y_s : 电路的“状态”

Y_1, \dots, Y_r : 激励信号

存储电路可以是时钟控制触发器或者非时钟控制触发器

脉冲异步时序逻辑电路分析

□ 输入信号的要求

- 输入信号为脉冲信号
- 输入脉冲的宽度，必须保证触发器可靠翻转
- 输入脉冲的间隔，必须保证前一个脉冲引起的电路响应完全结束后，后一个脉冲才能到来
- 不允许在两个或两个以上输入端同时出现脉冲

脉冲异步时序逻辑电路分析

□ 注意

- 对 n 个输入端的电路，一位输入只允许出现 $n+1$ 种取值组合，其中有效输入种取值组合为 n 种
- 对 n 个输入的电路，只需考虑各自单独出现脉冲的 n 种情况
- 例如:假定电路有 x_1 、 x_2 和 x_3 共3个输入，并用取值1表示有脉冲出现，则一位输入允许的输入取值组合只有000、001、010、100共4种，其中有效输入取值组合只有后面3种情况

脉冲异步时序逻辑电路分析

□ 输出信号的形式

- 脉冲异步时序逻辑电路的输出信号可以是脉冲信号也可以是电平信号

- 若电路结构为Mealy型，则输出为脉冲信号

输出不仅是状态变量的函数，而且是输入的函数，而输入为脉冲信号，所以，输出一般是脉冲信号

- 若电路结构为Moore型，则输出是电平信号

输出仅仅是状态变量的函数，输出值被定义在两个间隔不定的输入脉冲之间，即由两个输入脉冲之间的状态决定

脉冲异步时序逻辑电路分析

□ 脉冲异步时序电路与同步时序电路相同点

- 状态的改变都依赖于外加脉冲
- 存储元件都是触发器

□ 脉冲异步时序电路与同步时序电路的差异

- 脉冲异步时序电路无外加的统一的时钟脉冲
- 输入变量 x 为脉冲信号，由输入脉冲直接引起电路的状态改变
- 由次态逻辑产生各触发器控制输入信号和时间有先后的各触发器的时钟控制信号

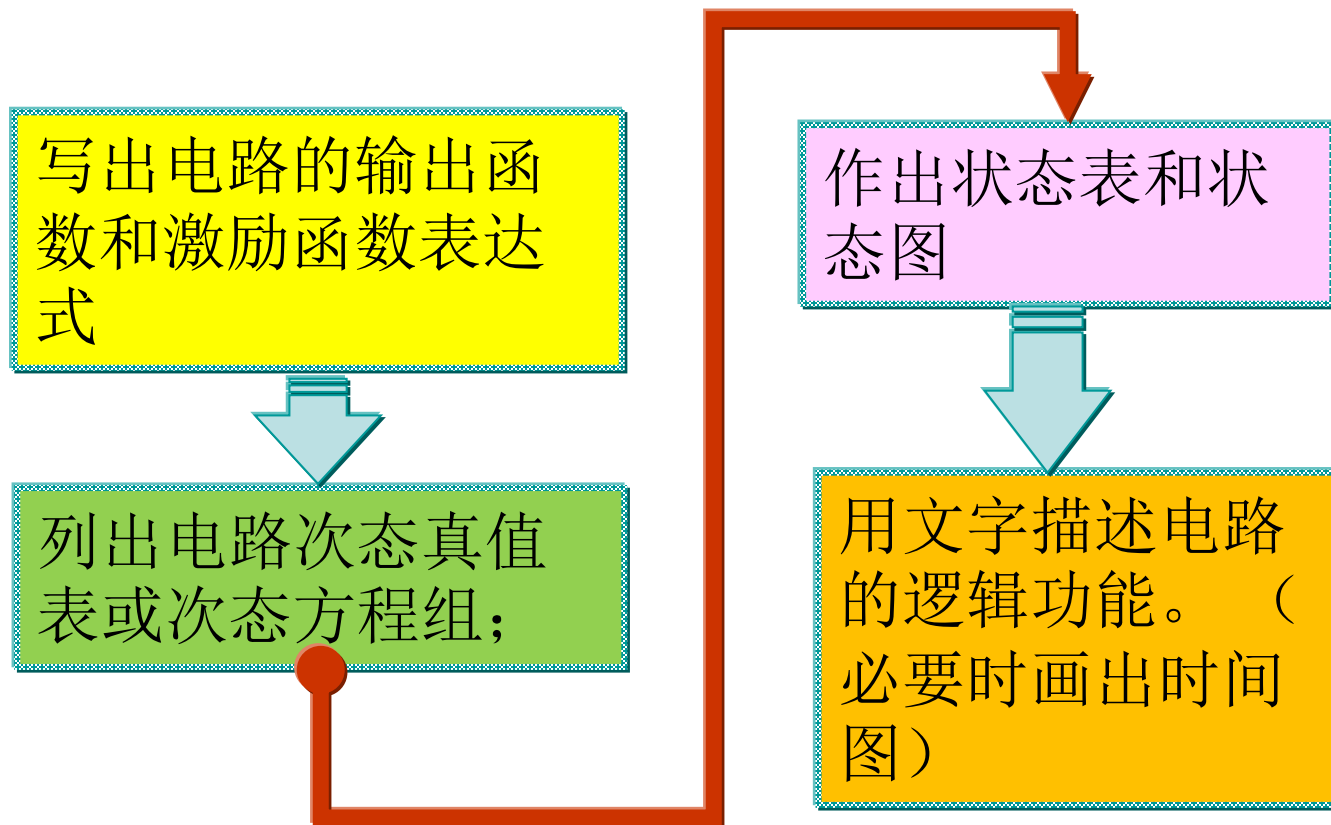
脉冲异步时序逻辑电路分析

□ 分析方法

- 分析方法与同步时序逻辑电路大致相同
- 当存储元件采用时钟控制触发器时，对触发器的时钟控制端应作为激励函数处理
- 简化状态图和状态表
 - 仅当时钟端有脉冲作用时，才根据触发器的输入确定状态转移方向，否则，触发器状态不变
 - 分析时可以排除两个或两个以上输入端同时出现脉冲以及输入端无脉冲出现情况

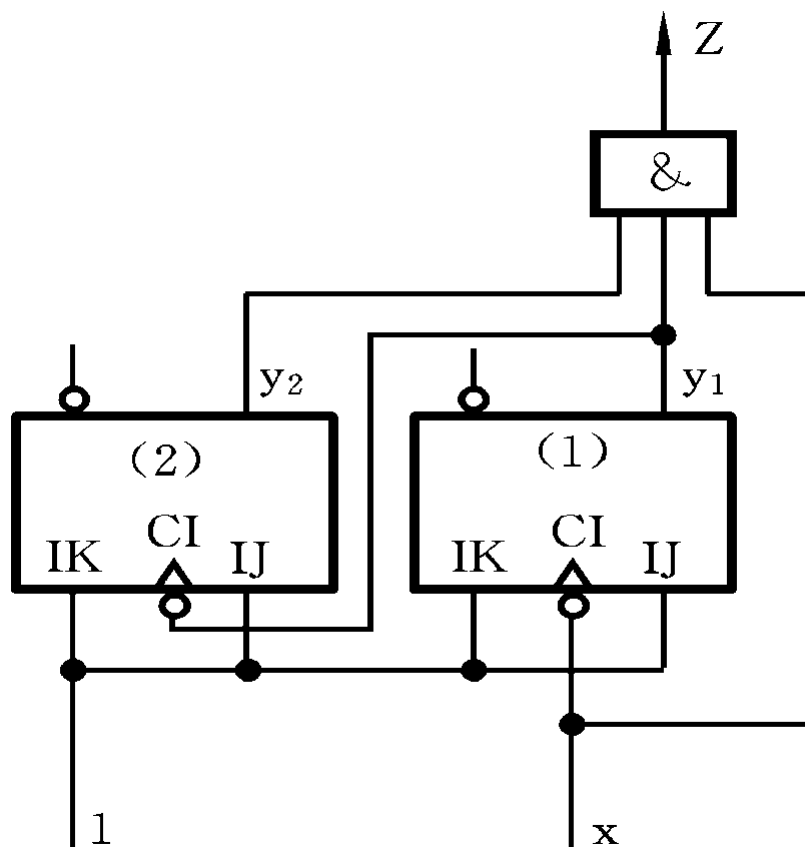
脉冲异步时序逻辑电路分析

□ 分析步骤



脉冲异步时序逻辑电路分析

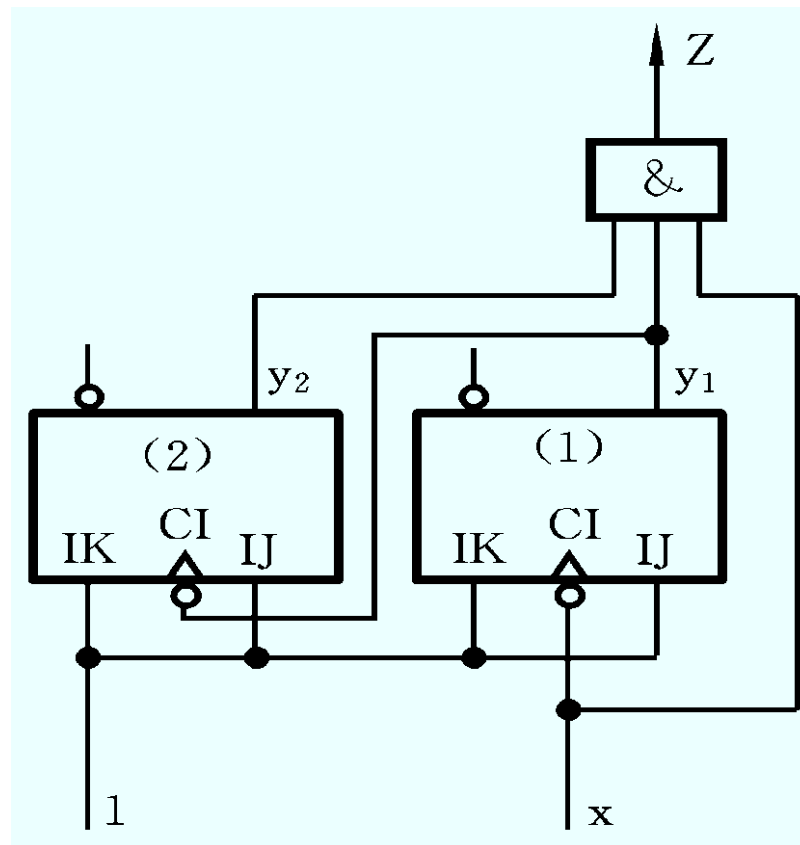
□例1：分析下图所示脉冲异步时序逻辑电路，指出该电路功能。



脉冲异步时序逻辑电路分析

□分析

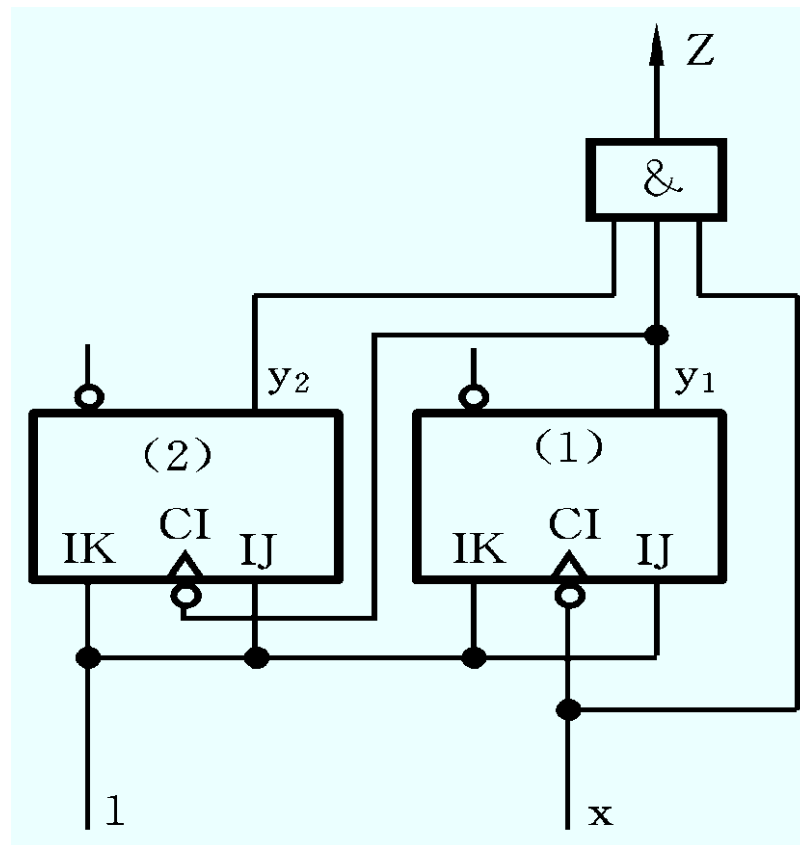
- 两个下降沿触发J-K触发器
- 一个与门
- 一个输入端x
- 一个输出端Z
- Mealy型



脉冲异步时序逻辑电路分析

□ 激励函数和输出函数表达式

- $Z = xy_2y_1$
- $J_2 = K_2 = 1;$
- $C_2 = y_1$
- $J_1 = K_1 = 1;$
- $C_1 = x$



脉冲异步时序逻辑电路分析

□ 列出电路次态真值表

- J-K触发器的状态转移发生在时钟端脉冲负跳变的瞬间，为了强调在触发器时钟端 C1、C2 何时负跳变产生，在次态真值表中用 “↓” 表示下跳
- 仅当时钟端有 “↓” 出现时，相应触发器状态才能发生变化，否则状态不变

脉冲异步时序逻辑电路分析

$$z = xy_2y_1$$

$$J_2 = K_2 = 1 \quad C_2 = y_1$$

$$J_1 = K_1 = 1 \quad C_1 = x$$

J	K	$Q^{(n+1)}$
0	0	Q
0	1	0
1	0	$\frac{1}{Q}$
1	1	Q

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	J_2K_2	C_2	J_1K_1	C_1	$y_2^{n+1}y_1^{n+1}$		Z
0 0	↓	11		11	↓	0	1	0
0 1	↓	11	↓	11	↓	1	0	0
1 0	↓	11		11	↓	1	1	0
1 1	↓	11	↓	11	↓	0	0	1

脉冲异步时序逻辑电路分析

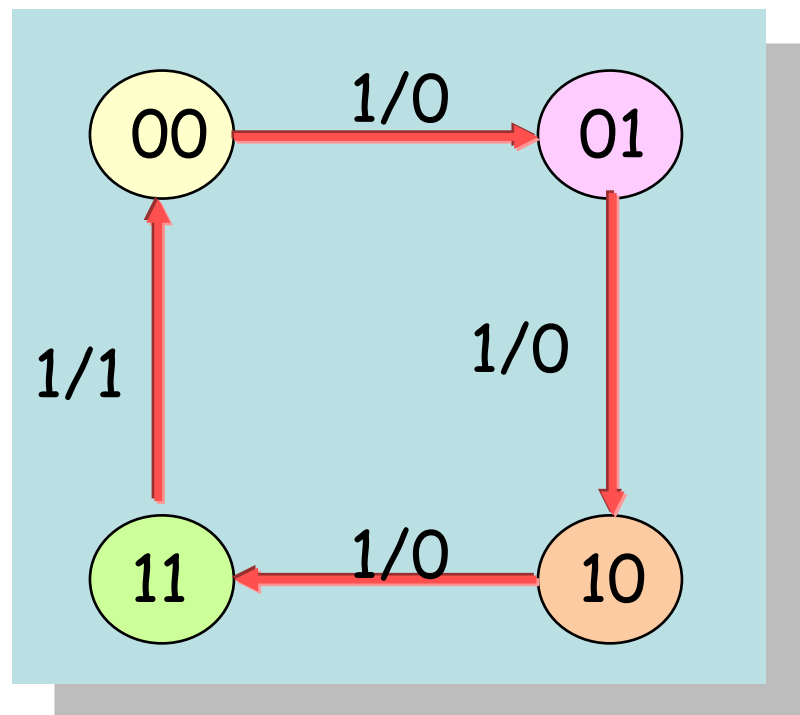
□ 状态表和状态图

现态	输入	现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出 z	次态	输出
$y_2 y_1$	x	$y_2 y_1$	$x=1$	$y_2^{n+1} y_1^{n+1}$	z
0 0	↓	00	01/0	0 1	0
0 1	↓	01	10/0	1 0	0
1 0	↓	10	11/0	1 1	0
1 1	↓	11	00/1	0 0	1

脉冲异步时序逻辑电路分析

□ 状态表和状态图

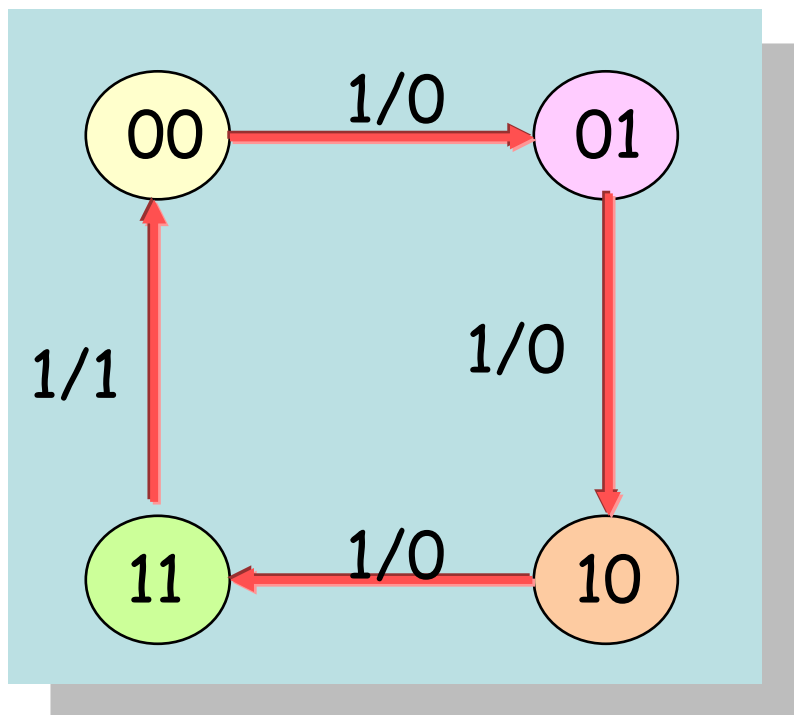
现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出 z
y_2y_1	$x=1$
00	01/0
01	10/0
10	11/0
11	00/1



脉冲异步时序逻辑电路分析

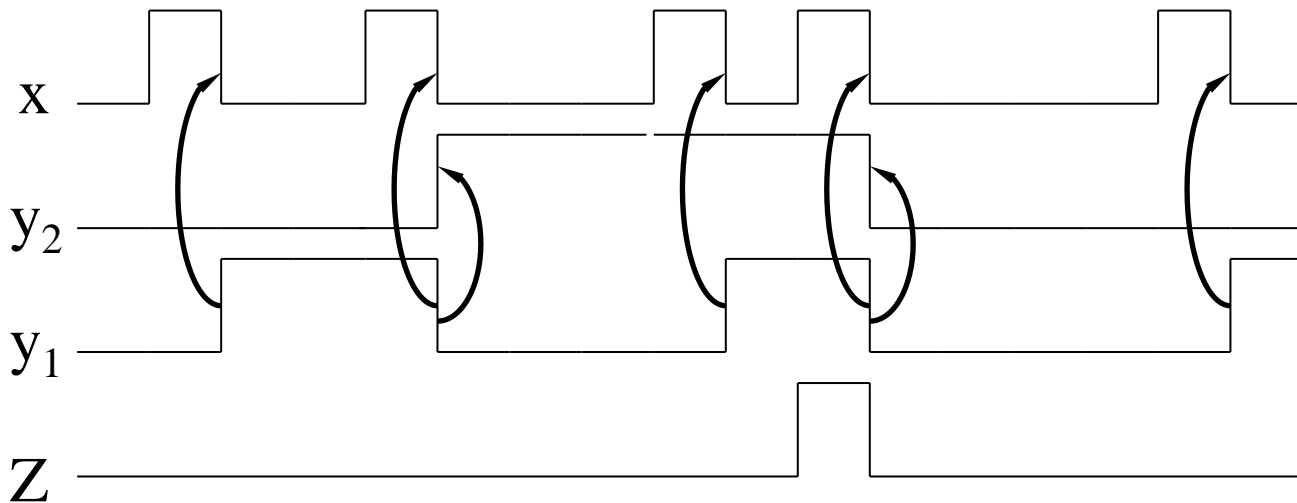
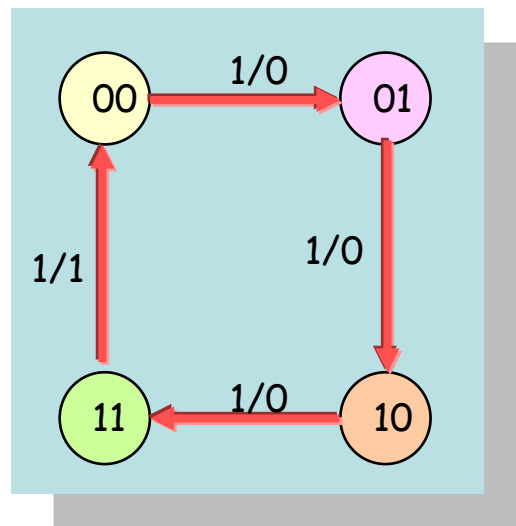
□ 逻辑功能

- 此电路是一个带进位的模 4 计数器



脉冲异步时序逻辑电路分析

□ 时间序列图



脉冲异步时序逻辑电路分析

□ 改用上升沿的JK触发器

$$z = xy_2y_1$$

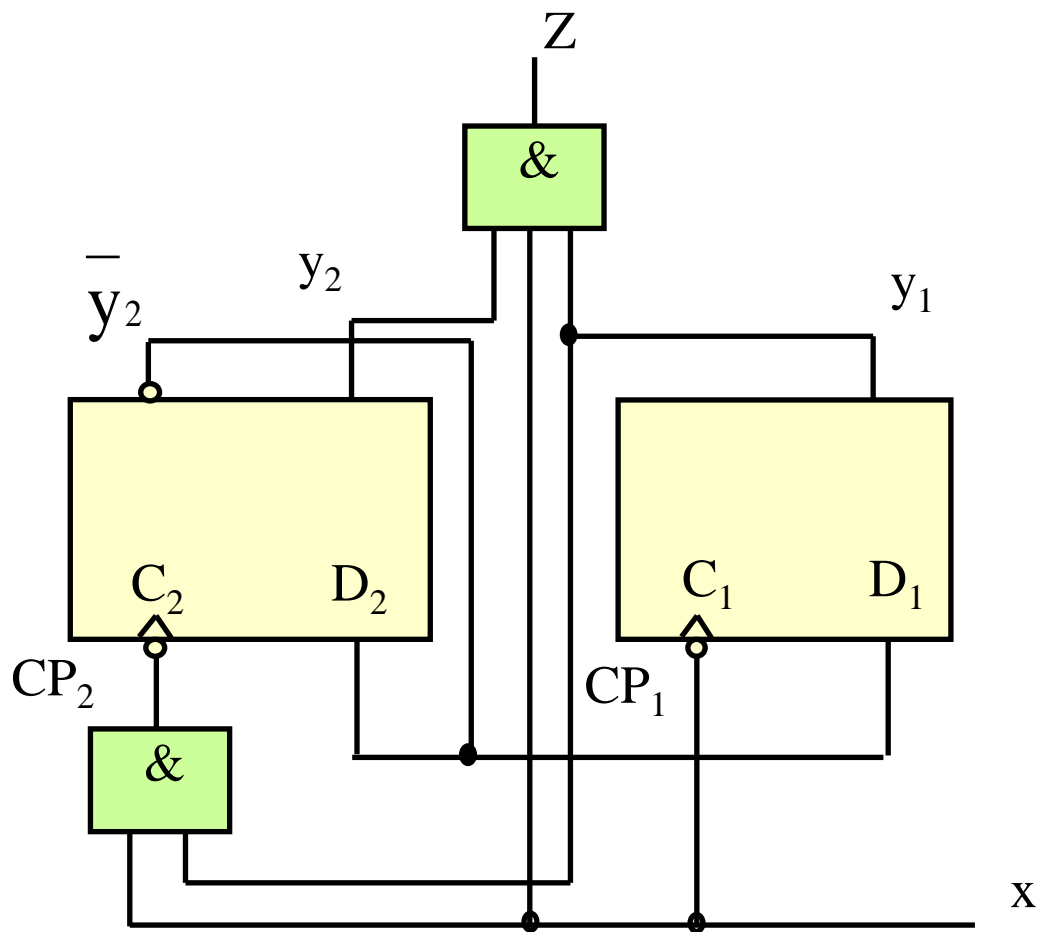
$$J_2 = K_2 = 1 \quad C_2 = y_1$$

$$J_1 = K_1 = 1 \quad C_1 = x$$

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	J_2K_2	C_2	J_1K_1	C_1	$y_2^{n+1}y_1^{n+1}$		Z
0 0	↑	11	↑	11	↑	1	1	0
0 1	↑	11		11	↑	0	0	0
1 0	↑	11	↑	11	↑	0	1	0
1 1	↑	11		11	↑	1	0	1

脉冲异步时序逻辑电路分析

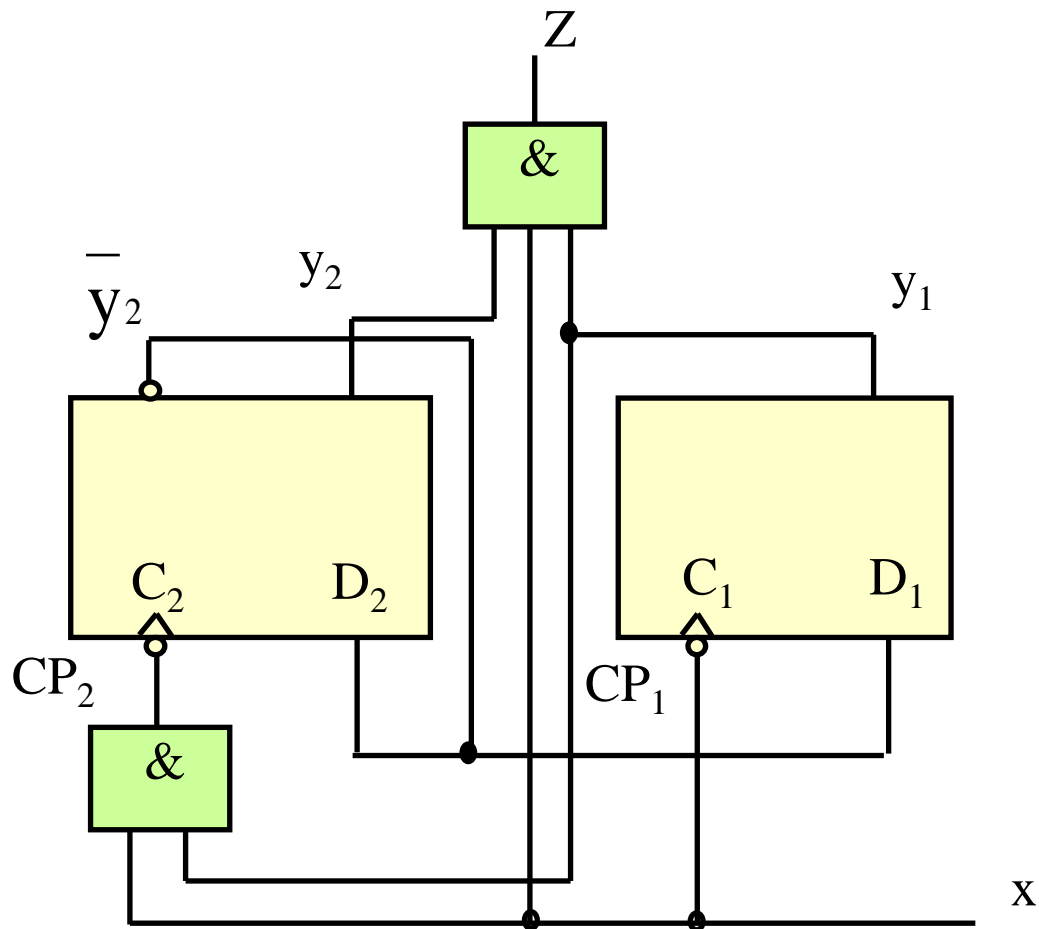
□ 例2：分析下图所示脉冲异步时序逻辑电路。



脉冲异步时序逻辑电路分析

□分析

- 两个D触发器
- 两个与门
- 一个输入端x
- 一个输出端Z
- Mealy型



脉冲异步时序逻辑电路分析

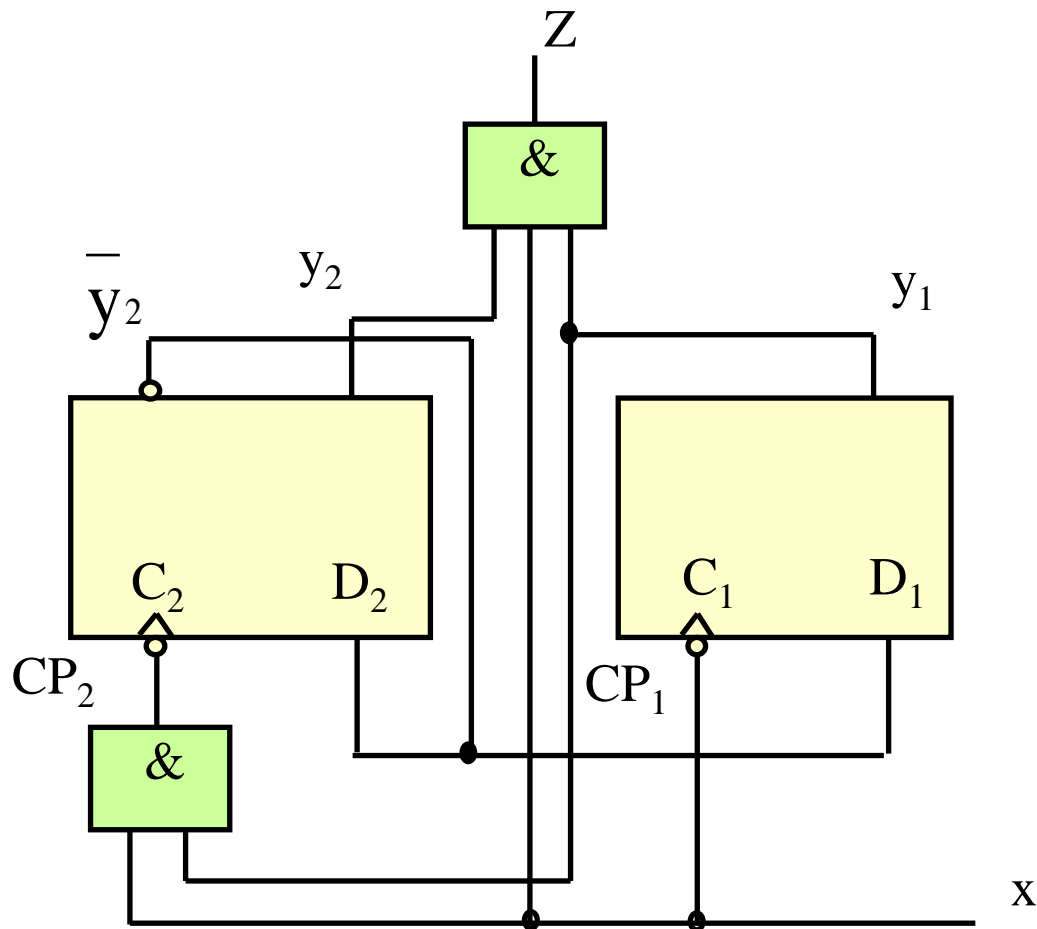
激励函数和输出函数表达式

$$z = xy_2y_1$$

$$D_2 = D_1 = \overline{y_2}$$

$$C_1 = x$$

$$C_2 = xy_1$$



脉冲异步时序逻辑电路分析

□ 状态表和状态图

$$z = xy_2y_1$$

$$D_2 = \overline{y_2} \quad C_1 = x$$

$$D_1 = \overline{y_2} \quad C_2 = xy_1$$

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	D_2	C_2	D_1	C_1	$y_2^{n+1}y_1^{n+1}$		Z
0 0	↓	1		1	↓	0	1	0
0 1	↓	1	↓	1	↓	1	1	0
1 0	↓	0		0	↓	1	0	0
1 1	↓	0	↓	0	↓	0	0	1

脉冲异步时序逻辑电路分析

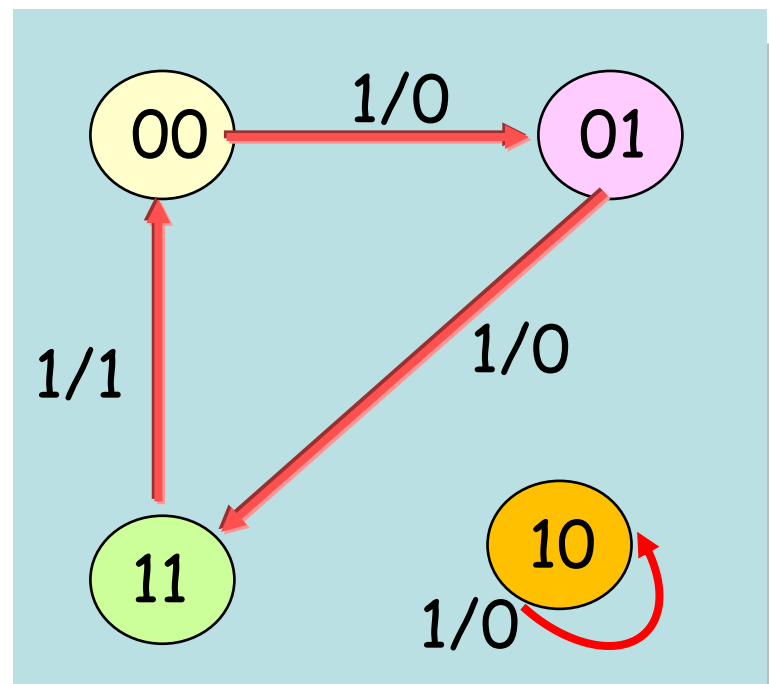
□ 状态表和状态图

现态	输入	现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出 z	次态	输出
$y_2 y_1$	x	$y_2 y_1$	$x=1$	$y_2^{n+1} y_1^{n+1}$	z
0 0	↓	00	01/0	0 1	0
0 1	↓	01	11/0	1 1	0
1 0	↓	10	10/0	1 0	0
1 1	↓	11	00/1	0 0	1

脉冲异步时序逻辑电路分析

□ 状态表和状态图

现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出
y_2y_1	$x=1$
00	01/0
01	11/0
10	10/0
11	00/1

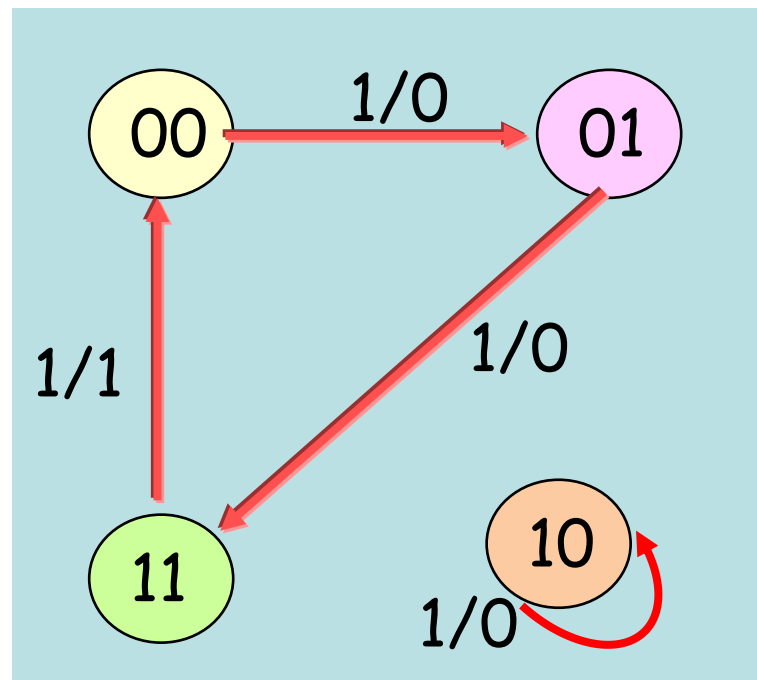


脉冲异步时序逻辑电路分析

□ 逻辑功能

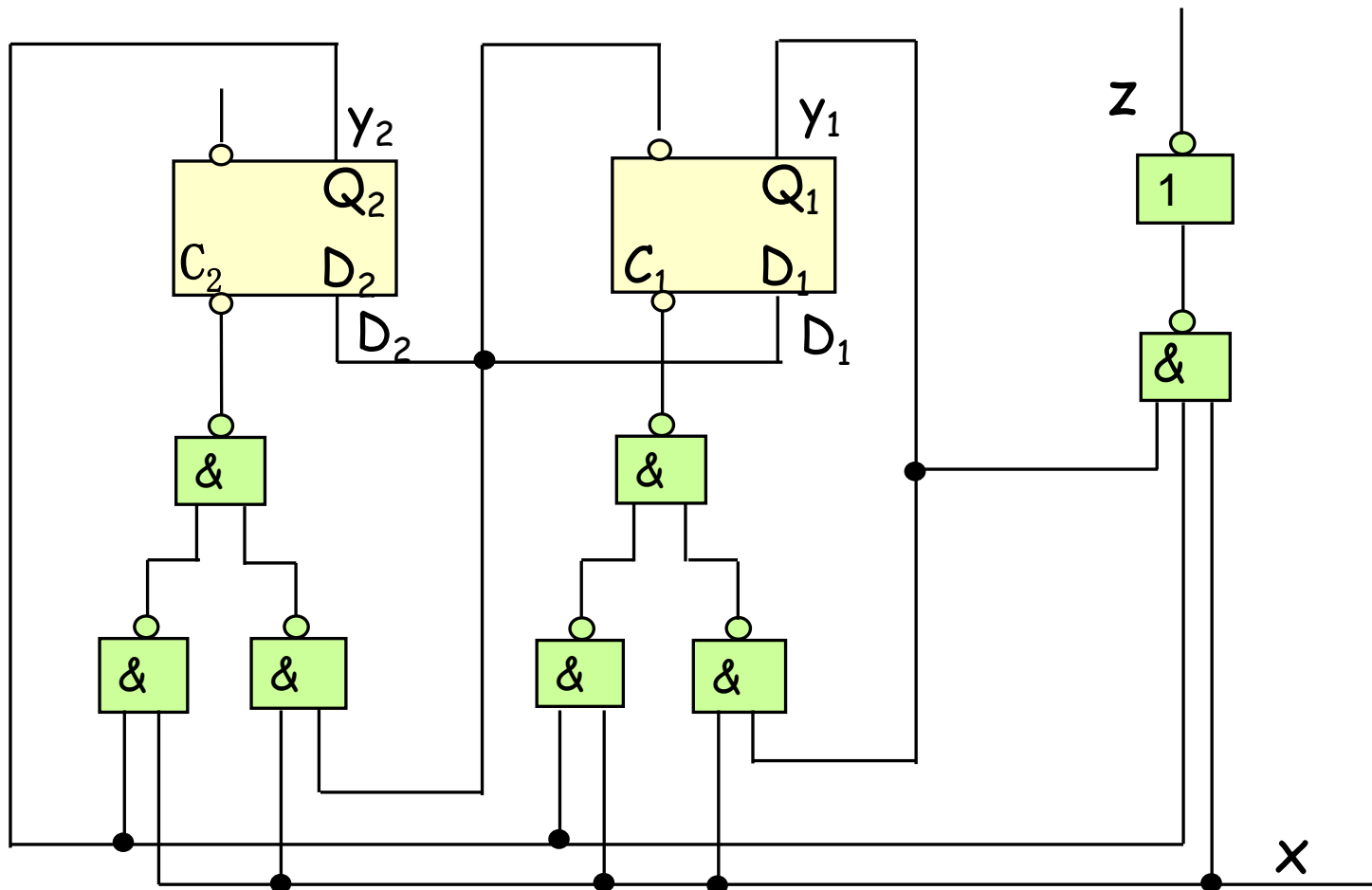
- Mealy型
- 一个带进位的模 3 计数器
- 存在挂起现象

一个Mealy型
不能自启，带进位的
模3计数器



脉冲异步时序逻辑电路分析

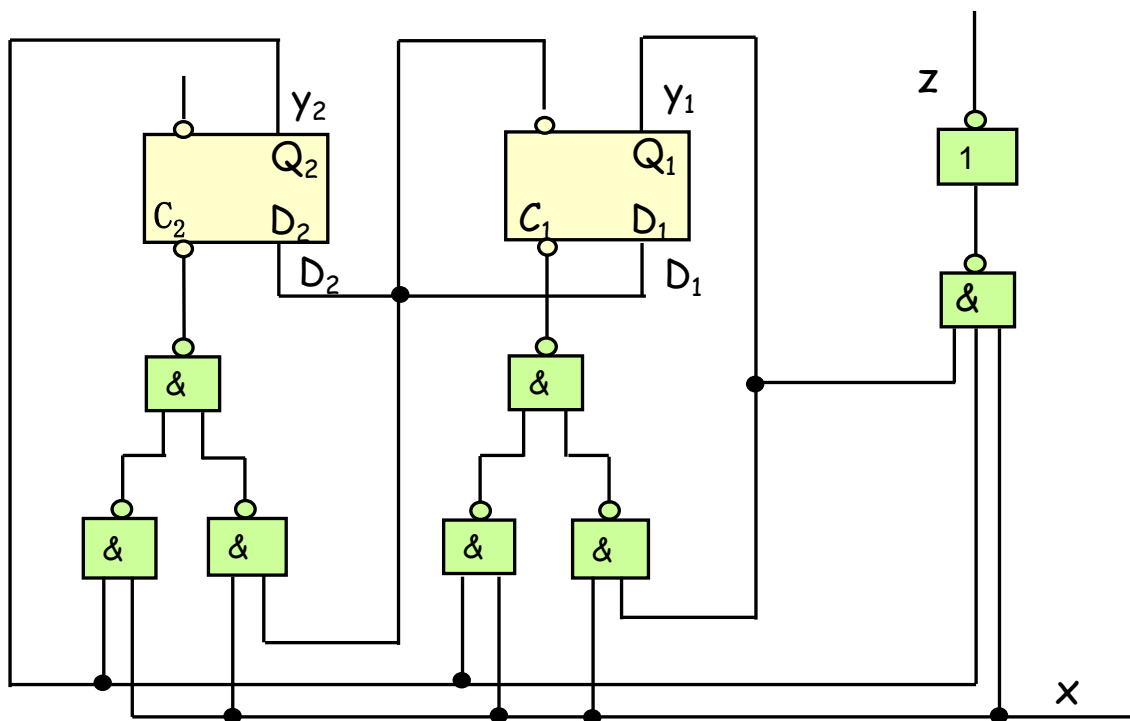
□ 例3：分析下图所示脉冲异步时序逻辑电路。



脉冲异步时序逻辑电路分析

□分析

- 两个D触发器
- 若干与非门
- 一个输入端x
- 一个输出端Z
- Mealy型



□ 输出函数和激励函数表达式

$$D_2 = \overline{y_1}$$

$$D_1 = y_1$$

$$C_1 = \overline{\overline{xy_2}} \quad \overline{\overline{xy_1}} = xy_2 + xy_1$$

$$C_2 = \overline{\overline{xy_2}} \quad \overline{\overline{xy_1}} = \overline{xy_2} + \overline{xy_1}$$



脉冲异步时序逻辑电路分析

□ 次态真值表

$$z = xy_2y_1 \quad D_2 = D_1 = \overline{y_1} \quad C_2 = xy_2 + x\overline{y_1} \quad C_1 = xy_2 + xy_1$$

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	D_2	CLK_2	D_1	CLK_1	$y_2^{n+1} y_1^{n+1}$		Z
0 0	↓	1	↓	1		1	0	0
0 1	↓	0		0	↓	0	0	0
1 0	↓	1	↓	1	↓	1	1	0
1 1	↓	0	↓	0	↓	0	0	1

脉冲异步时序逻辑电路分析

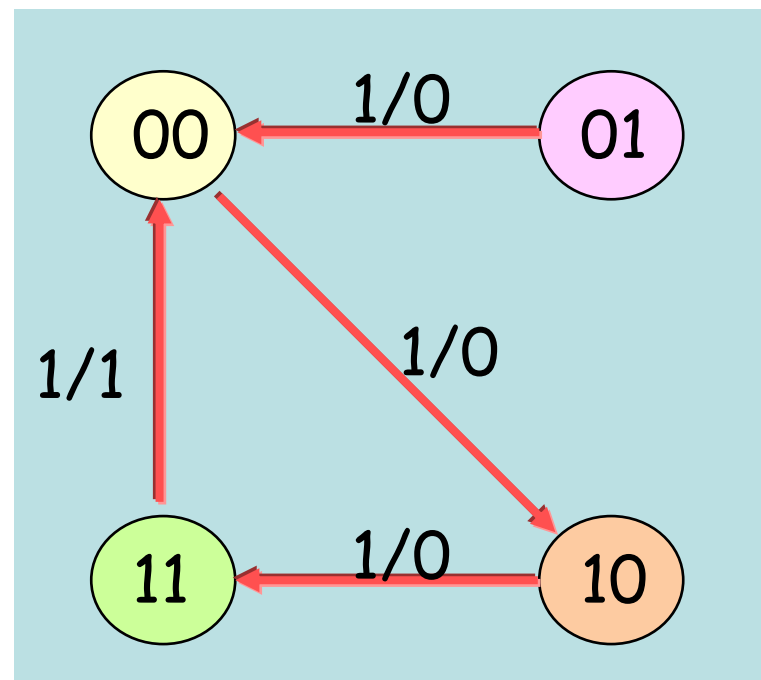
□ 状态表和状态图

现态	输入	现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出	次态	输出
$y_2 y_1$	x	$y_2 y_1$	x=1	$y_2^{n+1} y_1^{n+1}$	Z
0 0	↓	00	10/0	1 0	0
0 1	↓	01	00/0	0 0	0
1 0	↓	10	11/0	1 1	0
1 1	↓	11	00/1	0 0	1

脉冲异步时序逻辑电路分析

□ 状态表和状态图

现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ /输出
y_2y_1	$x=1$
00	10/0
01	00/0
10	11/0
11	00/1



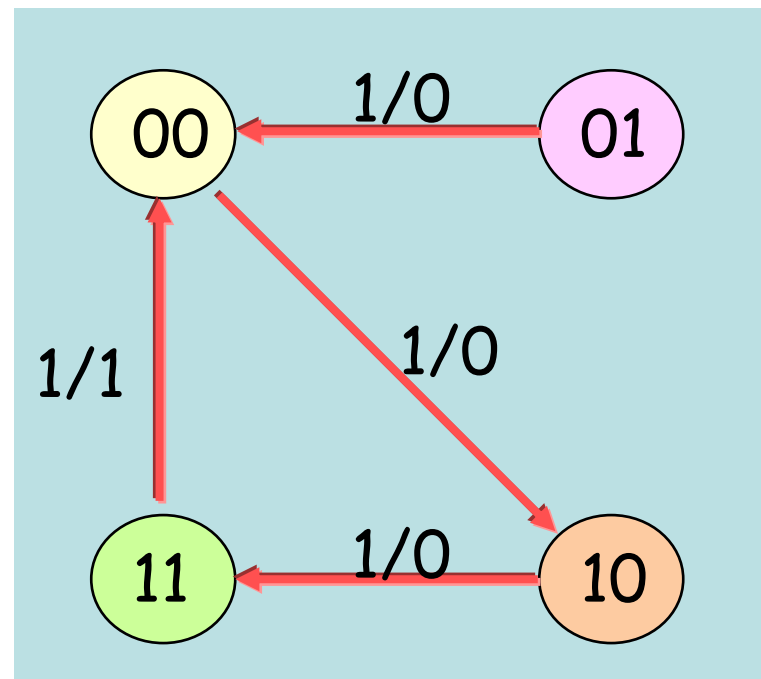
脉冲异步时序逻辑电路分析

□ 电路的逻辑功能

- Mealy型
- 一个带进位的模 3 计数器
- 具有自恢复功能

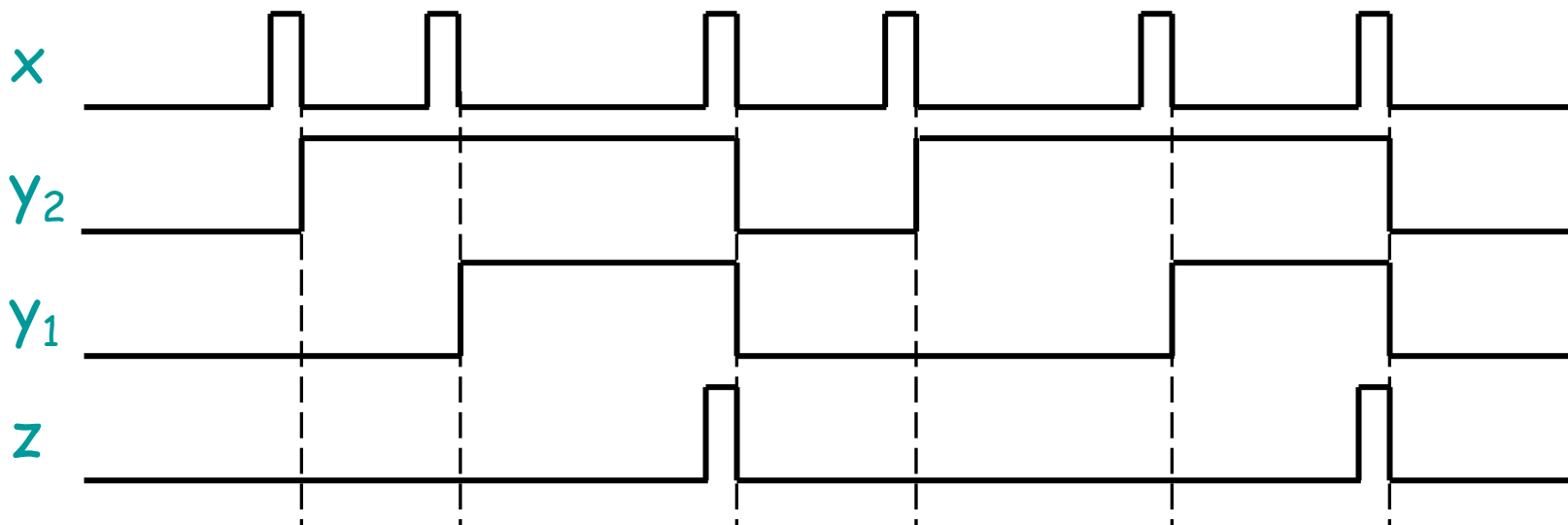
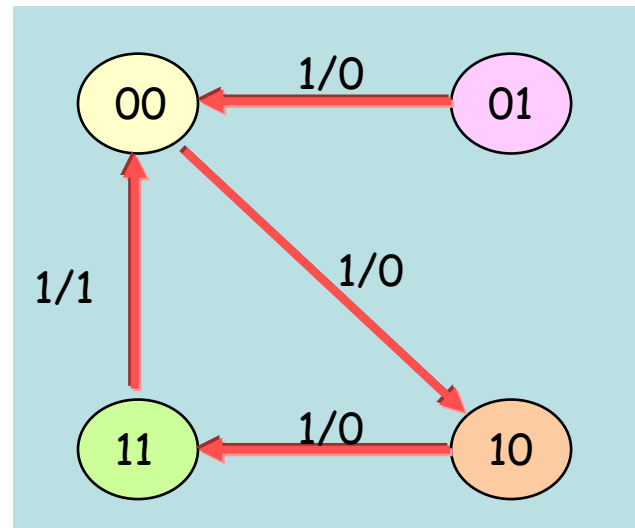
一个Mealy型

能自启的带进位的
模3计数器



脉冲异步时序逻辑电路分析

□ 时间图



脉冲异步时序逻辑电路分析

□改用上升沿触发的D触发器

$$z = xy_2y_1 \quad D_2 = D_1 = \overline{y_1} \quad C_2 = xy_2 + x\overline{y_1} \quad C_1 = xy_2 + xy_1$$

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	D_2	CLK_2	D_1	CLK_1	$y_2^{n+1} y_1^{n+1}$		Z
0 0	↑	1	↑	1		1	0	0
0 1	↑	0		0	↑	0	0	0
1 0	↑	1	↑	1	↑	1	1	0
1 1	↑	0	↑	0	↑	0	0	1

脉冲异步时序逻辑电路分析

□改用上升沿触发的D触发器

$$z = xy_2y_1 \quad D_2 = D_1 = \overline{y_1} \quad C_2 = xy_2 + x\overline{y_1} \quad C_1 = xy_2 + xy_1$$

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	D_2	CLK_2	D_1	CLK_1	$y_2^{n+1} y_1^{n+1}$		Z
0 0	↑	1	↑	1	↑	1	1	0
0 1	↑	0	↑	0	↑	1	0	0
1 0	↑	1	↑	1	↑	1	1	0
1 1	↑	0	↑	0	↑	0	0	1

脉冲异步时序逻辑电路分析

□ 注意

- 脉冲异步时序电路中使用边沿触发器时，上升沿或者下降沿对电路功能有很大的影响
- 为了保证脉冲异步时序逻辑电路正常工作，使用的边沿触发器应该在输入脉冲的后沿触发
- 输入为正脉冲，使用下降沿触发的边沿触发器
- 输入为负脉冲，使用上升沿触发的边沿触发器

提 纲

1

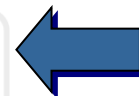
异步时序逻辑电路概述

2

脉冲异步时序逻辑电路分析

3

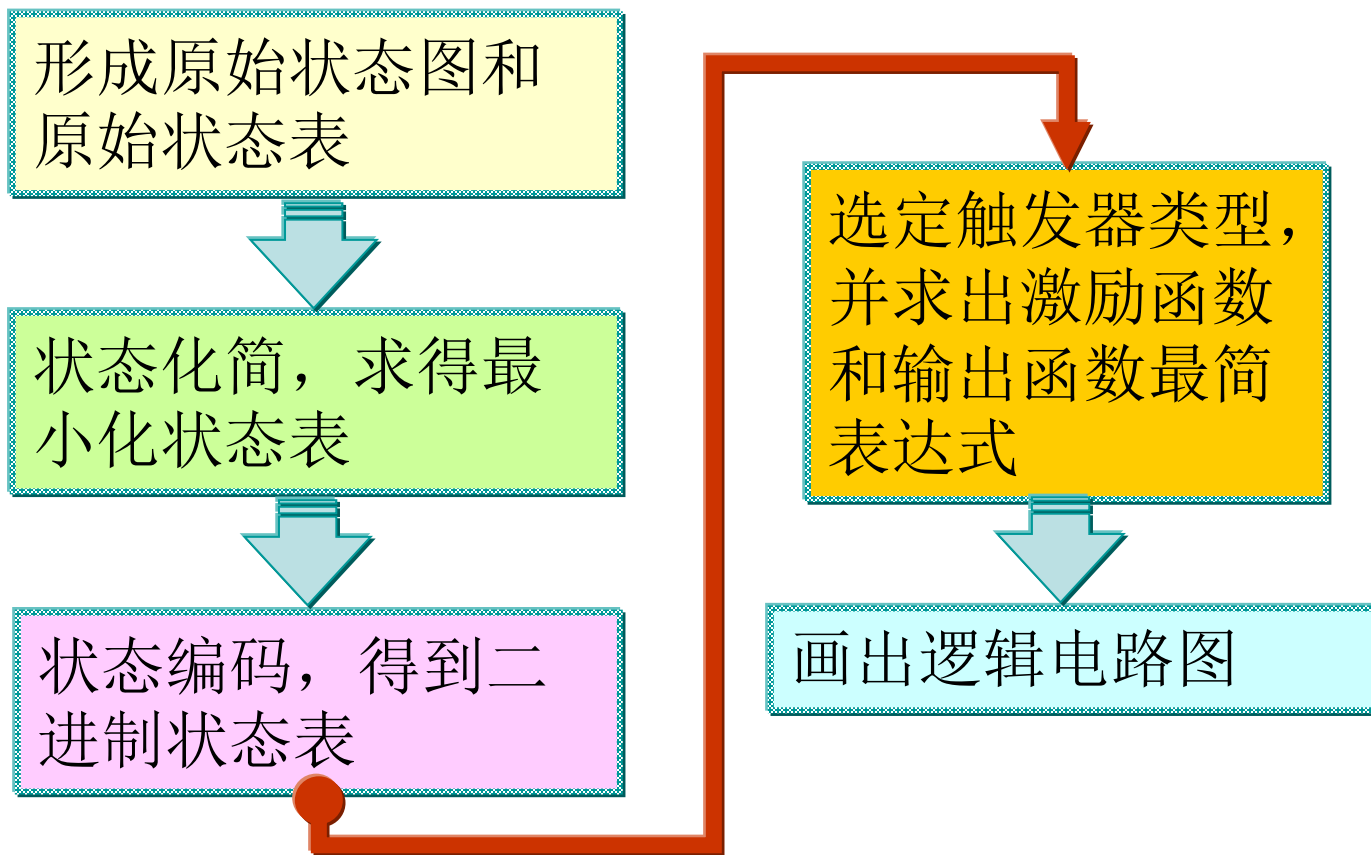
脉冲异步时序逻辑电路设计



4

电平异步时序逻辑电路分析

脉冲异步时序逻辑电路设计



脉冲异步时序逻辑电路设计

□与同步时序电路的区别

- 采用时钟控制触发器时，时钟端应作为激励函数处理
- 在形成原始状态图和原始状态表时，对于 n 个输入，只需考虑 n 种输入信号中仅一个为1的情况；在确定激励函数时，对两个或两个以上输入为1的情况，可作为无关条件处理
- 当输入端无脉冲出现时，应保证电路状态不变

脉冲异步时序逻辑电路设计

□ 激励表

Q^n Q^{n+1}	CP R S	CP J K	CP T	CP D
0 0	d d 0 0 d d	d 0 d 0 d d	d 0 0 d	d 0 0 d
0 1	1 0 1	1 1 d	1 1	1 1
1 0	1 1 0	1 d 1	1 1	1 0
1 1	d 0 d	d d 0	d 0	d 1
	0 d d	0 d d	0 d	0 d

脉冲异步时序逻辑电路设计

□例1 用T触发器作为存储元件，设计一个异步模8加1计数器，电路对输入端x出现的脉冲进行计数，当收到第八个脉冲时，输出端Z产生一个进位输出脉冲。

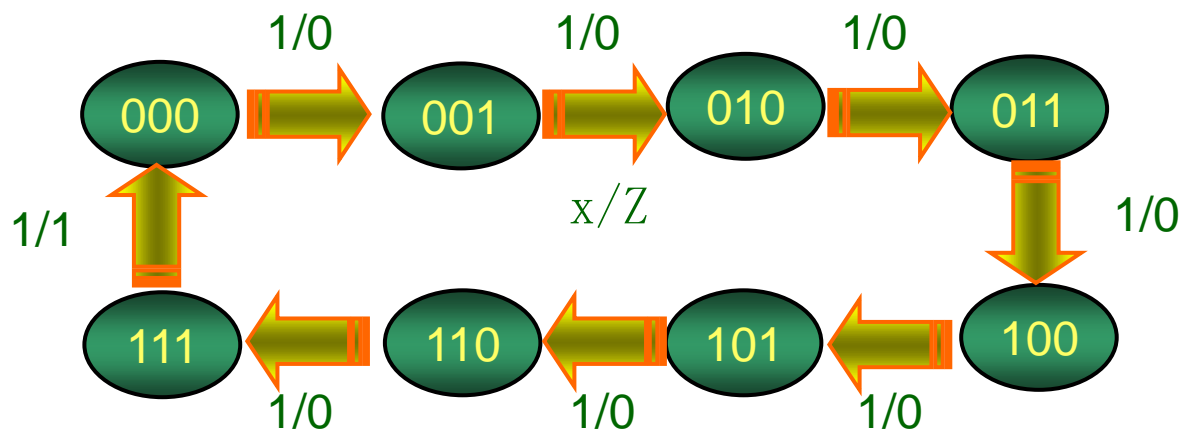
□分析

- 电路模型为Mealy型
- 状态数目和状态转换关系非常清楚

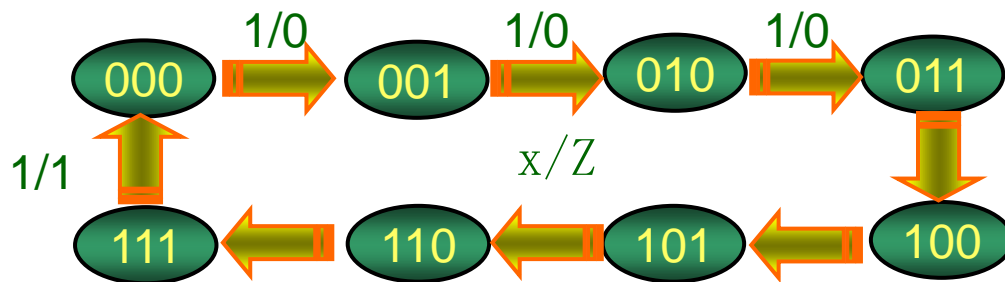
脉冲异步时序逻辑电路设计

□ 状态图和状态表

- 设电路初始状态为 “000”，状态变量用 y_2 、 y_1 、 y_0 表示



脉冲异步时序逻辑电路设计



现 态	次态 $y_3^{n+1}y_2^{n+1}y_1^{n+1}$ / 输出Z
$y_3y_2y_1$	$x = 1$
0 0 0	0 0 1 / 0
0 0 1	0 1 0 / 0
0 1 0	0 1 1 / 0
0 1 1	1 0 0 / 0
1 0 0	1 0 1 / 0
1 0 1	1 1 0 / 0
1 1 0	1 1 1 / 0
1 1 1	0 0 0 / 1

脉冲异步时序逻辑电路设计

□ 确定激励函数和输出函数

- 假定状态不变时，令相应触发器的时钟端为0，输入端T任意；
- 状态需要改变时，令相应触发器的时钟端为1(有脉冲出现)，T端为1

脉

设计

现 态 $y_3y_2y_1$	次态 $y_3^{n+1}y_2^{n+1}y_1^{n+1}$ / 输出Z
	$x = 1$
0 0 0	0 0 1 / 0
0 0 1	0 1 0 / 0
0 1 0	0 1 1 / 0
0 1 1	1 0 0 / 0
1 0 0	1 0 1 / 0
1 0 1	1 1 0 / 0
1 1 0	1 1 1 / 0
1 1 1	0 0 0 / 1

$Q \rightarrow Q^{n+1}$	CP T
0 0	d 0
	0 d
0 1	1 1
1 0	1 1
1 1	d 0
	0 d

次态	激励函数	输出
$y_3^{n+1}y_2^{n+1}y_1^{n+1}$	$C_3T_3C_2T_2C_1T_1$	Z
x	$y_3y_2y_1$	
1	0 0 0	0 0 1
1	0 0 1	0 1 0
1	0 1 0	0 1 1
1	0 1 1	1 0 0
1	1 0 0	1 0 1
1	1 0 1	1 1 0
1	1 1 0	1 1 1
1	1 1 1	0 0 0

脉冲异步时序逻辑电路设计

输入脉冲 x	现态 $y_3y_2y_1$	次态 $y_3^{n+1}y_2^{n+1}y_1^{n+1}$	激励函数 $C_3T_3C_2T_2C_1T_1$	输出 Z
1	0 0 0	0 0 1	0 d 0 d 1 1	0
1	0 0 1	0 1 0	0 d 1 1 1 1	0
1	0 1 0	0 1 1	0 d 0 d 1 1	0
1	0 1 1	1 0 0	1 1 1 1 1 1	0
1	1 0 0	1 0 1	0 d 0 d 1 1	0
1	1 0 1	1 1 0	0 d 1 1 1 1	0
1	1 1 0	1 1 1	0 d 0 d 1 1	0
1	1 1 1	0 0 0	1 1 1 1 1 1	1

$$C_3 = xy_2y_1; \quad T_3 = 1; \quad C_2 = xy_1; \quad T_2 = 1;$$

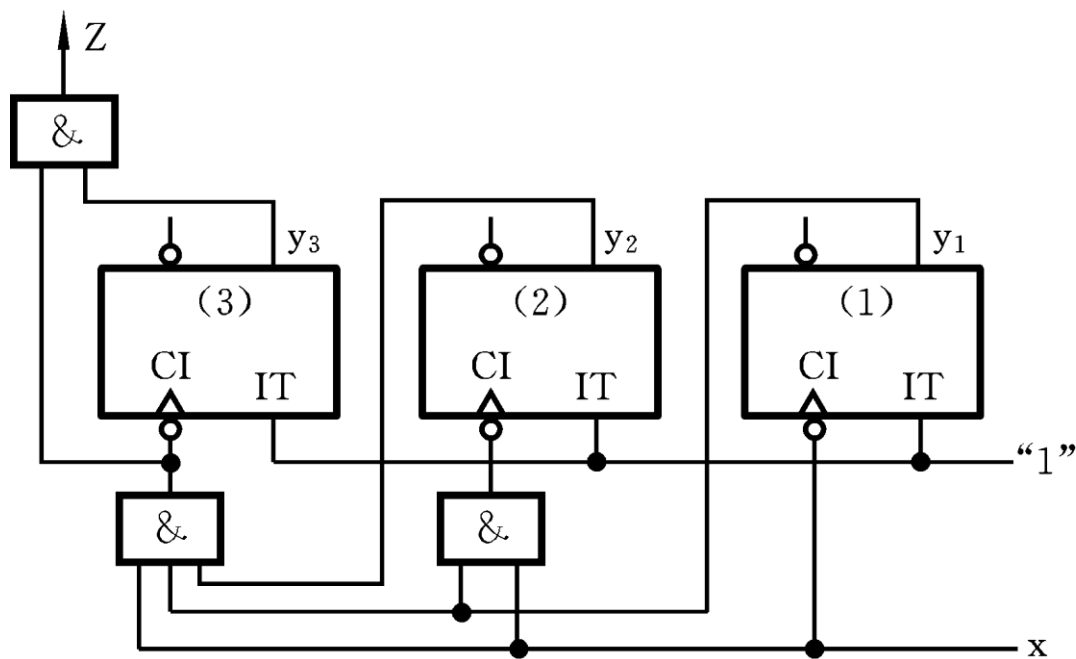
$$C_1 = x; \quad T_1 = 1; \quad Z = xy_3y_2y_1$$

脉冲异步时序逻辑电路设计

□ 画出逻辑电路图

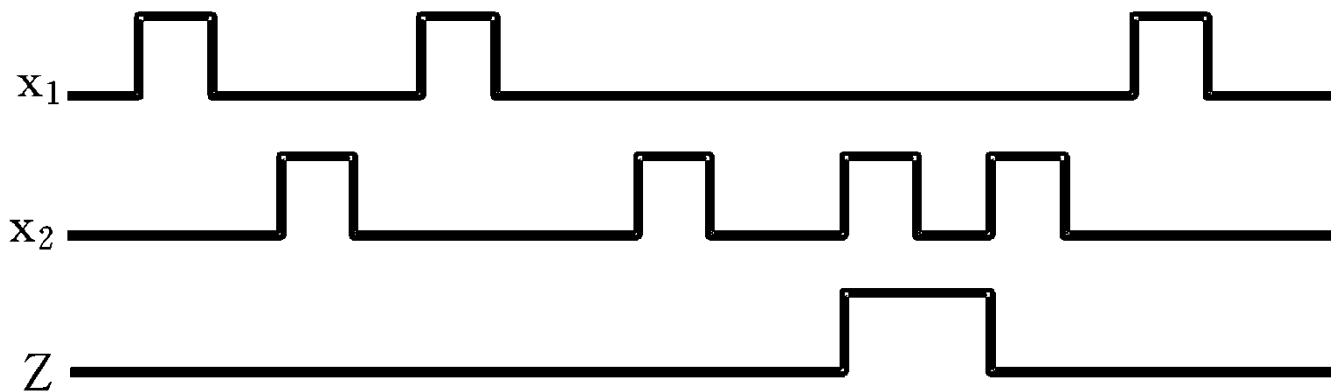
$$\mathbf{C}_3 = \mathbf{x}\mathbf{y}_2\mathbf{y}_1; \quad \mathbf{T}_3 = 1; \quad \mathbf{C}_2 = \mathbf{x}\mathbf{y}_1; \quad \mathbf{T}_2 = 1;$$

$$C_1 = x; \quad T_1 = 1; \quad Z = xy_3y_2y_1$$



脉冲异步时序逻辑电路设计

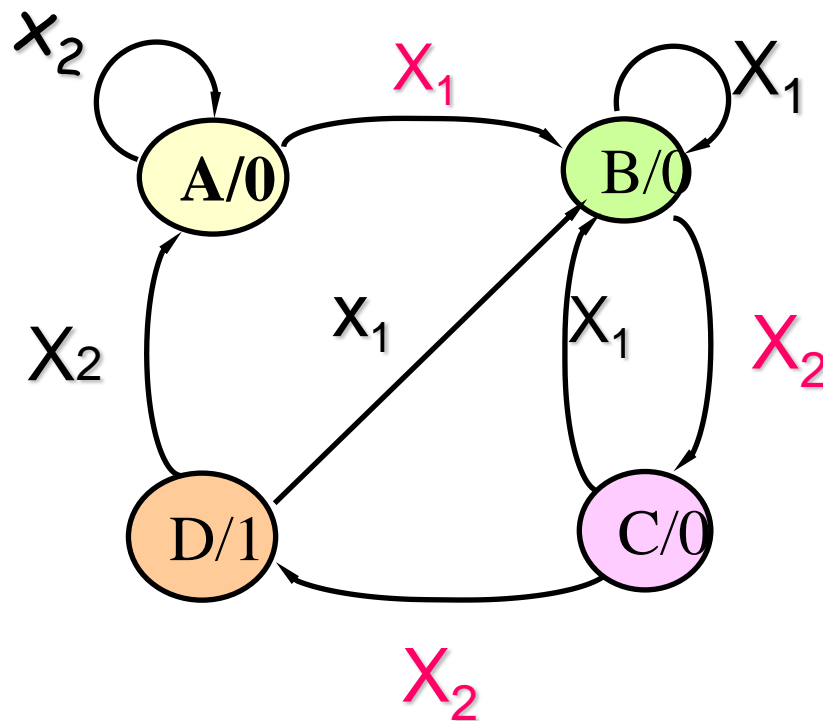
□例2 用D触发器作为存储元件，设计一个“x1—x2—x2”序列检测器。电路有两个输入x1和x2，一个输出Z。仅当x1输入一个脉冲后，x2连续输入两个脉冲时，输出端Z由0变为1，该1信号一直维持到输入端x1或x2再出现脉冲时才由1变为0。典型输入、输出时间图如下图所示。



脉冲异步时序逻辑电路设计

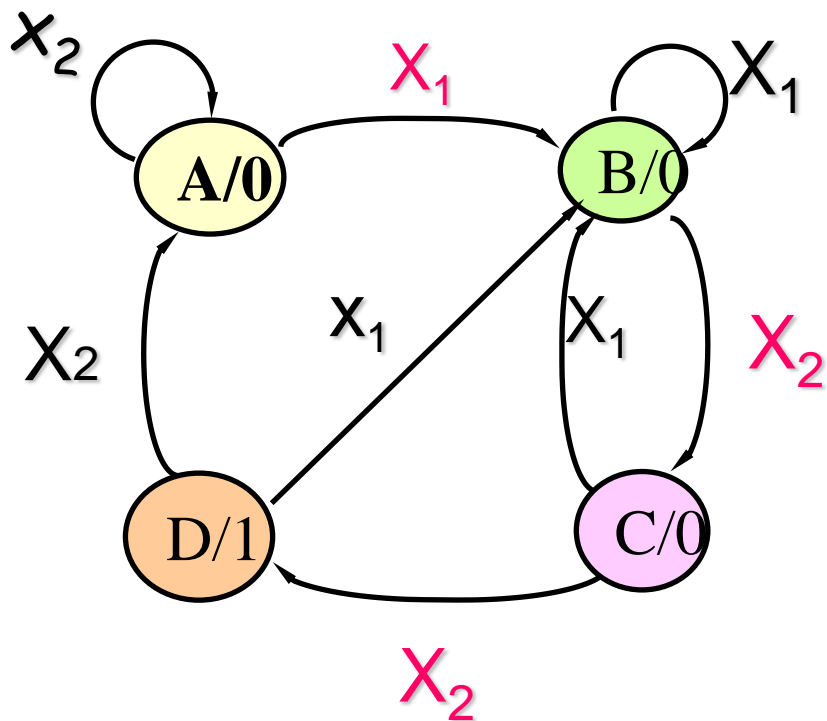
□ 原始状态图和状态表

- 序列检测器为Moore型脉冲异步时序电路



脉冲异步时序逻辑电路设计

□ 原始状态图和状态表



现态	次态		输出 Z
	x_1	x_2	
A	B	A	0
B	B	C	0
C	B	D	0
D	B	A	1

脉冲异步时序逻辑电路设计

□ 状态化简

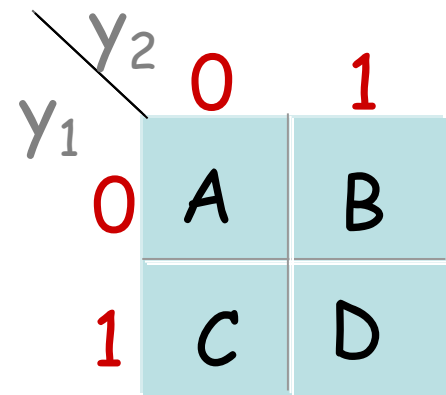
- 用观察法检查原始状态表，可知该状态表中的状态均不等效，即已为最简状态表

现态	次态		输出
	x_1	x_2	Z
A	B	A	0
B	B	C	0
C	B	D	0
D	B	A	1

脉冲异步时序逻辑电路设计

□ 状态编码

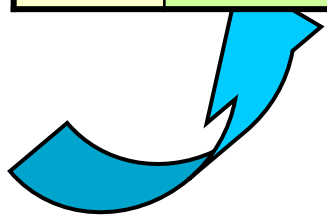
- 最简状态表中有4个状态，用两位二进制代码表示。
- 设状态变量为 y_2 、 y_1



$y_2 \backslash y_1$	0	1
0	A	B
1	C	D



现态	次态		输出 Z
	x_1	x_2	
A	B	A	0
B	B	C	0
C	B	D	0
D	B	A	1



现态 $y_2 y_1$	次态 $y_2^{n+1} y_1^{n+1}$		输出 Z
	x_1	x_2	
00	10	00	0
01	10	11	0
10	10	01	0
11	10	00	1

脉冲异步时序逻辑电路设计

激励函数和输出函数

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$		
0 1	0 0	1 0	0 0	0
	0 1	1 0		
	1 0	1 0		
	1 1	1 0		
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1		
	1 0	0 1		
	1 1	0 0		

现态 y_2y_1	y_2^n	x_1	$Q \rightarrow Q^{n+1}$	CP D
			0 0	d 0
				0 d
00	10		0 1	1 1
01	10		1 0	1 0
10	10		1 1	d 1
11	10			0 d

脉冲异步时序逻辑电路设计

激励函数和输出函数

- 输入端无脉冲出现，触发器时钟端为0，输入端d
- 两个输入端同时为1(不允许)作为无关条件处理

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00	0	1	d	
01	0	1	d	1
11	0		d	1
10	0		d	1

$$C_2 = x_1 \overline{y_2} + x_2 y_1 + x_2 y_2$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00	d	1	d	d
01	d	1	d	1
11	d	d	d	
10	d	d	d	

$$D_2 = \overline{y_2}$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

y_2y_1 x_2x_1	00	01	11	10
00	0		d	
01	0	1	d	
11	0	1	d	1
10	0		d	1

$$C_1 = x_1y_1 + x_2y_2$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00	d	d	d	d
01	d		d	d
11	d		d	0
10	d	d	d	1

$$D_1 = \overline{y_1}$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00			d	
01			d	
11	1	1	d	1
10			d	

$$Z = y_2y_1$$

脉冲异步时序逻辑电路设计

□ 逻辑电路图

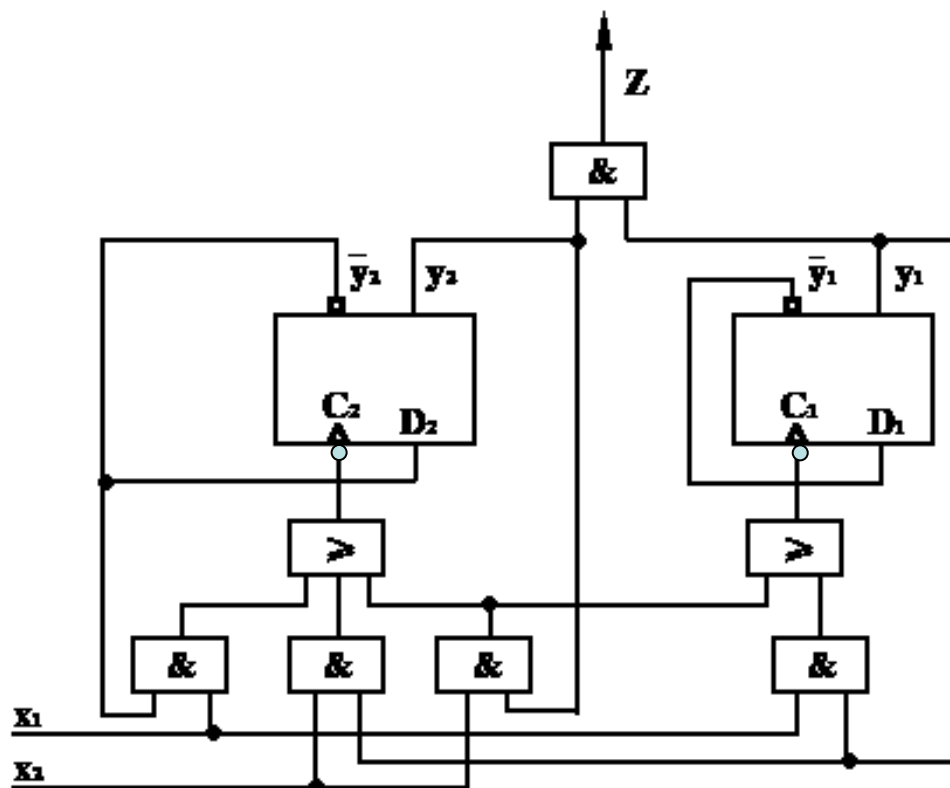
$$C_2 = \overline{x_1 y_2} + x_2 y_1 + x_2 y_2$$

$$D_2 = \overline{y_2}$$

$$C_1 = x_1 y_1 + x_2 y_2$$

$$D_1 = \overline{y_1}$$

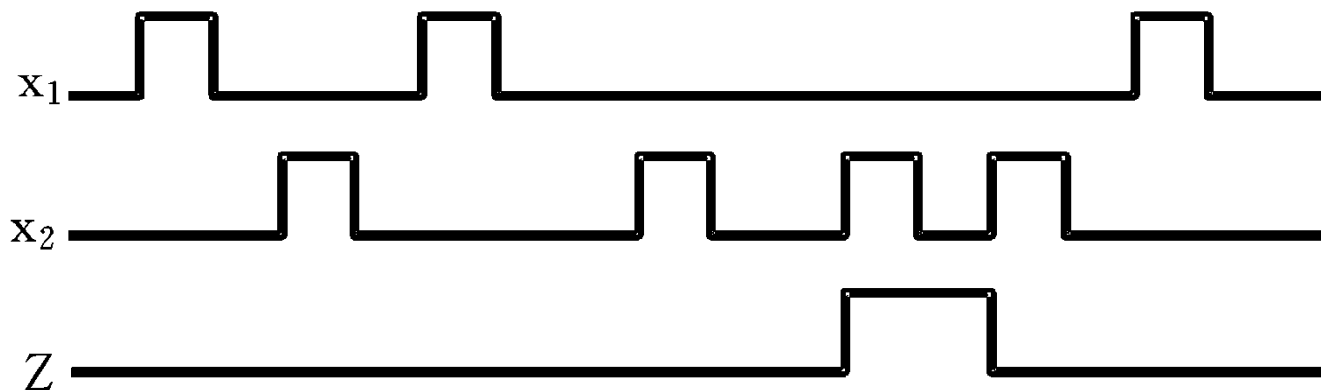
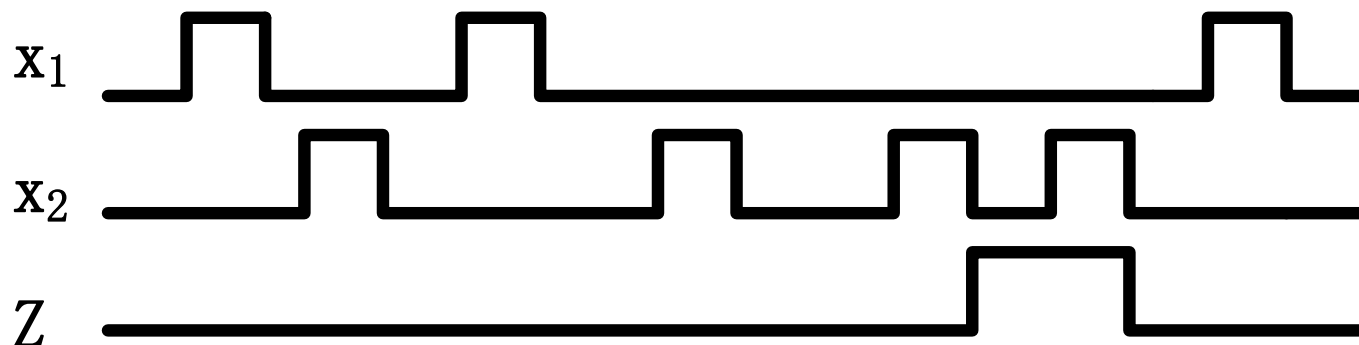
$$Z = y_2 y_1$$



逻辑电路图

脉冲异步时序逻辑电路设计

□时间图



脉冲异步时序逻辑电路设计

□ 使用负脉冲完成设计

输入脉冲 $\overline{x_2} \quad \overline{x_1}$	现态 $y_2 y_1$	次态 $y_2^{n+1} y_1^{n+1}$	激励函数 数 $C_2 D_2 C_1 D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

脉冲异步时序逻辑电路设计

□ 使用负脉冲完成设计

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
1 0	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
0 1	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

对吗?

脉冲异步时序逻辑电路设计

□ 状态不变使用d0方式

$Q \rightarrow Q^{n+1}$	CP D
0 0	d 0
	0 d
0 1	1 1
1 0	1 0
1 1	d 1
	0 d

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	
0 1	0 0	1 0	1 1 d 0	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	d 1 d 0	0
	1 1	1 0	d 1 1 0	1
1 0	0 0	0 0	d 0 d 0	0
	0 1	1 1	1 1 d 1	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

脉冲异步时序逻辑电路设计

激励函数和输出函数

- 输入端无脉冲出现，触发器时钟端为d，输入端1/0
- 两个输入端同时为1(不允许)作为无关条件处理

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 d 0	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	d 1 d 0	0
	1 1	1 0	d 1 1 0	1
1 0	0 0	0 0	d 0 d 0	0
	0 1	1 1	1 1 d 1	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00	d	1	d	d
01	d	1	d	1
11	d	d	d	1
10	d	d	d	1

$$C_2 = x_2 + x_1$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

- 输入端无脉冲出现，触发器时钟端为d，输入端1/0
- 两个输入端同时为1(不允许)作为无关条件处理

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 d 0	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	d 1 d 0	0
	1 1	1 0	d 1 1 0	1
1 0	0 0	0 0	d 0 d 0	0
	0 1	1 1	1 1 d 1	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

y_2y_1	x_2x_1	00	01	11	10
	00		1	d	
01			1	d	1
11	1	1		d	
10	1	1		d	

$$D_2 = \bar{x}_2 y_2 + x_1 + x_2 \bar{y}_2 y_1$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

- 输入端无脉冲出现，触发器时钟端为d，输入端1/0
- 两个输入端同时为1(不允许)作为无关条件处理

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 d 0	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	d 1 d 0	0
	1 1	1 0	d 1 1 0	1
1 0	0 0	0 0	d 0 d 0	0
	0 1	1 1	1 1 d 1	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00	d	d	d	d
01	d	1	d	d
11	d	1	d	1
10	d	d	d	1

$$C_1 = x_1 + x_2$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

- 输入端无脉冲出现，触发器时钟端为d，输入端1/0
- 两个输入端同时为1(不允许)作为无关条件处理

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 d 0	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	d 1 d 0	0
	1 1	1 0	d 1 1 0	1
1 0	0 0	0 0	d 0 d 0	0
	0 1	1 1	1 1 d 1	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$x_2x_1 \backslash y_2y_1$	00	01	11	10
00			d	
01	1		d	1
11	1		d	
10			d	1

$$D_1 = \bar{x}_2\bar{x}_1y_1 + x_2y_1\bar{y}_2 + x_2y_2\bar{y}_1$$

脉冲异步时序逻辑电路设计

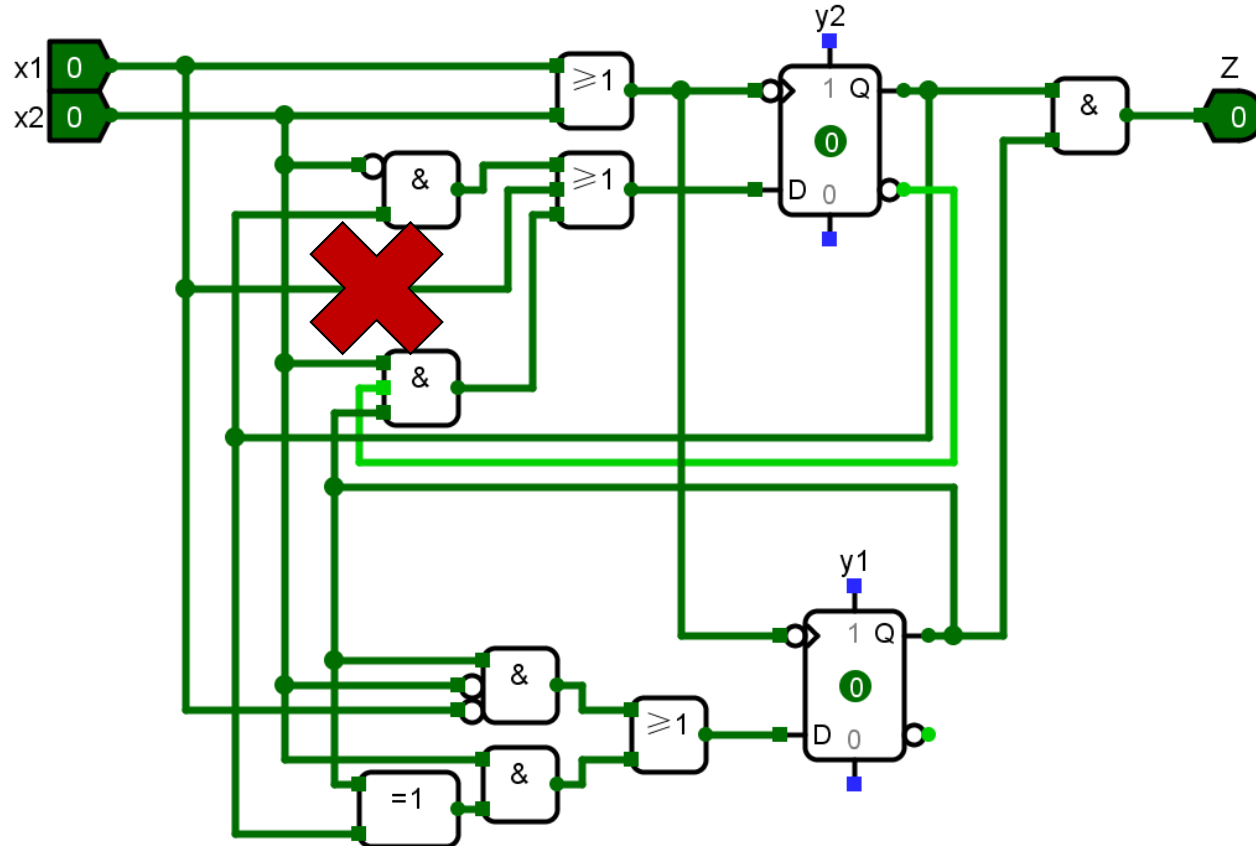
□ 逻辑电路图

$$C_2 = C_1 = x_2 + x_1$$

$$D_1 = \bar{x}_2 \bar{x}_1 y_1 + x_2 (y_2 \oplus y_1)$$

$$D_2 = \bar{x}_2 y_2 + x_1 + x_2 \bar{y}_2 y_1$$

$$Z = y_2 y_1$$



脉冲异步时序逻辑电路设计

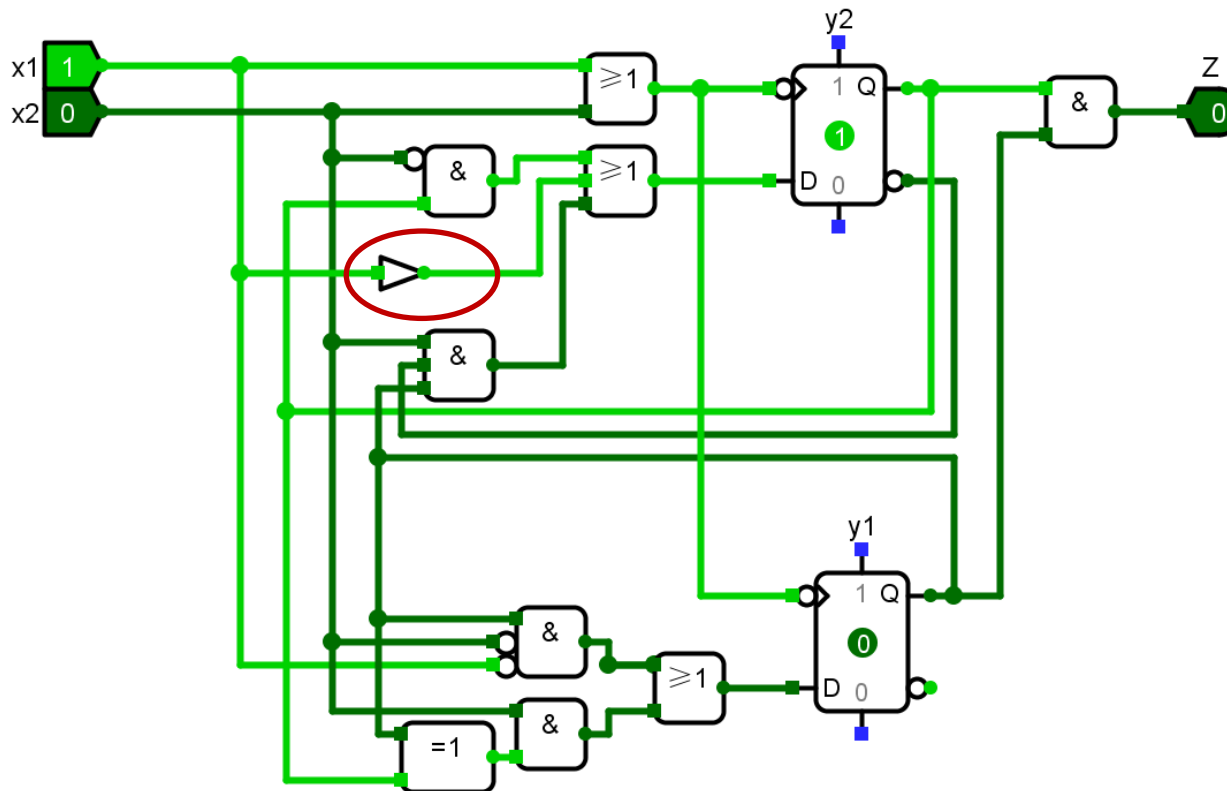
□ 逻辑电路图

$$C_2 = C_1 = x_2 + x_1$$

$$D_1 = \bar{x}_2 \bar{x}_1 y_1 + x_2 (y_2 \oplus y_1)$$

$$D_2 = \bar{x}_2 y_2 + x_1 + x_2 \bar{y}_2 y_1$$

$$Z = y_2 y_1$$



脉冲异步时序逻辑电路设计

□ 总结

- 异步时序逻辑电路状态不变时，相应触发器的时钟端为0，输入端任意
- 使用正脉冲进行设计时，一般使用下降沿触发的触发器

Thank You!

