

## 习题三

### 3.1 什么是PN结？PN结有哪几种偏置条件？简述其工作原理。

答：

将一块P型半导体材料和一块N型半导体材料连接在一起时便形成了PN结。

PN结有正向和反向两种偏置条件，这两种偏置都需要在PN结上外结合适方向的直流电压。

正向偏置的工作原理：当一个直流电源正向偏置二极管时，由于静电排斥，电源负极推动N区的导带电子向结处运动。同样地，电源正极推动P区的空穴向结处运动。当外部偏置电压足够可以克服势垒电压时，电子就会有足够的能量进入耗尽区，并穿过PN结进入P区。进入P区的电子会与P区的空穴复合。当电子离开N区时，更多的电子流从电源负极进入N区。因此，通过导带电子向结的定向移动产生流向N区的电流。当导带电子进入N区并与P区的空穴复合后，这些导带电子就称为价电子。然后，这些价电子向着正阳极连接方向不断地从一个空穴跳到另一个空穴。这些价电子的定向移动本质上形成空穴朝着相反方向的定向移动。因此，通过空穴朝着结方向的定向运动在P区产生电流。

反向偏置的工作原理：由于相反的电荷相互吸引，电源负极吸引P区的空穴离开PN结，同时电源正极吸引N区电子离开PN结。由于电子和空穴离开PN结，耗尽区的宽度变得越来越大；在N区产生越来越多的正离子，在P区产生越来越多的负离子。直到势垒电压等于外部偏置电压时，耗尽区的宽度不再增加。当二极管反向偏置时，耗尽区实际上相当于位于正离子层和负离子层之间的绝缘体。

### 3.2 简述晶体二极管的静态特性？

答：

晶体二极管的静态特性是指二极管处在导通和截止两种稳定状态下的特性。

二极管的正向特性表现为在外加正向电压大于阈值电压 $V_{TH}$ 作用时，二极管处于导通状态；小于 $V_{TH}$ 时，管子处于截止状态，电阻很大、电流接近于0，此时二极管类似于开关的断开状态。

二极管的反向特性表现为当外加反向电压在一定数值范围内时，反向电阻很大，反向电流很小，而且反向电压的变化基本不引起反向电流的变化，二极管处于截止状态。当反向电压超过某个极限值时，将使反向电流突然猛增，致使二极管被击穿。

### 3.3 晶体二极管的开关速度主要取决于什么？

答：

晶体二极管的开关速度主要取决于反向恢复时间（二极管从正向导通到反向截止所需要的时间）和开通时间（二极管从反向截止到正向导通所需要的时间）。

相比之下，开通时间很短，一般可以忽略不计。因此，影响二极管开关速度的主要因素是反向恢复时间。

#### 3.4 数字电路中，晶体三极管一般工作在什么状态下？

答：

数字电路中，晶体三极管一般工作在“截止状态”（相当于开关断开）和“饱和导通状态”（相当于开关闭合）。

#### 3.5 晶体三极管的开关速度取决于哪些因素？

答：

晶体三极管的开关速度主要取决于开通时间 $t_{on}$ （三极管从截止状态到饱和状态所需要的时间）和关闭时间 $t_{off}$ （三极管从饱和状态到截止状态所需要的时间），它们是影响电路工作速度的主要因素。

#### 3.6 TTL 与非门有哪些主要性能参数？

答：

TTL与非门的主要性能参数有输出逻辑电平、开门电平、关门电平、扇出系数、平均传输时延和空载功耗等。

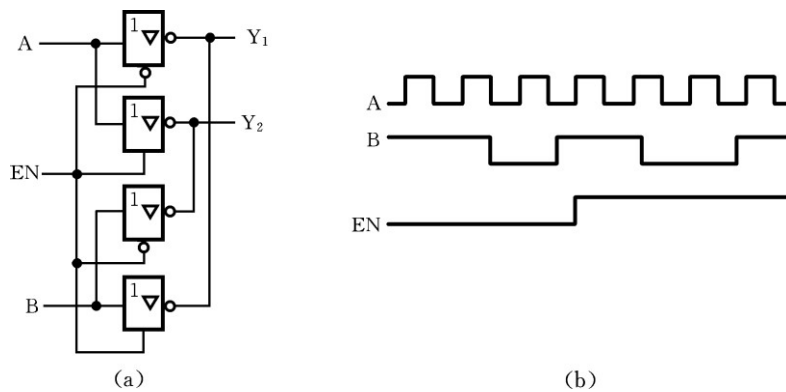
#### 3.7 OC门和TS门的结构与一般TTL与非门有何不同？各有何主要应用？

答：

OC门在结构上把一般TTL与非门电路中的VT3、VD4去掉，令VT4的集电极悬空，从而把一般TTL与非门电路的推拉式输出级改为三极管集电极开路输出。OC门可以用来实现“线与”逻辑、电平转换以及直接驱动发光二极管、干簧继电器等。

TS门电路是在一般与非门的基础上，附加使能控制端EN和控制电路构成的。在EN有效时为正常工作状态，在EN无效时输出端被悬空，即处于高阻状态。利用TS门不仅可以实现线与，而且被广泛应用于总线传送。它既可用于单向数据传送，也可用于双向数据传送。

3.8 图（a）所示为三态门组成的总线换向开关电路，其中，A、B 为信号输入端，分别送两个频率不同的信号；EN 为换向控制端，输入信号和控制电平波形如图（b）所示。试画出Y1、Y2 的波形。



答:

当 $EN=0$ 时，从上向下第一个和第三个三态门有效，第二个和第四个三态门无效，此时， $Y1 = \bar{A}$ ， $Y2 = \bar{B}$ 。当 $EN=1$ 时，第二个和第四个三态门有效，第一个和第三个三态门无效，此时， $Y1 = \bar{B}$ ， $Y2 = \bar{A}$ 。Y1，Y2的波形图如图3-1所示。

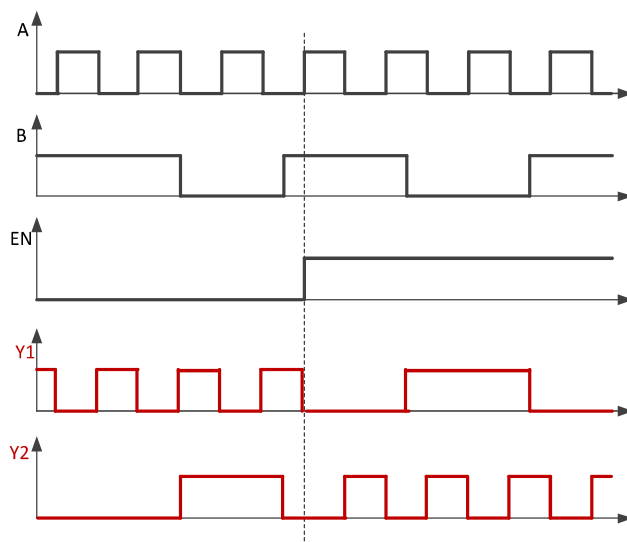


图 3-1 波形图

3.9 有两个相同型号的TTL 与非门，对它们进行测试的结果如下。

(1) 甲的开门电平为1.4V，乙的开门电平为1.5V。

(2) 甲的关门电平为1.0V，乙的关门电平为0.9V。

试问在输入相同高电平时，哪个抗干扰能力强？在输入相同低电平时，哪个抗干扰能力强？

答:

在输入相同高电平时，甲的抗干扰能力强。因为开门电平愈小，在输入高电平时的抗干扰能力愈强。

在输入相同低电平时，甲的抗干扰能力强。因为关门电平越大，在输入低电平时的抗干扰能力越强。

3.10 试画出实现如下功能的CMOS 电路图。

(1)  $F = \overline{ABC}$

(2)  $F = A + B$

(3)  $F = \overline{AB + CD}$

答:

(1) 实现 $F = \overline{ABC}$ 的CMOS电路图如图3-2所示。

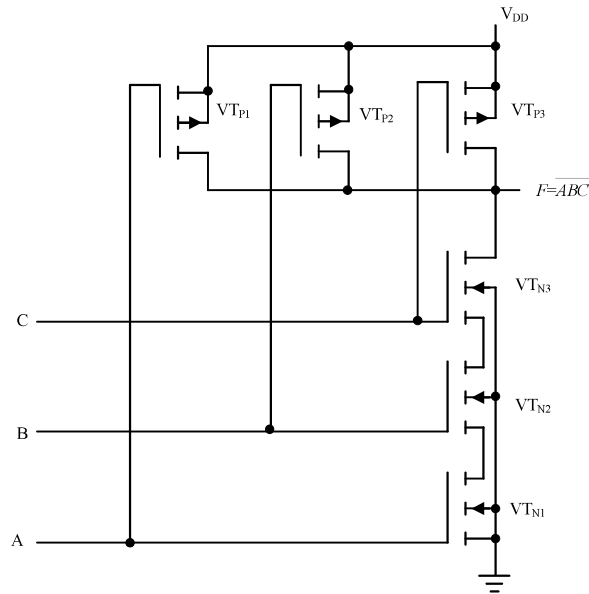


图3-2 电路图

(2) 实现 $F = A + B$ 的CMOS电路图如图3-3所示。

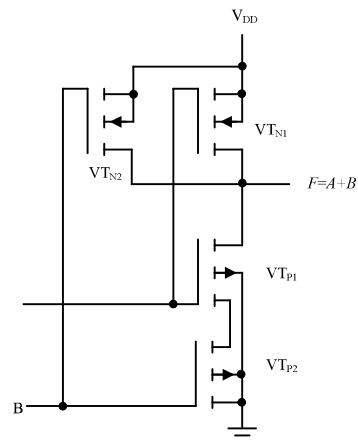


图3-3 电路图

(3) 实现 $F = \overline{AB + CD}$ 的CMOS电路图如图3-4所示。

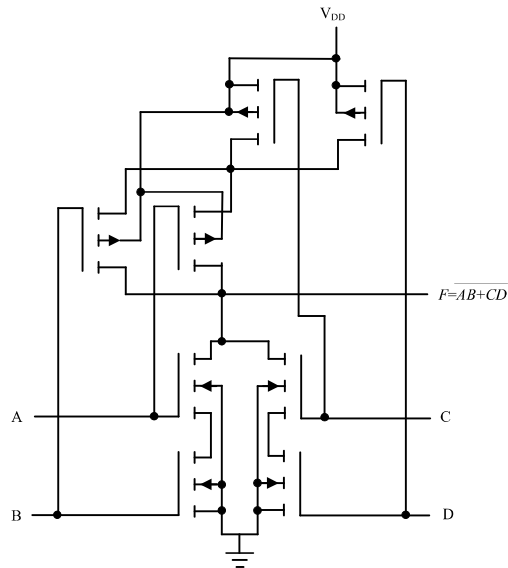


图3-4 电路图

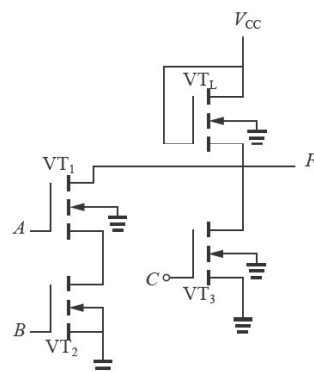
3.11 试指出下列5 种逻辑门中哪几种门的输出可以并联使用。

- (1) TTL 集电极开路门。
- (2) 采用推拉式输出的一般TTL 与非门。
- (3) TTL 三态输出门。
- (4) 普通CMOS 门。
- (5) CMOS 三态输出门。

答：

上述五种逻辑门中，TTL集电极开路门、TTL三态输出门和CMOS三态输出门的输出可以并联使用。

3.12 已知电路如下图所示，试写出F 与A、B、C 之间的逻辑关系表达式，并画出逻辑图。



答:

当A、B为高电平，或者C为高电平时，输出F为低电平，所以该电路逻辑关系表达式为 $F = \overline{AB + C}$ ，相应的逻辑图如图3-5所示。

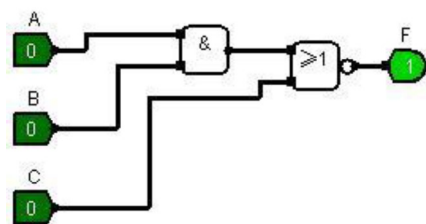
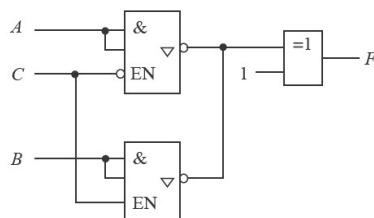


图3-5 逻辑电路图

3.13 已知电路如图3.62 所示，试写出F 与A、B、C 之间的逻辑关系表达式。

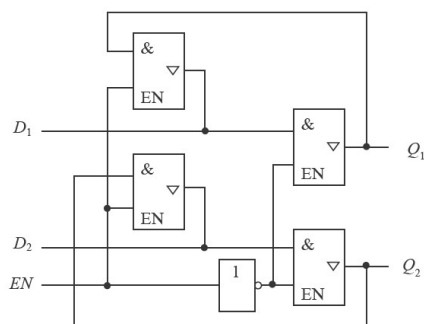


答:

当C=0时， $F = \bar{A} \oplus 1 = A$ ；当C=1时， $F = \bar{B} \oplus 1 = B$ ；综合可得：

$$F = A\bar{C} + BC$$

3.14 已知电路如图3.63 所示，试写出当EN=0 和EN=1时，D1、D2 与Q1、Q2的逻辑关系。



答:

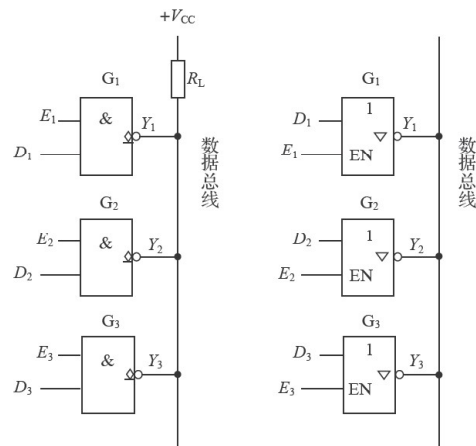
EN=0时右边两个三态门生效，D1、D2为输入端，Q1、Q2为输出端所以表达式为：

$$Q_1 = D_1, Q_2 = D_2。$$

EN=1时左边两个三态门生效，Q1、Q2为输入端，D1、D2为输出端所以表达式为：

$$D_1 = Q_1, D_2 = Q_2。$$

3.15 图3.64 所示为分别采用OC 门和三态门组成总线上分时传输的典型电路。试分析其工作原理的主要差异。



答:

左侧电路利用了OC与非门，当 $E_i=0$ 时 $Y_i=1$ ， $E_i=1$ 时 $Y_i = \overline{D_i}$  ( $i=1,2,3$ )，利用外加拉电阻 $R_L$ ，实现输出端线与逻辑。这样当 $E_1, E_2, E_3$ 只有1个为0时，对应的输入D值被反向后传入数据总线。但是由于有外加电阻，当 $E_1, E_2, E_3$ 均为0，数据总线为高电平，即不传输时，数据总线会在电阻 $R_L$ 上消耗电流，并且数据总线仍然被占用。

右侧电路使用高电平有效的三态与非门，当 $E_i=0$ 时输出高阻， $E_i=1$ 时 $Y_i = \overline{D_i}$  ( $i=1,2,3$ )。当 $E_1, E_2, E_3$ 只有1个为0时，对应的输入D值被反向后传入数据总线。当 $E_1, E_2, E_3$ 均为0，输出为高阻态，这样不需要传输时数据总线为高阻态，不影响总线被其它三态门电路所驱动，不至于造成冲突。