



Práctica 6: Diseño con memoria RAM

Diseñar una memoria RAM y usar *attribute* para realizar indicaciones a la herramienta de síntesis.

Entradas: clkFPGA, we, data_in, data_out, addr

Salida: leds 0 a 7

Para esta práctica es imprescindible consultar el *Vivado Design Suite User Guide - Synthesis*

Seguir los siguientes pasos:

1) Diseñar una RAM de 8 palabras de 8 bits con escritura síncrona y lectura asíncrona. La RAM estará inicialmente vacía (rellenarla con "0"). Con esta descripción, ¿qué tipo de RAM va a inferir Vivado?.

RAM distribuida

Sintetizarla y comprobarlo. Realizar una captura de pantalla del informe de síntesis:

```

126 Distributed RAM: Final Mapping Report
127 +-----+-----+-----+-----+-----+
128 |Module Name | RTL Object | Inference | Size (Depth x Width) | Primitives |
129 +-----+-----+-----+-----+-----+
130 |distr_RAM   | RAM0_reg   | Implied   | 8 x 8               | RAM16X15 x 8 |
131 +-----+-----+-----+-----+-----+

```

2) Probar el diseño en la FPGA: comprobar que inicialmente la RAM está vacía. Escribir en cada posición de memoria el número = pos. memoria + 3. En la posición 000 escribiremos 00000011, en la 001 un 00000100 etc. Revisar que el contenido de la memoria ha quedado correctamente escrito. Probar a escribir otro número en una posición de memoria cualquiera y comprobar que ha quedado correctamente escrito.

3) Cambiar el diseño para aumentar el tamaño de la RAM a una de 2^{14} palabras de 32 bits.

¿Qué tipo de memoria va a inferir Vivado?.

RAM distribuida

Comprobarlo en el informe de síntesis.

4) Cambiar el diseño de la RAM para que la herramienta de síntesis asigne nuestra memoria RAM a los bloques de RAM de la FPGA (BRAM).

Comprobarlo en el informe de síntesis. Realizar una captura de pantalla del informe de síntesis:

```

Block RAM: Final Mapping Report
+-----+-----+-----+-----+-----+-----+-----+-----+
|Module Name | RTL Object | PORT A (Depth x Width) | W | R | PORT B (Depth x Width) | W | R | Ports driving FF | RAMB18 | RAMB36 |
+-----+-----+-----+-----+-----+-----+-----+-----+
|BRAM        | RAM0_reg   | 16 K x 32(READ_FIRST)  | W | R |                       |   |   | Port A           | 0      | 16     |
+-----+-----+-----+-----+-----+-----+-----+-----+

```



5) Buscar qué atributo es necesario para que con el mismo diseño de 4) la herramienta de síntesis ubique nuestra RAM en LUTs y añadirlo al código VHDL.

Comprobarlo en el informe de síntesis. Realizar una captura de pantalla del informe de síntesis:

Distributed RAM: Final Mapping Report

Module Name	RTL Object	Inference	Size (Depth x Width)	Primitives
BRAM_LUT	RAM0_reg	User Attribute	16 K x 32	RAM256X1S x 2048

Nota: guardad cada versión de RAM debidamente comentada → indicad en los comentarios qué tipo de RAM infiere para cada diseño.

Entrega: mostrar el funcionamiento del apartado 2 en el laboratorio junto a este cuadernillo con los códigos VHDL de las distintas versiones y las capturas de pantalla del informe de síntesis

