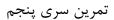
طراحی سیستم های دیجیتال

نیمسال اول ۹۹–۹۸

تاریخ تحویل ۱۳۹۸/۱۰/۲۷

مدرس: دكتر فلاحتى

پردازنده



ساختار این پردازنده به شرح زیر می باشد:

- ۱) پردازنده دارای ۴ رجیستر می باشد (R0,R1,R2,R3) که هر رجیستر ۳۲ بیتی می باشد و از رجیستر R0 به عنوان نگهدارنده ۳۲ بیت با ارزش در هنگام عملیات ضرب استفاده می شود (در عملیات ها هم ممكن است از R0 استفاده شود).
 - ۲) دستور های این پردازنده ۸ بیتی می باشد که ۲ بیت اول Opcode ۲ بیت دوم مبدا اول، ۲ بیت سوم مبدا دوم و ۲ بیت آخر نیز رجیستر مقصد می باشد.
 - ۳) این پردازنده می تواند عملیات های جمع و تفریق و تقسیم و ضرب را اجرا کند که اینکار ها توسط بخش ALU انجام مي شود.
 - ۴) رجیستر فایل این پردازنده می تواند دو آدرس رجیستر را هم زمان برای خواندن دریافت کند. ورودیهای رجیستر فایل: دو آدرس به عنوان آدرس مبدا، یک آدرس مقصد، یک ورودی به عنوان داده نوشته شده و دو سیگنال برای فعال نمودن حالت Read و Write دارد. همچنین رجیستر فایل دارای دو خروجی به عنوان داده خوانده شده می باشد.
 - ۵) Opcode ها به صورت زیر می باشند:
 - جمع: ٠
 - تفریق: ١
 - ضرب: ٢
 - تقسیم: ۳
 - ۶) بخش های مختلف پردازنده باید به صورت زیر پیادهسازی شوند:
 - بخش کنترلی: ساختاری (قسمت ترکیبی در سطح دروازه های منطقی و قسمت ترتیبی در سطح رفتاری)
 - بخش پردازشی: جریان داده
 - رجیستر فایل: رفتاری

مستندات

۱. ماژول ها و test bench های کامپایل شده به همراه screenshot از صفحه

قوانين

- ۱. زمان بندی تمرینات را رعایت فرمایید.
- ۲. در طول ترم، شما ۳ روز تاخیر مجاز دارید.
- ۳. تا زمانی که تمرینات در کلاس حل تمرین حل نشده باشند می توانید تحویل دهید.
 - ۴. از تقلب به شدت بپرهیزید، در صورت تقلب نمره هر دو طرف صفر می گردد.
- ۵. پاسخ های خود را به صورت یک فایل فشرده شده در سایت ادمودو بفرستید. نام فایل الزاما باید به فرم (+ KW5_FullName_st.id> باشد. (در صورت عدم رعایت این موارد تمرین شما تصحیح نمی گردد.)

زمانبندی

حمعه ساعت ۵۹:۲۳، ۲۷/۱۰/۲۷.

سامانههای ارتباطی

در صورت هرگونه اشكال، سوالات خود را از طريق سامانه ادمودو مطرح كنيد.

موفق باشيد

حسین امینی نیوشا استیری امیر حسین امینیمهر