

# Assignment #2 – Digital Door Lock design

Jin-Bae Kim    Young-Sun Yoon    Sae-Byuk Shin  
Supercomputing Laboratory @Yonsei (The 3<sup>rd</sup> Engineering 532)

ASSIGNED:	2016-12-03
DUE:	2015-12-14 (23:59)
	Submission after due date: <b>NOT ALLOWED</b> You are to do this assignment <b><u>ALONE!</u></b>

## 1. 개요

### 1.1. 과제 내용

- ❖ Quartus II 툴을 활용하여, Combinational digital door lock을 설계하여 FPGA 상에서 시험해보기

### 1.2. 제출 기한

- ❖ 2016년 12월 14일 오후 11:59까지(YSCEC 서버 시간 기준. 마감 기한 이후로부터의 과제 제출은 허용되지 않음)

### 1.3. 제출 방법

- ❖ 보고서 파일(pdf, word, odt등)과 Verilog HDL 코드(.v) 파일이 포함된 프로젝트 폴더 전체의 압축파일  
(\* .zip, \*.7z, \*.tar 확장자의 압축 파일만 허용함. 알집을 비롯한 유사 압축 프로그램을 사용하는 것은 절대 권장하지 않는다.)  
(권장하지 않은 압축 프로그램의 사용 및 압축/문서 형식 등으로 인해 발생하는 불이익은 본인이 모두 감수해야 한다.)  
(압축 해제 오류 시 0점 처리)

### 1.4. 제한 사항

- ❖ Quartus II 13.0  
(Quartus II 13.0sp1도 무방하다.)
- ❖ Verilog (VHDL이 아님!)  
(Hardware description language로는 오직 Verilog HDL만 인정한다. 문법 표준은 사용 툴의 Compiler를 기준.)
- ❖ 본 프로젝트는 개인 과제임  
(타인의 코드를 복제하여 제출하거나, 변수 명만 교체하여 제출하는 과제는 무효 처리)  
(과제 대행 서비스 의뢰와 같은 부정 행위 적발 시, 본 프로젝트는 0점 처리되며 학칙에 의거하여 징계)
- ❖ 인터넷 문서, 논문, 혹은 특정 도서를 참고하였을 경우, 보고서 마지막의 Reference 항목에 밝혀야 함  
(Text/Image/Table 등 발체 및 인용하였던 대상에 상관없이 모두 출처를 밝히시오.)  
(보고서에 인용을 표기하였더라도, 그대로 해당 문서의 글들을 통째로 복사하여 사용해도 된다는 것은 아닙니다. 이를 유념하세요.)  
(참고 자료를 통해 작업을 진행하더라도, 보고서는 본인의 표현 방식으로 서술해야 합니다.)
- ❖ FPGA 보드는 본 실습에서 제공하는 기종을 기준으로 함. (Altera Cyclone II - EP2C8F256C8)
- ❖ Pin Assignment는 제공되는 추가 자료를 기준으로 진행
- ❖ Unused Pins에 대해서 Reserve all unused pins를 "As input tri-stated"로 설정해야 합니다.  
(이를 지키지 않을 경우, 구현 부분 점수에서 상응하는 감점이 있음.)

## 2. 과제 세부 명세

### 2.1. 프로젝트 보고서

(보고서의 경우 프로젝트에서 수행한 Verilog HDL 작성 및 FPGA 프로그램 과정에 대해서 상세하게 서술한다.)

#### ❖ [프로젝트 보고서]

- (1) 프로젝트 개요 – 프로젝트 설명 및 개요, 구현한 추가기능이 있을 경우 반드시 본 항목에 서술하도록 한다.
- (2) 블록 다이어그램 – Combinational digital door lock 내부의 모듈 및 net의 연결 상태 등에 대해 묘사하는 그림
- (3) FSM 상태 전이도 – 본 프로젝트를 수행하는 과정 중에 설계된 FSM에 대해서 명확히 알 수 있도록 한다.
- (4) 모듈 별 동작 설명 – 본인이 작성한 Verilog HDL 코드 중 중요하다고 판단되는 부분들을 발췌하여 설명 제시
  - i. 본인이 작성한 코드라는 것을 충분히 설명할 수 있을 수준으로 제시해야 함.
- (5) FPGA 동작 결과
  - i. FPGA의 동작 결과에 대해서 서술
- (6) 결과 분석 및 토의, 고찰할 점 등을 서술
- (7) 시연 동영상
  - i. FPGA가 올바르게 동작하는지 확인하는 과정을 담는다. 외부 미디어 매체(YouTube 등)에 업로드 하여도 무방

### 2.2. Digital door lock 구현 – Verilog HDL 작성 / Pin Planning / FPGA Programming

- ❖ 컴파일 불가, FPGA 보드에 업로드 불가 등과 같은 문제가 발생시 [2.2 Digital door lock 구현] 항목은 0점 처리
  - ❖ 제공된 프로젝트 폴더를 압축 해제하여 사용하며, Pin/input/output은 미리 제공된 값을 사용 (기본 기능만 구현 시)
  - ❖ 기본 기능은 제공된 프로젝트 파일에서 digital\_door\_lock.v 파일만 수정하여 구현 가능하며, 다른 파일 또한 필요에 따라 추가/수정/삭제해도 무방
  - ❖ 추가 과제 수행 시 사용하는 모든 Pin에 대한 추가 할당이 완료된 상태로 제출하여야 함
  - ❖ 주요 기능 부위에는 주석을 반드시 작성해야 한다. 준수하지 않을 경우 감점 대상이 된다.
- ❖ [요구되는 주요 기능]

- (1) 기본 기능 : 4 x 4 Key matrix(그림 1)를 이용한 비밀번호 입력/변경

#### i. 비밀번호 입력 모드

- a. 초기 상태에서 사용자가 "\*" 버튼을 누를 경우 비밀번호 입력 모드로 진입
- b. 사용자는 key matrix를 사용하여 4자리 비밀번호(숫자)를 입력한 후 \*를 눌러 확인
- c. 비밀번호가 틀렸을 경우 즉시 7-segment가 꺼지며, 새로운 입력 시도를 받음
- d. 비밀번호가 맞았을 경우 일정 시간(2~5초) 7-segment 상의 숫자가 깜빡인 후 초기 상태로 되돌아감
- e. 아무 숫자도 입력하지 않은 상태에서 다시 \*를 입력 받을 시 초기 상태로 변경



그림 1

#### ii. 비밀번호 변경 모드

- a. 초기 상태에서 사용자가 "#" 버튼을 누를 경우 비밀번호 변경 모드로 진입
- b. 사용자는 key matrix를 사용하여 4자리 비밀번호(숫자)를 입력한 후 #을 눌러 확인
- c. 비밀번호가 틀렸을 경우 즉시 7-segment가 꺼지며, 새로운 입력 시도를 받음

- d. 비밀번호가 맞았을 경우 일정시간(1~2초) 7-segment 상의 숫자가 깜빡인 후 새로운 비밀번호 입력
- e. 새로운 비밀번호를 입력 받고 #을 누를 시 비밀번호 변경을 완료하며, 초기 상태로 변경