

10 장

자판기 제어기



1. 실험 목표

- 순차회로의 실제 응용을 위한 설계 기술을 이해한다.
- 실생활 응용인 자판기 제어기 설계를 통해 설계 요구사항 정립, 명세 정립, 상태 전이도 설계를 통한 전체적인 설계과정을 습득한다.
- 유한 상태 머신(FSM) 표현기법, 상태 테이블, 조합회로 설계 전 과정을 실험하여 다양한 제어기를 설계할 수 있는 능력을 기른다.

2. 실험 이론

이 실험에서는 우리 일상 생활에서 많이 활용되는 자판기 제어기의 동작 원리와 구조를 설계한다. 특히 주어진 설계 요구 사항에 대한 명세서를 명확히 하는 것은 최적화된 설계를

수행하는 데 매우 중요하다. 설계 대상은 커피 자판기로 1 개의 동전 투입구가 존재하며, 1 잔의 가격은 150 원 이다. 이러한 자판기를 설계하는 데 있어 전체 요구되는 면적, 전력, 입력/출력에 대한 파라미터 값의 정확한 규정은 최적화된 설계를 하는데 매우 중요하다.

가) 자판기의 동작

이 자판기는 [그림 12-1]과 같이 커피 자판기를 설계하려고 한다. 커피 1 잔의 가격은 150 원이다. 자판기의 동전 검사기는 50 원짜리와 100 원짜리 동전만을 검사할 수 있다. 자판기의 설계를 단순화하기 위해서 잔돈을 반납하는 장치는 만들지 않기로 한다. 커피를 사려는 사람은 먼저 자판기의 논리회로를 리셋하게 하는 버튼을 누르고 돈을 넣는다. 품절되었을 때와 같은 예외 사항에 대해서는 고려하지 않는다.

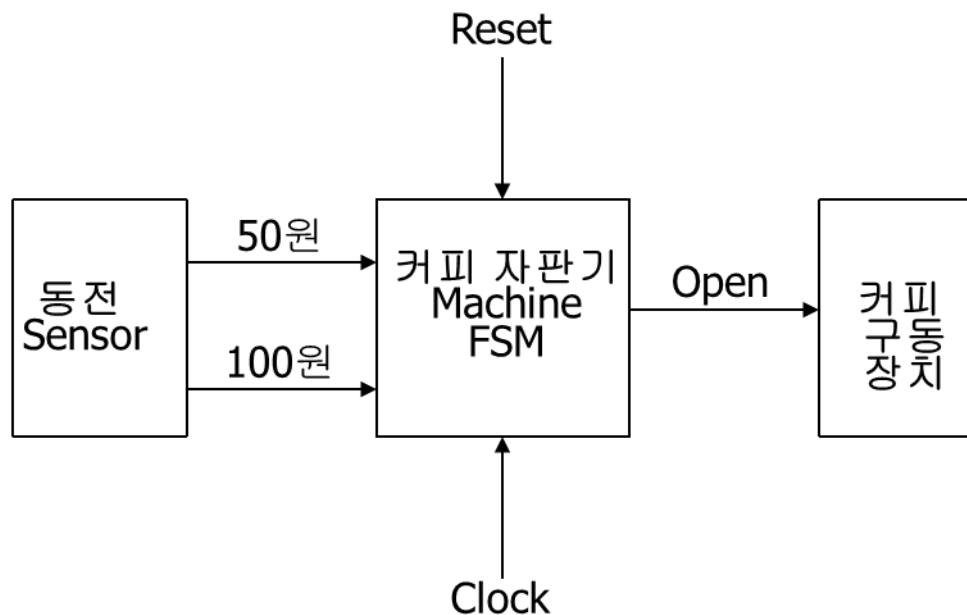


그림 12-1: 커피 자판기 제어기

나) 자판기의 설계 명세표

이러한 자판기 제어기의 동작은 [그림 12-2]에서와 같이 정의되며, [표 12-1]에서와 같이 상태 전이 테이블을 정의할 수 있다. 제어기는 50 원과 100 원짜리 동전 2 가지만 사용하여 동작한다. 100 원짜리 동전과 50 원짜리 동전으로 150 을 투입하는 모든 가능한 경우의 수는 (50 원, 50 원, 50 원), (50 원, 100 원), (100 원, 50 원), (100 원, 100 원) 이다. 그리고 200 원 이상의 돈을 넣어도 커피는 1 잔만 나오도록 하며, 잔돈은 돌려주지 않는다.

[그림 12-2]에서와 같이 제어기의 시동과 함께 상태 S0 에서 동작한다. 동전이 투입되지 않으면 제어기는 계속 현재 상태를 유지하며 커피 자판기는 작동하지 않는다. 50 원이나 100 원이 자판기로 투입되면서 제어기의 상태는 변화하게 된다. S50 과 S100 은 각각 50 원과 100 원이 투입되었을 때 전이된 상태로, 더 이상 동전이 투입되지 않으면 각각의 상태를 유지하도록 되어있고, 추가로 동전이 투입되어야 상태 S150 을 진행하게 되며, S150 상태에 이르면 OPEN 신호가 구동되어 커피가 나오게 된다.

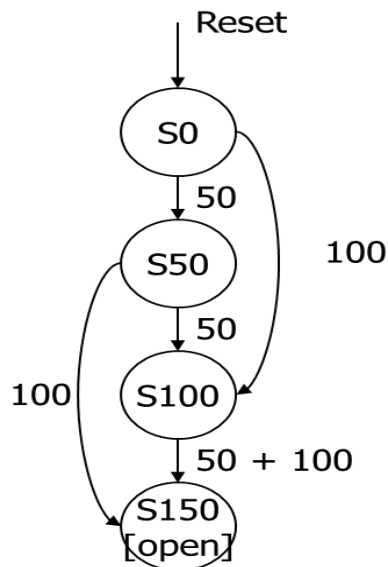


그림 12-2: 자판기의 상태 전이도.

present state	inputs		next state	output open
S0	0	0	S0	0
	0	1	S50	0
	1	0	S100	0
	1	1	—	—
S50	0	0	S50	0
	0	1	S100	0
	1	0	S150	0
	1	1	—	—
S100	0	0	S100	0
	0	1	S150	0
	1	0	S150	0
	1	1	—	—
S150	—	—	S150	1

symbolic state table

표 12-1: 자판기의 상태 정의표

제어기 작동 환경을 간단하게 가정하기 위해서 S150 에 도달하면 더 이상의 입력에 상관없이 초기 상태 S0 로 복귀하면서 OPEN 신호에 1 을 내보내고 자판기에서 커피가 나오게 된다.

3. 예비보고서 작성

■ [그림 12-2]의 상태 전이도에 해당하는 자판기 제어기를 Verilog HDL 을 사용하여 Behavioral modeling 의 형태로 구현하시오.

4. 실험에 필요한 기기

- 실험용 PC
- Quartus II, Modelsim 소프트웨어
- FPGA 실습 보드

5. 실험 내용과 과정

- ① Quartus II 를 실행하고 새로운 프로젝트를 생성한다. 단, 생성 시 Device Family 는 Cyclone II 로 하고, Available devices 는 EP2C8F256C8 로 한다.
- ② Hierarchy 창에서 Device 설정을 다음과 같이 바꾼다. (Unused Pins -> As input tri-stated)
- ③ 예비 보고서에서 작성한 Verilog HDL 코드를 옮기고, 컴파일을 시도한다.
- ④ Assignment -> Pin Planner 를 실행한 후 설계한 모듈의 입 출력 핀을 할당한다.
- ⑤ 실습보드와 PC 를 USB Blaster 로 연결하고, Tools -> Programmer 를 실행하여 설계한 모듈을 FPGA 에 program 한다.
- ⑥ 실습보드에 설계한 모듈이 정상 작동하는지 확인한다.

6. 실험 결과 보고서

- ① Simulation 에서 정확한 동작 결과가 나오는지 확인하시오.
- ② 200 원이 투입되는 경우 잔돈을 되돌려 받을 수 있도록 재 설계하시오.
- ③ (2)에 대한 FSM 상태 변이도를 작성하시오.