

7 장

Latch & Flip-Flop



1. 실험 목표

- ▣ R-S 래치의 구조와 기본 동작을 이해한다.
- ▣ Enabled R-S 래치 구조와 동작을 이해한다.
- ▣ D-FF (플립플롭)의 구조와 동작을 이해한다.

2. 실험 이론

디지털 시스템에서 데이터를 저장하는 1-비트 기본 소자는 인버터 체인 (Inverter chain)으로 구성되며, 이는 SRAM (static random access memory)의 기본 소자이다. 이러한 1-비트 인버터 체인에서 인버터를 NOR 게이트로 대체하면 R-S 래치의 구조로 변환되며, 여분의 입력을 R

(Reset)과 S (Set)의 기능으로 활용한다. 그러나 R, S 입력에 대한 4 가지 조합은 안정적인 1-비트 데이터를 저장하는 기능에 불필요한 상태를 야기시켜, 보다 안정적인 구동 구조로 Enabled R-S Latch, Master Slave R-S Latch, D-FF (플립플롭)의 형태로 발전하여, 다양한 레지스터의 기본 구조에 활용된다. 래치 구조는 입력이 변화하면 출력이 상응하게 변화하는 저장 구조이며, 플립플롭은 클럭의 변화에 따라 입력을 획득하여 출력을 제공하는 저장 구조이다. 이 실험에서는 기본 R-S 래치와 Enabled R-S 래치, D-FF 의 구조와 동작을 실험하게 된다.

가) R-S Latch (래치)

래치는 입력이 변화하면 출력이 변화하며, 출력은 0 과 1 의 두 가지 값을 갖는다. 래치의 출력은 0 이나 1 의 두 가지 안정된 상태를 갖는 회로이기 때문에 2 안정(bi-stable) 회로라고 불린다. 따라서 래치는 이진 정보의 기억, 주파수 분할, 카운터 제작 등 여러 가지 디지털 회로에서 가장 많이 응용되는 대표적 회로이다.

R-S 래치는 NOR 게이트나 NAND 게이트로 구성이 가능하다. 두 개의 NAND 게이트를 이용한 간단한 R-S 래치의 구조는 [그림 9-1(a)]와 같다. 두 개의 NAND 게이트의 입력은 S 와 R 이며, 출력은 Q 와 Q'이다. R-S 래치의 동작은 두 개의 입력 R 과 S 에 의해 [그림 9-1 (C)]와 같은 동작 진리표를 갖는다. S 와 R 모두 0 이 입력되면, 이전 상태값을 유지 (Hold)하게 된다. 예를 들어 R=S=0 이며, Q 가 1 이고, Q'이 0 이면, R-S 래치 출력값은 이전 Q=1, Q'=0 을 그대로 유지한다. 그러나 NAND 게이트의 두 입력이 모두 1 이면, Q=Q'= 0 이 되어 Q 와 Q'의 정의된 관계를 위반하게 된다.

하나의 안정 상태에서부터 다른 안정 상태로 바꾸려면 S 나 R 입력에 1 을 제공하면 된다. Q=1 이고, Q'=0 일 때, R 입력에 1, S 입력에 0 을 입력하면, 하위 단 NAND 게이트 의 출력, Q'= 1 이 되고, 상위 단 NAND 게이트의 두 입력은 모두 1 이 되어 Q=0 이 된다.

S 입력에 1 을 입력하면, Q 는 1 이 되어 출력 값이 1 로 세트(set) 되었다고 한다. 그 반대로 R 에 1 이 입력되면, Q 는 0 이 되어 출력이 리셋(reset) 되었다고 한다. 따라서 래치의 S 입력은

세트(set)입력이고 R 입력은 리셋(reset)입력이다. Q 는 기준 출력이 되고 항상 Q'과 반대의 값을 제공하도록 관계가 정립되어 있다.

기본적인 R-S 래치 회로 기호는 [그림 9-1(b)]와 같고, 동작 진리표는 [그림 9-1(c)]와 같다. 진리표의 첫 번째 항의 입력(S=R=1)은 출력 Q 를 1 이 되게 하고, 그 후 S 나 R 입력이 제거되었을 때 어떤 상태가 될지 예측할 수 없기 때문에 사용되지 않는 입력이다. 이 회로를 Verilog HDL 로 표현한 것이 [그림 9-2]와 같다.

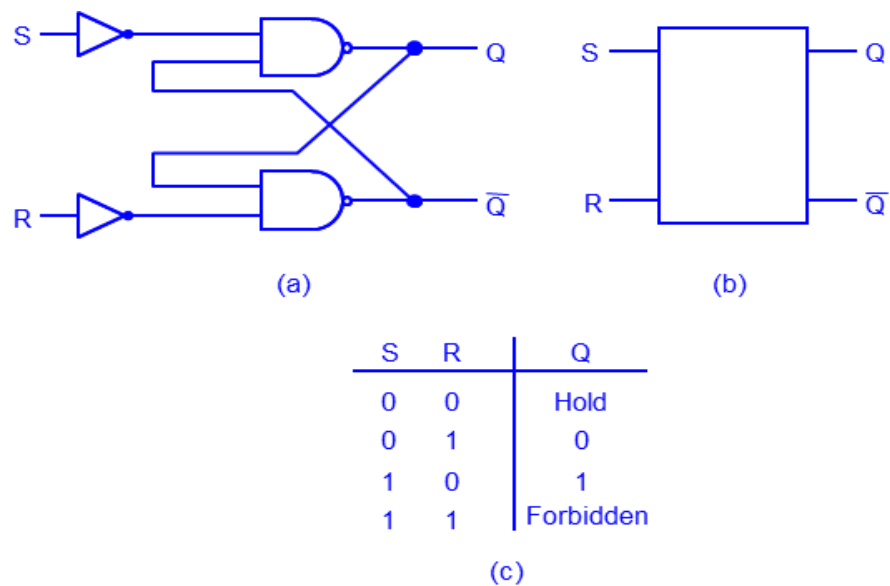


그림 9-1: R-S 래치 (a) 구조, (b) 기호, (c) 진리표

```

1 module RS_LATCH_nand(S, R, Q, QN);
2     input S, R;
3     output Q, QN;
4     wire w1, w2;
5
6     not not1 (w1, S);
7     not not2 (w2, R);
8
9     nand nand1 (Q, w1, QN);
10    nand nand2 (QN, w2, Q);
11
12 endmodule

```

그림 9-2: R-S 래치의 Verilog HDL 코드

나) Enabled R-S 래치

대부분의 디지털 회로는 시스템의 클럭 신호에 의해 동기적(synchronous)으로 작동한다. R-S 래치의 정확한 동작을 보장하기 위하여, 정확한 시점에 입력이 제공되도록 설계하는 것이 필요하다. [그림 9-3(a)]와 같이 래치를 구성하면 R-S 래치의 상태는 클럭 신호에 맞추어서 입력을 감지하고 출력이 바뀌어 질 수 있다. [그림 9-3(b)]는 Enabled R-S 래치의 동작 진리표이다.

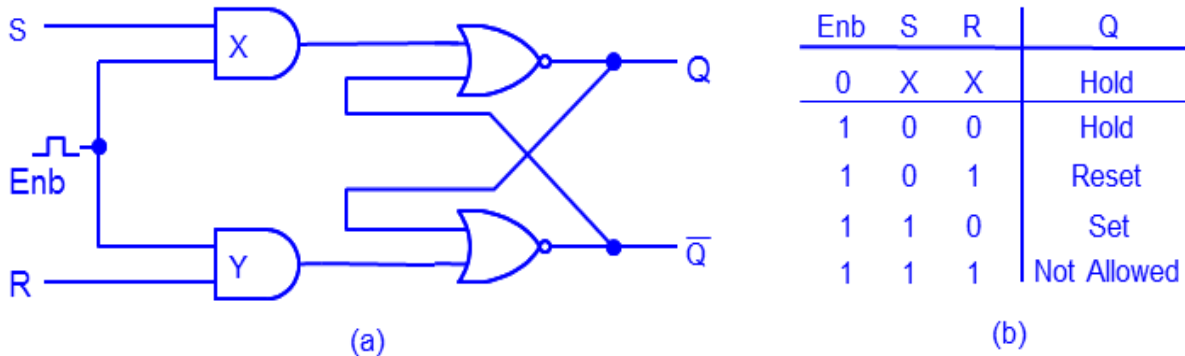


그림 9-3: Enabled R-S 래치 (a) 회로도, (b) 진리표

```

1 module EN_SR_LATCH(S, R, Enb, Q, QN);
2     input S, R, Enb;
3     output Q, QN;
4     wire w1, w2;
5
6     and and1 (w1, S, Enb);
7     and and2 (w2, Enb, R);
8
9     nor nor1 (QN, w1, Q);
10    nor nor2 (Q, w2, QN);
11
12 endmodule

```

그림 9-4: Enabled R-S 래치의 Verilog HDL 코드

[그림 9-3(b)]에서의 진리표와 같이 래치의 Enable 펄스가 0 인 경우 S, R 입력과 상관없이 앞 단의 A, Y AND 게이트는 모두 0 이 되므로, 다음 단의 R-S 래치는 이전 상태를 유지하는 Hold 상태를 나타나게 된다. 그러므로 Enable 펄스가 1 인 경우에만 정상적인 래치처럼 동작하게 되어, 원하는 입력신호가 안정적인 시점에 선택적으로 입력 값을 취할 수 있도록 하여, 불필요한 노이즈에 의한 오 동작을 방지할 수 있게 한다. 이 회로의 Verilog HDL 코드는 [그림 9-4]와 같다.

다) 에지 구동형 (Edge Triggered) D-FF

Enabled R-S 래치는 기존의 R-S 래치의 Forbidden 상태나 입력이 $R=S=1$ 에서 $R=S=0$ 으로 동시에 변화하는 경우 발생하는 경쟁 (Racing) 상황을 제거하기 위하여 클럭 동작에 맞추어 작동하도록 2 중 R-S 래치를 직렬로 구성하는 Master/Slave 플립플롭으로 발전하게 된다. 이러한 Master/Slave 플립플롭은 추가적인 노이즈를 정상 입력으로 처리하는 부수적인 문제를 야기하여, 이러한 조건을 제거하도록 R S 입력을 같은 값이 발생할 수 없도록 설계한 구조가 D-FF 이며, D-FF 은 입력을 클럭 1 일 때 작동하는 방식이 아니라 클럭이 0 에서 1 로 변화하는 시점이나, 혹은 1 에서 0 으로 변화하는 시점에 입력을 선택하여 안정적인 출력을 제공하도록 설계 되어 진다.. 전자를 양 모서리 구동형(positive edge triggered)이라 하고, 후자를 음 모서리 구동형(negative edge triggered)이라 한다. D-FF 의 기호와 동작 파형을 [그림 9-5]에 나타 내었다. D-FF 은 입력신호를 클럭 신호에 맞추어 선택하여 출력에 그대로 전달하는 특성을 보여준다. 양 모서리 구동형 D-FF 을 Verilog HDL 로 나타내면 [그림 9-6]와 같다.

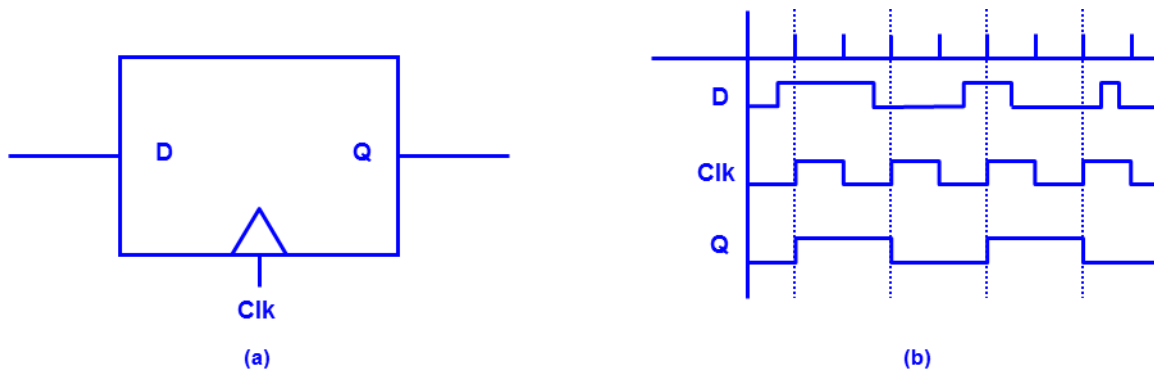


그림 9-5: 에지 구동형 D 플립플롭 (a) 기호, (b) 에지 구동형 플립플롭의 파형

```
1 module D_FF(Q, D, Clk);
2     input D, Clk;
3     output Q;
4
5     reg Q;
6
7     always @ (negedge Clk)
8         Q = D;
9
10    endmodule
```

그림 9-6: 에지 구동형 D-FF 의 Verilog HDL 코드

3. 예비보고서 작성

- NOR 형 R-S 래치의 구조와 동작에 대해 조사하시오.
- Enabled 래치의 입력과 Enable 신호 변화에 따른 동작을 설명하시오.
- 에지 구동형 D-FF 의 구성과 동작 방법에 대해 조사하시오.

4. 실험에 필요한 기기

- 실험용 PC
- Modelsim-Altera 소프트웨어

5. 실험 내용과 과정

- ① 예비보고서 작성 과정에서 조사한 내용들을 바탕으로, 교재에서 언급된 latch 및 flip-flop 들을 Verilog HDL 로 모델링 한다.
- ② 이 과정에서 Modeling/Simulation 툴로는 Modelsim-Altera 를 사용한다.
- ③ 실험 자료 및 안내 자료에 따라 각 gate 별로 delay 를 설정해주고, 모든 Verilog HDL 코드마다 `timescale 1ns/100ps 처럼 시뮬레이션 시간 단위 및 해상도를 정의한다.
- ④ 실험 결과를 기반으로 결과보고서 내용을 작성하고, 추가적인 모델링 과정 및 시뮬레이션을 통한 검증 과정을 요구하는 항목을 수행한다.

S	R	Enb	Q
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

표 9-1: Enabled R-S 래치의 결과값

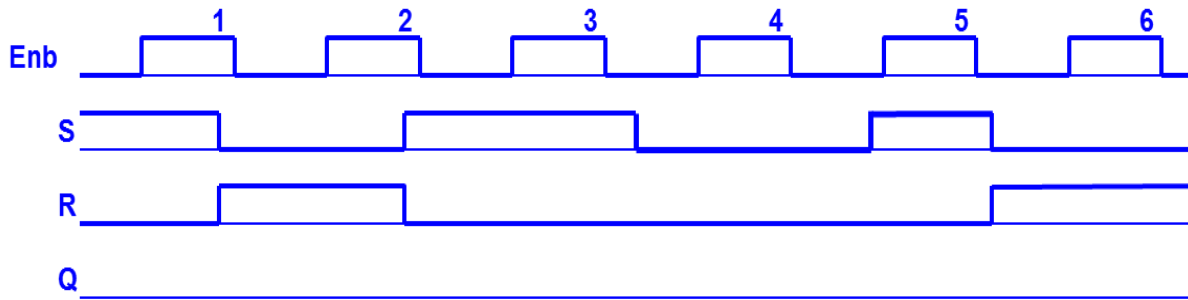


그림 9-5: Enabled R-S 래치의 파형도

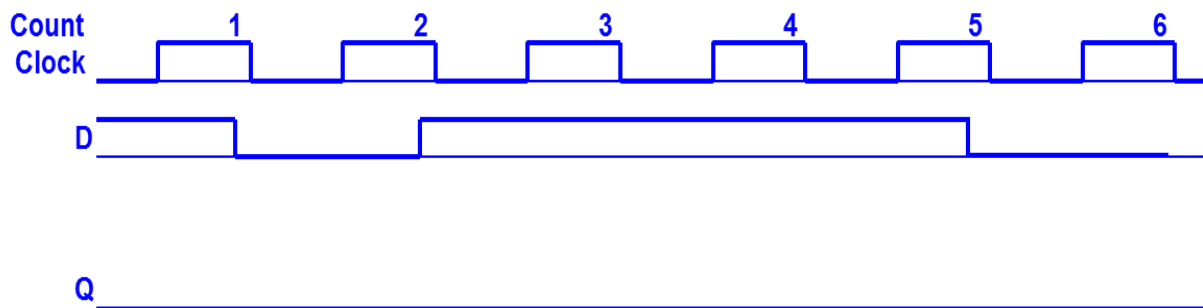


그림 9-6: 에지 구동형 D-FF의 파형도

6. 실험 결과 보고서

- ① 교재에서 제시된 래치 및 플립 플롭들을 Verilog HDL 을 통해 모델링 한 후, 시뮬레이션을 통해 이를 검증하시오.
R-S latch, Enabled R-S latch, Edge triggered D-FF
그리고 표 9-1, 그림 9-5, 그림 9-6 을 알맞게 채워 넣으시오.
(단, Dataflow modeling 및 Gate-level description 을 권장하며, gate delay 는 조교의 안내에 따라서 parameter 로 선언하여 적용하시오.)
- ② R-S 래치의 허용되지 않는 입력을 방지하는 방법에 대해서 제시하시오. 그리고 그 방법을 기반으로, Verilog HDL 로 구현한 결과물을 시뮬레이션 하여 검증하시오.
- ③ D-FF 의 Setup time, Hold time 에 대해서 설명하시오.
- ④ 플립플롭과 래치의 차이에 대해 설명하시오.