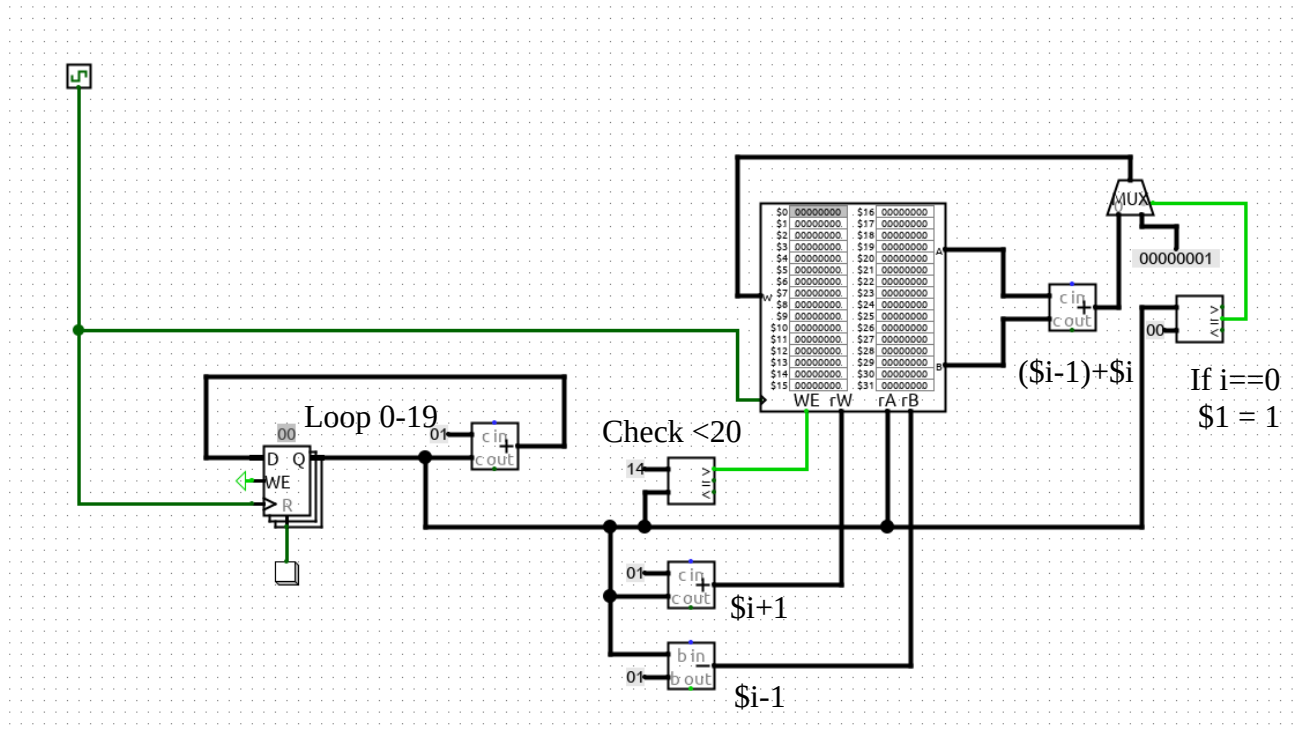


1.



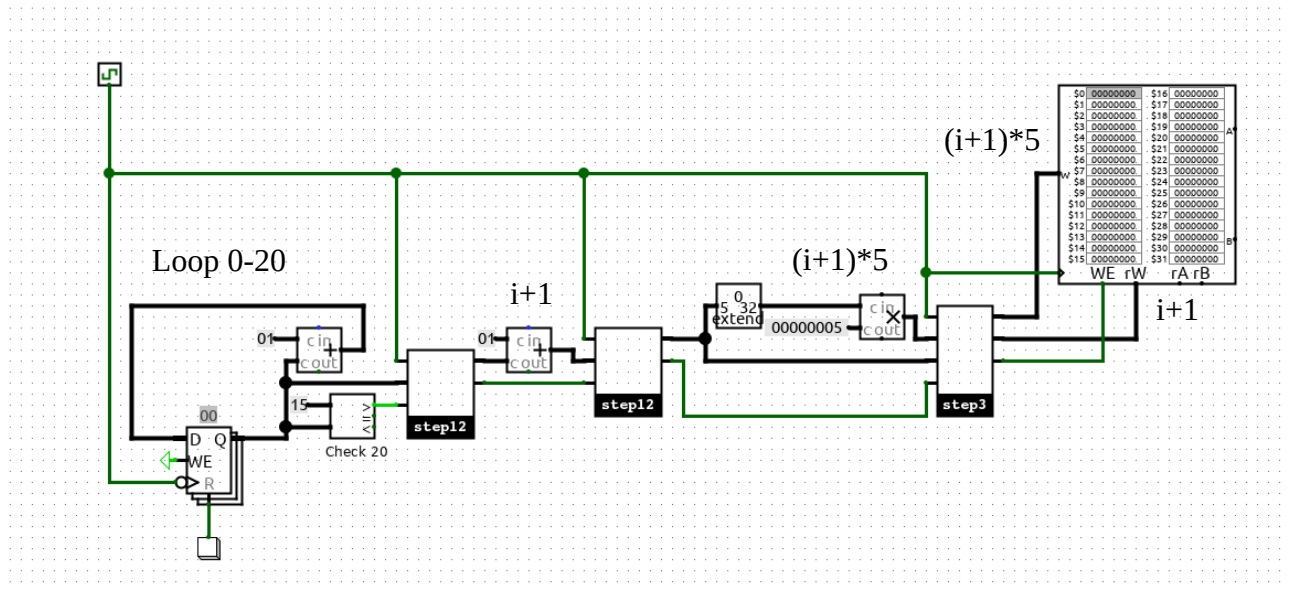
Hardware : D-FlipFlop, Adder, Comparator, MIPS Register, Mux

ขั้นแรกจะเริ่มทำงานจาก $i=0$ จากนั้นตรวจสอบว่าเกิน 20 หรือไม่ แล้วคำนวณค่า $i+1$ $i-1$ เพื่อนำ address i และ $i-1$ มาบวกกัน ซึ่งหาก $I=0$ จะให้ค่าเท่ากับ 1

จากผลการทดสอบสามารถทำงานได้อย่างถูกต้อง

กรณีเดียวที่จะผิดพลาดคือ ค่า $\$0 \neq 0$ ซึ่งจะส่งผลให้ hardware คำนวณ fibo นั้นผิดพลาด

2.



Hardware : D-flipflop, Adder, Comparator, MIPS Register, Mux, Register , Multiplier

ขั้นแรก เริ่มการทำงานจาก 0 พร้อมทั้งตรวจเช็คค่าเกิน 20 หรือไม่ จากนั้นจึงส่งบิต i และ check (1 or 0)

ขั้นสอง รับบิต i และบิต check มา โดยนำ i+1 แล้วจึงส่งทั้งสองบิต

ขั้นสาม รับบิต i+1 และบิต check คำนวณ $(i+1)*5$ แล้วจึงส่งผลลัพธ์ดังกล่าว รวมถึงบิต i+1 และ check

ขั้นสี่ รับบิต i+1, $(i+1)*5$, check มา ต่อกับเข้ากับ mip register เพื่อบันทึกค่า

ทั้งนี้ระหว่างการส่งข้อมูลแต่ละเส้นจะมี register มาคอยรับและส่งออก เพื่อทำการบันทึกข้อมูลของ cycle นั้นๆ

จากการทดสอบฮาร์ดแวร์สามารถทำงานได้ถูกต้อง

3

3.1 address = 48 bits bit-cache = 17, bit-cache-block = 6 >>> index = 11

tag = 31

index = 11

offset = 6

3.2 address = 32 bits bit-cache = 17, 8-way = 3 bits, bit-cache-block = 5 >>> index = 9

tag = 15

Index = 9

offset = 8

3.3 miss column(i) = 0.5

size row = n

size column = n

miss = (miss column * size row) *size column = 0.5*n*n