

การทดลองที่ 4 SOP (Sum of Products) , K-Map (Karnaugh Map) และ FPGA เบื้องต้น

วัตถุประสงค์

1. เพื่อให้นักศึกษาเข้าใจความหมายของสมการ Minterm และสามารถนำมาสร้างเป็น Truth Table ได้
2. เพื่อให้นักศึกษาสามารถสร้างสมการ Sum of Products (SOP) ได้
3. เพื่อให้นักศึกษาสามารถลดรูปสมการบูลีน โดยใช้ K-Map (Karnaugh Map)
4. เพื่อให้นักศึกษาฝึกใช้งานโปรแกรม툴ช่วยการออกแบบวงจรดิจิทัลเป็น
5. เพื่อให้นักศึกษาฝึกใช้งาน FPGA เบื้องต้น

บทนำ

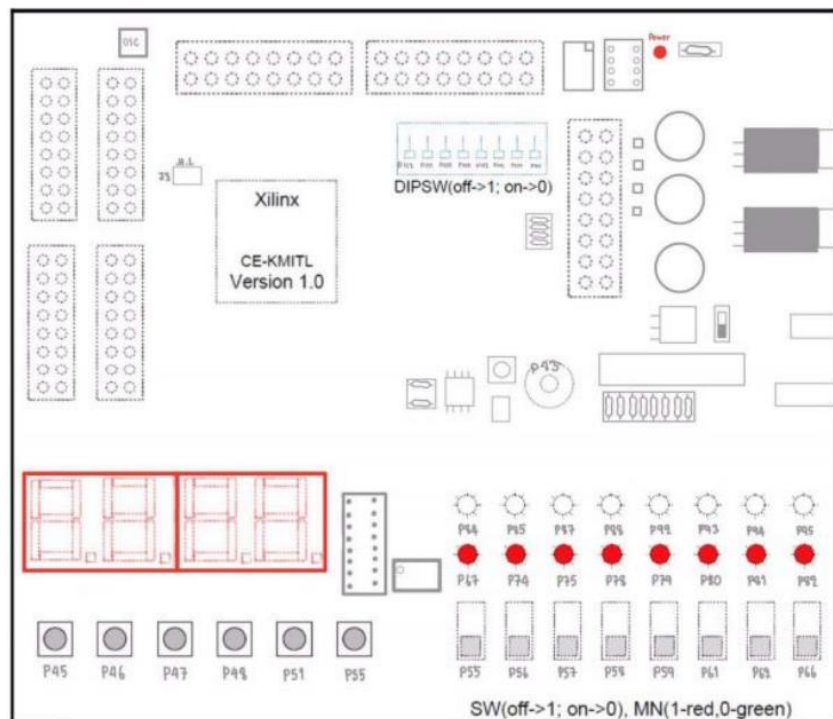
การทดลองนี้แตกต่างจากการทดลองที่ผ่านมา นักศึกษาจะได้รู้จักการออกแบบวงจรด้วยการวาดรูป (Schematic Circuit) และบันทึกโปรแกรมลงในชิป Field Programmable Gate Array (FPGA) โปรแกรม ISE Xilinx WebPACK นักศึกษาที่มีหนังสือ “ออกแบบไอซีดิจิทัลด้วย FPGA และ CPLD ภาคปฏิบัติ โดยใช้วิธี Schematic ซอฟต์แวร์툴 ISE WebPACK”ให้อ่านหนังสือก่อนการทดลองในบทที่ 1 และ 2 ก่อนบอร์ทดทดลอง

วงจรดิจิทัลในปัจจุบันมีความซับซ้อนสูงทำให้การปรับแก้ไขวงจรทำไม่สะดวก การลากสายไฟการ ติดตั้ง ไอซีเกดเพิ่มเติมเพื่อปรับเปลี่ยนการทำงานของวงจรทำได้ยาก จึงมีการใช้ไอซีที่สามารถโปรแกรมวงจรได้ ซึ่งมีหลายแบบไม่ว่าจะเป็น Generic Logic Array (GAL), Programmable Array Logic (PAL), Programmable Logic Device (PLD), Complex Programmable Logic Device (CPLD) และ Field Programmable Gate Array (FPGA) ซึ่งล้วนแต่มีลักษณะที่แตกต่างกัน ทั้งขนาดจำนวนเกต ภาวการณ์คงอยู่ ของโปรแกรม/ข้อมูล การโปรแกรม โดยการทดลองนี้ใช้งาน FPGA

FPGA มีหลายบริษัทเป็นผู้ผลิต แต่มีสองบริษัทใหญ่คือ Xilinx กับ Altera โดยตระกูลผลิตภัณฑ์ของ Xilinx ที่นิยมกันคือตระกูล Spartan รุ่นเทคโนโลยีขนาด 45nm และตระกูล Virtex รุ่นเทคโนโลยีขนาด 28nm

ทางด้าน Altera ตระกูลผลิตภัณฑ์ที่นิยมคือตระกูล Stratix รุ่นเทคโนโลยีขนาด 40nm และ 28nm การทดลองในวิชานี้ใช้ Xilinx Spartan-6 รุ่นเทคโนโลยีขนาด 45nm

ทั้งนี้ Spartan-3 ที่ใช้ในการทดลองคือรุ่น XC6SLX9 มีความจุขนาด 400,000 เกต จำนวนเกตอย่างมาก ยังสามารถสร้างวงจรที่มีขนาดใหญ่และซับซ้อนได้ จุดอ่อนที่ต้องระมัดระวังของ FPGA คือมีอายุการใช้งาน จำกัด กล่าวคือสามารถเขียนโปรแกรมลงได้ไม่เกิน 20,000 ครั้ง จากนั้นต้องเปลี่ยนไอซี FPGA ใหม่ การเขียน โปรแกรมลง FPGA ทำได้โดยใช้สายซึ่งใช้มาตรฐานการเชื่อมต่อแบบ Joint Test Action Group (JTAG) และ ส่งผ่านโปรแกรมด้วย Parallel Port to JTAG (ปัจจุบันนิยมใช้ USB to JTAG มากกว่า)



รูปที่ 1 เลย์เอาต์ของบอร์ด FPGA รุ่น XC6SLX9

บอร์ด FPGA ที่ใช้ในการทดลองดังรูปที่ 1 นั้นหมายเลข Pxx ต่างๆ ระบุถึงขาที่เชื่อมกับตัวชิป FPGA ฉะนั้นจึงไม่ควรสัมผัสตัวไอซี ขา และส่วนประกอบในบอร์ด เนื่องจากไฟฟ้าสถิตจากร่างกายอาจก่อให้เกิด ความเสียหายแก่ไอซี อีกทั้งยังทำให้เกิดฮาร์ดแวร์ที่ขาและส่วนประกอบโลหะในวงจร

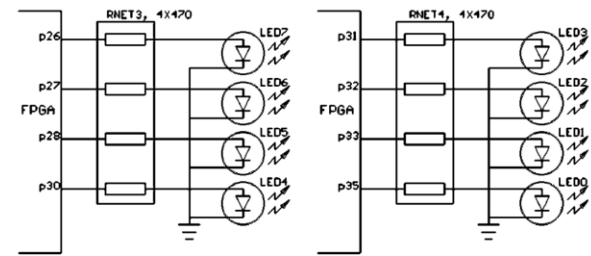
วงจรภายในของบอร์ดทดลอง

- สวิตช์ (SW0-SW7) ลักษณะการต่อภายในวงจรเป็นการต่อแบบ R-Pull Up ดังรูปที่2ซึ่งตัว ด้านทาน ต่อเข้า VCC เพื่อรักษาระดับของแรงดันให้คงที่ วงจรจึงอยู่สถานะลอจิก "1" ตลอดเวลา และ เมื่อเลื่อน สวิตช์จะให้สถานะลอจิก "0" หรือที่เรียกว่า Active Low เพราะจะทำงาน (ON) เมื่อ กระแสไฟฟ้าไหลลง กราวด์ วงจรแบบ Pull Up ได้รับความนิยมมากเพราะกันสัญญาณรบกวนได้ดี ฉะนั้นเมื่อเลื่อน SW = OFF ให้ “1” และ ON ให้ “0”



รูปที่ 2 วงจร R-Pull Up (ซ้าย) และวงจร R-Pull Down (ขวา)

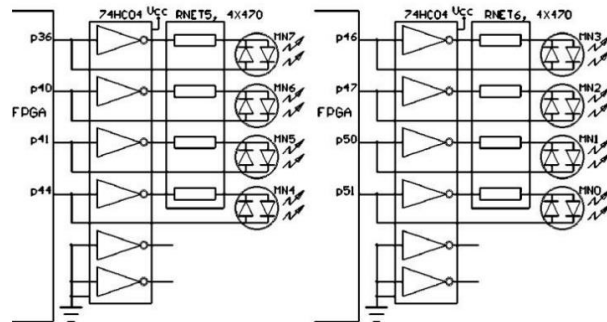
- หลอดLED0-LED7 ลักษณะวงจรเป็นดังรูปที่3สัญญาณลอจิกจากFPGAผ่านRความต้านทาน 470 Ω เพื่อจำกัดกระแสป้องกัน LED เสียหาย ฉะนั้น เมื่อ กำหนดให้ Pxx ดังกล่าวเป็น “1” หลอด LEDx จะ สว่างเป็นสีแดง และเมื่อกำหนดให้ Pxx เป็น “0” LED จะไม่สว่าง



รูปที่ 3 วงจรขับ LED สีแดง

- หลอด LED สองสี (MN0-MN7) ลักษณะวงจรขับแสดงดังรูปที่4ลักษณะวงจรมีอินเวอร์เตอร์ ทำหน้าที่ กลับบิตโดยต่ออนุกรมกับ LED กับ R ความต้านทาน 470 Ω เพื่อจำกัดกระแสป้องกัน LED เสียหาย หาก ลอจิกที่ขา P36 (รุ่นที่ใช้ในการทดลองคือ P84) เป็น “1” จะได้ผลลัพธ์ไปยัง LED เป็น “0” กระแสย่อม ไหลผ่าน LED ดวงซ้ายมือทำให้ติดสว่าง แต่หากขา P36 เป็น “0” กระแสจะมี ทิศทางกลับกัน LED ดวง ขวามือจึงติดสว่างแทน

ฉะนั้น เมื่อกำหนดให้ Pxx ดังกล่าวเป็น “1” หลอด MNx จะสว่างเป็นสีแดงหากเป็น “0” จะเป็นสีเขียวและกำหนดเป็นสัญญาณนาฬิกาจะติดสลับไป มาเป็นสีส้ม



รูปที่ 4 วงจรขับ LED สองสี

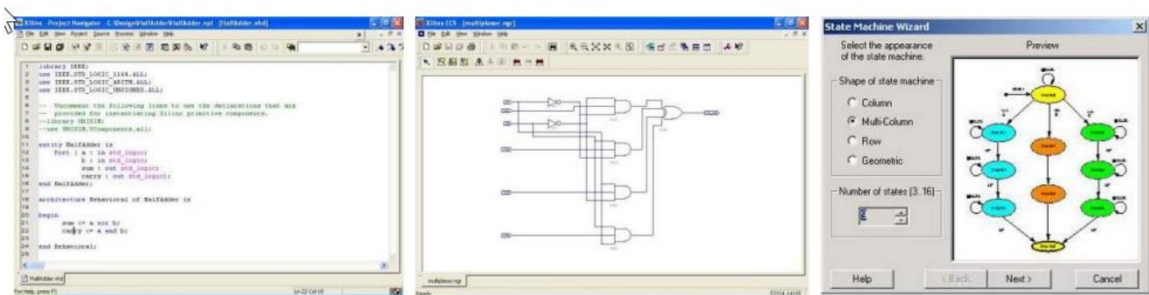
ขั้นตอนการออกแบบวงจรอย่างย่อของ version 14.7(ฉบับเต็ม version 8.1i ดูในหนังสือ)

กระบวนการออกแบบวงจรดิจิทัลด้วย FPGA มีทั้ง หก 5 ขั้นตอนดังนี้



รูปที่ 5 กระบวนการออกแบบ 5 ขั้นตอน

1. Design Entry การสร้างวงจรด้วยวิธีการต่างๆเช่นสร้างด้วยภาษาVHDLหรือVerilogสร้างด้วย วิธีการออกแบบผังวงจร (Schematic Design) และสร้างด้วยแผนภูมิสถานะ (State diagram) ดังรูป ที่ 6 ซึ่งการทดลองครั้งนี้สร้างวงจรด้วยวิธี Schematic Design



รูปที่ 6 ขั้นตอนการสร้างวงจรดิจิทัลทั้ง 3 แบบ

2. Design Verification การตรวจสอบวงจรที่ออกแบบเป็นการนำวงจรที่ออกแบบมาตรวจสอบความถูกต้องด้วยโปรแกรมจำลองการทำงาน โดยทั่วไปมีการจำลองการทำงานใน 3 ระดับคือ

- **Behavioral Simulation** การจำลองเฉพาะพฤติกรรมของวงจรโดยยังไม่คิดถึงโครงสร้าง ภายใน เพื่อได้แบบจำลองการทำงานเบื้องต้น
- **Functional Simulation** การจำลองการทำงานของโค้ดในระดับ Register-Transfer- Level (RTL) เพื่อตรวจสอบการทำงานของวงจวก่อนนำไป Synthesis
- **Timing simulation** การจำลองการทำงานที่ใกล้เคียงกับฮาร์ดแวร์มากที่สุดเนื่องจากนำ ข้อมูลเชิงเวลา (Timing) ที่เกิดขึ้นใน FPGA มาประกอบด้วย มักใช้หาข้อผิดพลาดในกรณีที่ การทำงานจริงบน FPGA ไม่เหมือนผลจาก Functional Simulation

3. Design Synthesis การสังเคราะห์วงจร คือ การแปลงโค้ดให้เป็นวงจรในระดับเกต (Gate - level) ซึ่งเป็น Netlist ของเกตต่างๆ ในวงจร ผู้ออกแบบต้องระบุถึงเทคโนโลยี ผู้ผลิต และหมายเลขรุ่น ของฮาร์ดแวร์ที่ใช้แก่โปรแกรม Synthesis ซึ่งบางโปรแกรมเปิดโอกาสให้เลือกวิธีการสังเคราะห์วงจรได้ ว่าต้องการออปติไมซ์แบบใดระหว่างความเร็วสูงกับประหยัดเนื้อที่

4. Design Implementation ขั้นตอนนี้ประกอบด้วย การแบ่งวงจร การวางอุปกรณ์ และการเชื่อมต่อ สัญญาณ (Partitioning, Placement and Routing) ตามลำดับ โดยแบ่งวงจรที่ได้จากการสังเคราะห์ แล้วแยกเป็นวงจรรย่อยๆ เพื่อวางลงในโครงสร้างของอุปกรณ์ชนิดต่างๆ ตามชิปที่เลือกเป็นเป้าหมาย จากนั้นจึงวิเคราะห์ความเหมาะสมถึงการวางวงจรรย่อยๆ เหล่านั้น ณ ตำแหน่งภายในชิปดังกล่าว ท้ายสุดเป็นขั้นตอนการเชื่อมต่อสัญญาณภายในชิปเข้าด้วยกัน

5. Download and Test เป็นการนำข้อมูลวงจรบันทึกลงชิป โดยใช้ไฟล์บิตสตรีม (.JED) ที่ได้จาก ขั้นตอน Design Implementation ก่อนหน้า

หมายเหตุ

- การใช้งานโปรแกรม Xilinx ISE WebPack นักศึกษาสามารถศึกษาได้จาก การทดลองที่ 0
- จากการทดลองที่ 0 นักศึกษาจะเห็นว่ามี การดาวน์โหลดข้อมูลวงจร หรือการโปรแกรมลง FPGA 2 รูปแบบ คือ การโปรแกรมลง PROM ซึ่งเป็นหน่วยความจำของ FPGA ทำให้การใช้งานบอร์ด ครั้งต่อไปไม่ต้อง ดาวน์โหลดข้อมูลวงจรจากเครื่องคอมพิวเตอร์อีก (เมื่อปิดเครื่อง และเปิดใหม่ วงจรที่โปรแกรมไว้ยังคงอยู่) ซึ่งมีอายุการใช้งาน

จำกัด (สามารถเขียนโปรแกรมลงได้ไม่เกิน 20,000 ครั้ง) ส่วนการ โปรแกรมลง Volatile memory ของ FPGA ต้องมีไฟเลี้ยงตัวชิพอยู่ตลอดเวลาหากไฟดับวงจรจะ หายไปทันทีแต่สามารถโปรแกรมได้ไม่จำกัด

ดังนั้นในระหว่างการทดลองให้นักศึกษาโปรแกรมวงจร Volatile memory ของบอร์ด FPGA เพื่อทดสอบและเมื่อต้องการส่งการทดลอง จึงโปรแกรมลง PROM ของบอร์ด FPGA แล้วนำมาส่งได้

ในการทดลองต่อไปนี้ นักศึกษาจะได้ฝึกการสร้างตาราง Truth Table จากสมการบูลีนในรูปแบบ Minterm , การเขียนสมการ SOP จาก Truth Table , การลดรูปโดยใช้ K-map และการใช้งานบอร์ด FPGA

Minterm หมายถึง การเขียนนิพจน์บูลีนในรูปผลคูณของตัวแปรทุกตัว ตัวแปรแต่ละตัวสามารถมีค่าได้สองค่า คือ ค่าปกติและค่าคอมพลิเมนต์ เช่น A, \bar{A} การแทน Minterm ด้วยเลขฐานสอง กำหนดไว้ว่า ตัวแปรในรูปปกติ เช่น A, B, C แทนด้วย 1 ส่วนตัวแปรในรูปคอมพลิเมนต์ เช่น $\bar{A}, \bar{B}, \bar{C}$ แทนด้วย 0 ดังตัวอย่างในตารางด้านล่าง

Decimal	Input			Output	Minterm
	C	B	A		
0	0	0	0	0	$\bar{C}\bar{B}\bar{A}$
1	0	0	1	1	$\bar{C}\bar{B}A$
2	0	1	0	0	$\bar{C}B\bar{A}$
3	0	1	1	1	$\bar{C}BA$
4	1	0	0	0	$C\bar{B}\bar{A}$
5	1	0	1	0	$C\bar{B}A$
6	1	1	0	1	$CB\bar{A}$
7	1	1	1	1	CBA

การสร้างสมการบูลีนจาก Minterm จะต้องใช้ Minterm ที่ทำให้ ลอจิกเอาต์พุตเป็น 1 ทุกเทอม นำเอา Minterm ดังกล่าวมารวมกันด้วยตัวกระทำ OR เช่น

$$\bar{C}\bar{B}\bar{A} + \bar{C}\bar{B}A + C\bar{B}\bar{A} + CBA$$

ซึ่งสามารถนำมาเขียนแบบนี้ได้ ตัวอย่างเช่น $f(C,B,A) = \Sigma m(1,3,6,7)$ โดย $f(C,B,A)$ คือ การบอกว่ามีตัวแปร ทั้งหมด 3 ตัว คือ A,B,C และ $\Sigma m(1,3,6,7)$ คือ การนำ Minterm ตัวที่ 1,3,6,7 มารวมกันด้วยตัวกระทำ OR โดย Σm คือ ผลบวกของตัว Minterm ทั้งหมด

Example 1 : $f(C,B,A) = \Sigma m(1,3,6,7)$ จากสมการบูลีนดังกล่าวให้เขียนตาราง Truth Table

Answer 1 :

Decimal	C	B	A	Output
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

การทดลอง

1. $f(A,B,C,D) = \sum m(0,2,3,5,7,8,9,10,13,15)$ จากสมการบูลีนให้นักศึกษา

1.1 เขียน Truth Table ของสมการบูลีนนี้

Decimal	A	B	C	D	Output
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

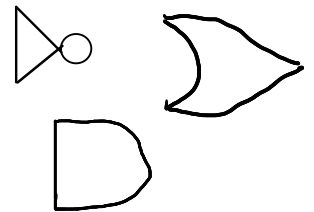
1.2 จงเขียนสมการ SOP จาก Truth Table ในข้อ 1.1

$$\bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}BCD + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + A\bar{B}CD + AB\bar{C}\bar{D} + AB\bar{C}D + ABCD$$

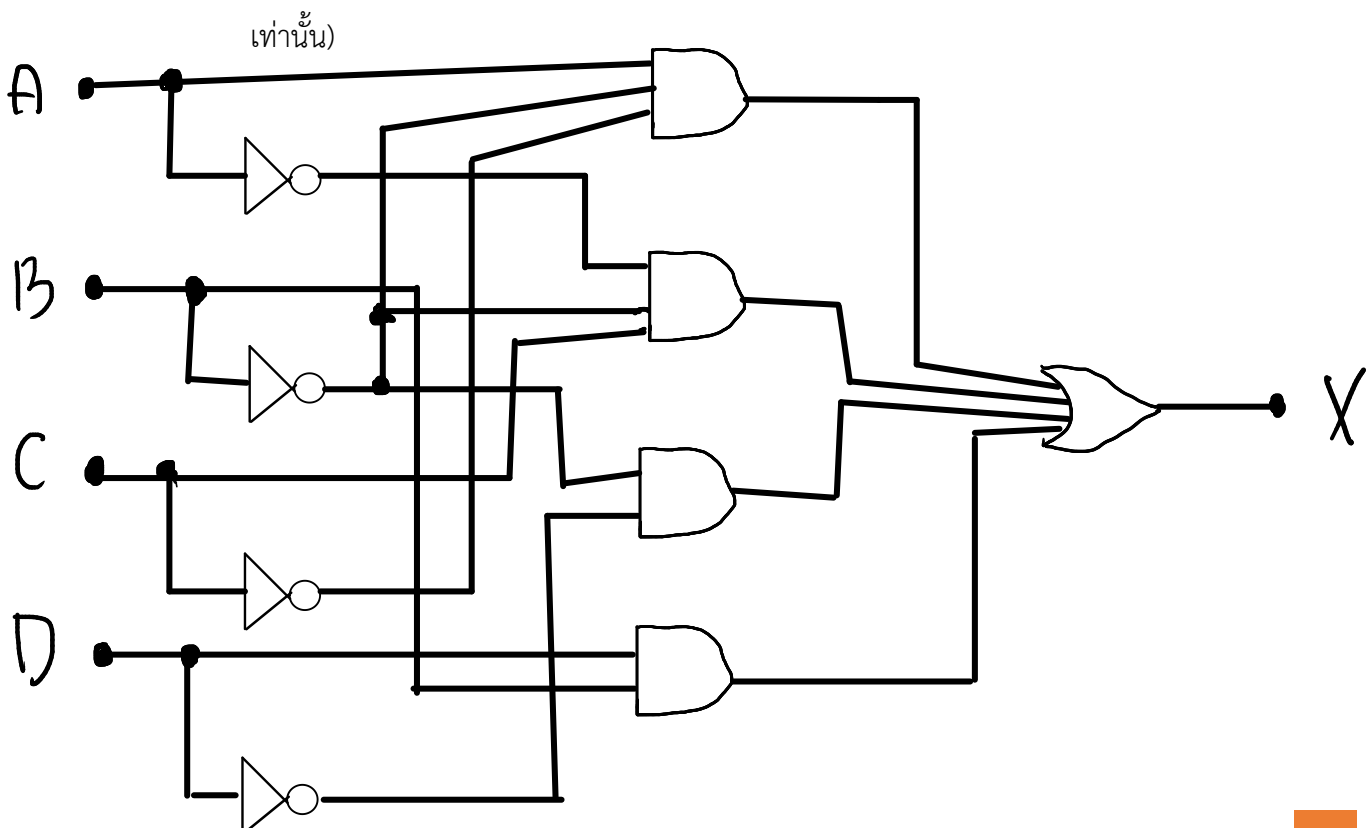
1.3 แสดงการลดรูปสมการ SOP จากข้อ 1.2 โดยใช้ K-Map

	$\bar{c}\bar{d}$	$\bar{c}d$	$c\bar{d}$	cd
$\bar{A}\bar{B}$	1	0	1	1
$\bar{A}B$	0	1	1	0
AB	0	1	1	0
$A\bar{B}$	1	1	0	1

$$X = BD + \bar{B}\bar{D} + A\bar{B}\bar{C} + \bar{A}\bar{B}C$$



1.4 วาด Logic Diagram ของวงจรภายหลังการลดรูปโดยใช้ K-Map (วาดด้วยลายมือของนักศึกษา)



- 1.5 ให้นักศึกษาวาด Logic Diagram จากข้อ 1.4 ของวงจรลงบน ISE Xilinx WebPACK โดยให้รับ Input จาก Slide Switch และ Output คือ Buzzer บนบอร์ด FPGA
- 1.6 ทดสอบการทำงานโดยการ Download ลงบอร์ด FPGA (โปรแกรมวงจร **Volatile memory** ของบอร์ด FPGA)
- 1.7 โปรแกรมลง **PROM** ของบอร์ด FPGA แล้วจากนั้น ให้ส่งให้ผู้ควบคุมการทดลองตรวจ

ใบตรวจการทดลองที่ 4

วัน/เดือน/ปี _____ ☐ กลุ่มเช้า ☐ กลุ่มบ่าย ☐ กลุ่มเย็น กลุ่มที่ _____

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

การตรวจการทดลอง

การทดลองข้อ 1.1 - 1.4 ลายเซ็นผู้ควบคุมการทดลอง _____

การทดลองข้อ 1.5 - 1.7 ลายเซ็นผู้ควบคุมการทดลอง _____

หมายเหตุ

1. ไม่รับใบตรวจการทดลองที่มีร่องรอยการแก้ไข ขูด ลบ ชีด ข่วน เปลี่ยนแปลงทุกชนิด

2. ให้พิมพ์ใบตรวจการทดลองในรูปแบบ Gray scale