

การทดลองที่ 2 Logic-Gates and Truth Table**วัตถุประสงค์**

1. เพื่อให้นักศึกษาเข้าใจการทำงานของไอซีลอจิกเกตพื้นฐาน
2. เพื่อให้นักศึกษาฝึกใช้งานโปรแกรมช่วยการออกแบบวงจรดิจิทัลเป็น
3. เพื่อให้นักศึกษาฝึกการต่อวงจรแบบ Combination Logic

Logisim โปรแกรมจำลองการทำงานวงจรดิจิทัล

เป็นโปรแกรมที่ใช้ในการศึกษาและออกแบบวงจรดิจิทัล พัฒนาโดย Dr. Carl Burch สามารถใช้งานได้
ง่าย, เป็นโปรแกรมที่ช่วยเรียนรู้ และทดลองวงจร ดิจิตอล ที่นิยมใช้กันใน มหาวิทยาลัย ทั่วโลก โดยตัวโปรแกรมมี
ขนาดเล็กและสามารถทำงานโดยไม่จำเป็นต้องติดตั้งโปรแกรม และสะดวกต่อการศึกษาเบื้องต้น โดย
Logisim สามารถ Download ได้จาก <https://sourceforge.net/projects/circuit/>

วิธีการใช้งาน (สามารถดูได้จาก <https://youtu.be/mCkkM-V7NUY>)

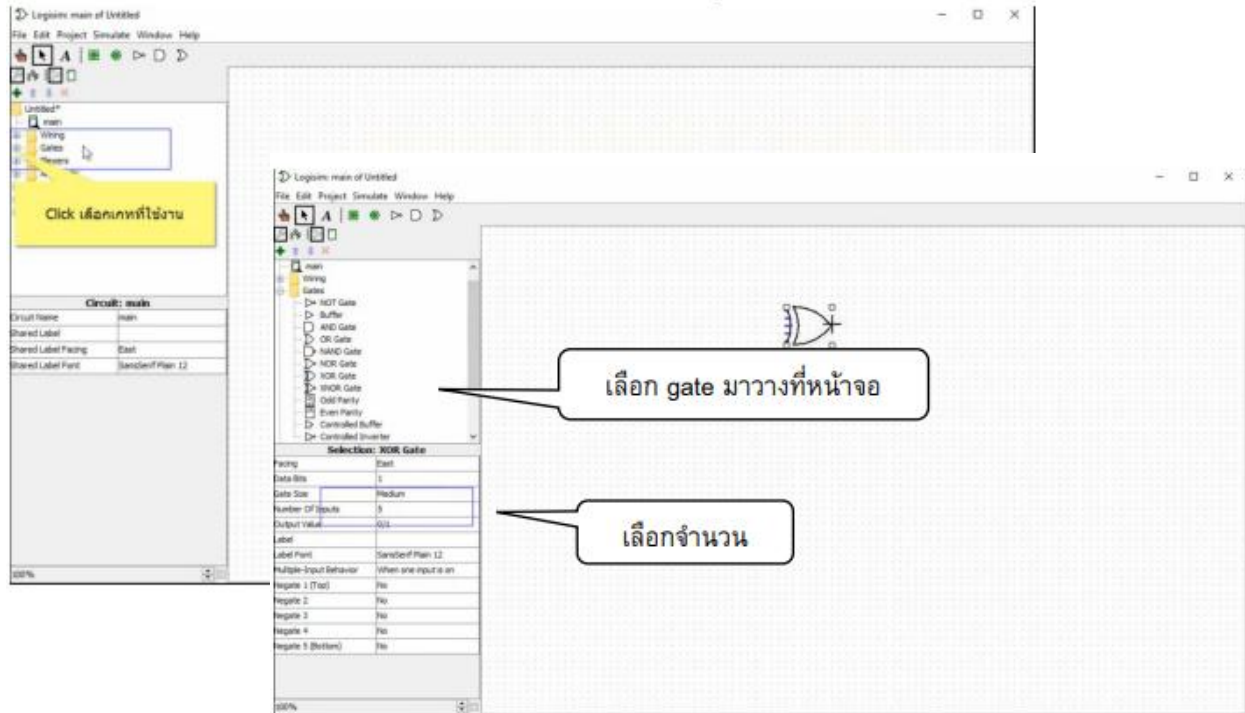
ส่วนที่ 1 : ทดลองการทำงานของวงจรที่สร้างขึ้น

วงจรที่ทดลองคือ Half adder circuit มี Truth table ตามข้างล่างนี้

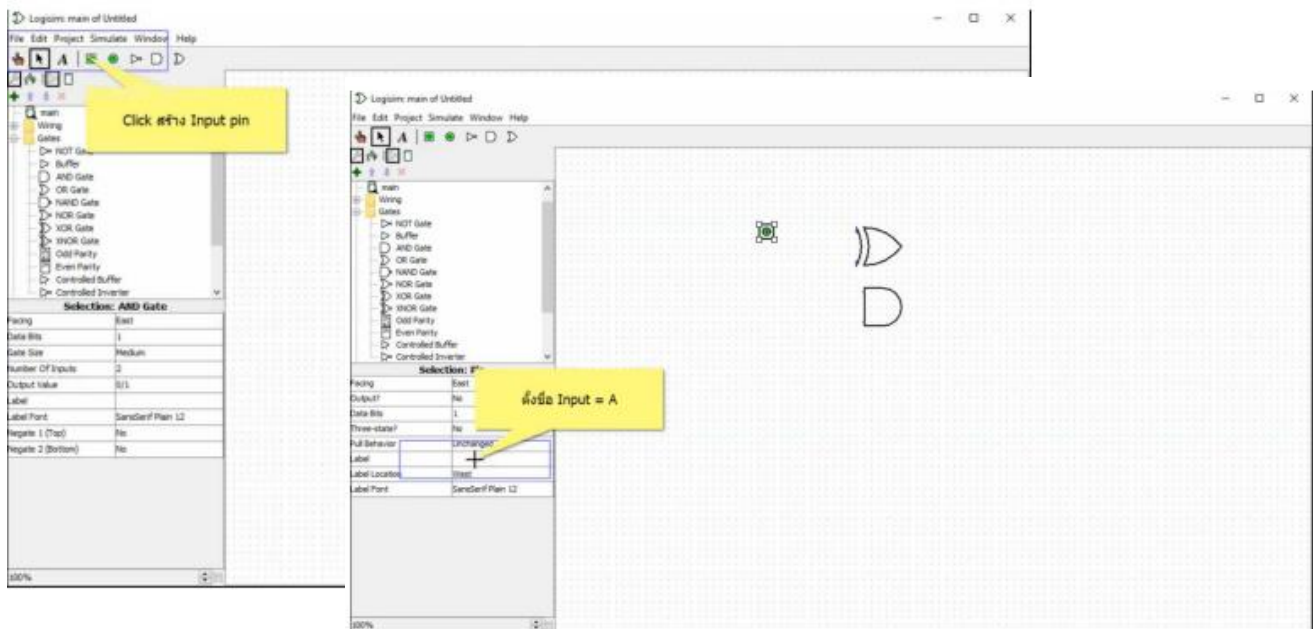
Input		Output	
A	B	S	Co
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

แบบที่ 1 ทดลองสร้างการทำงานวงจรที่สร้างขึ้น

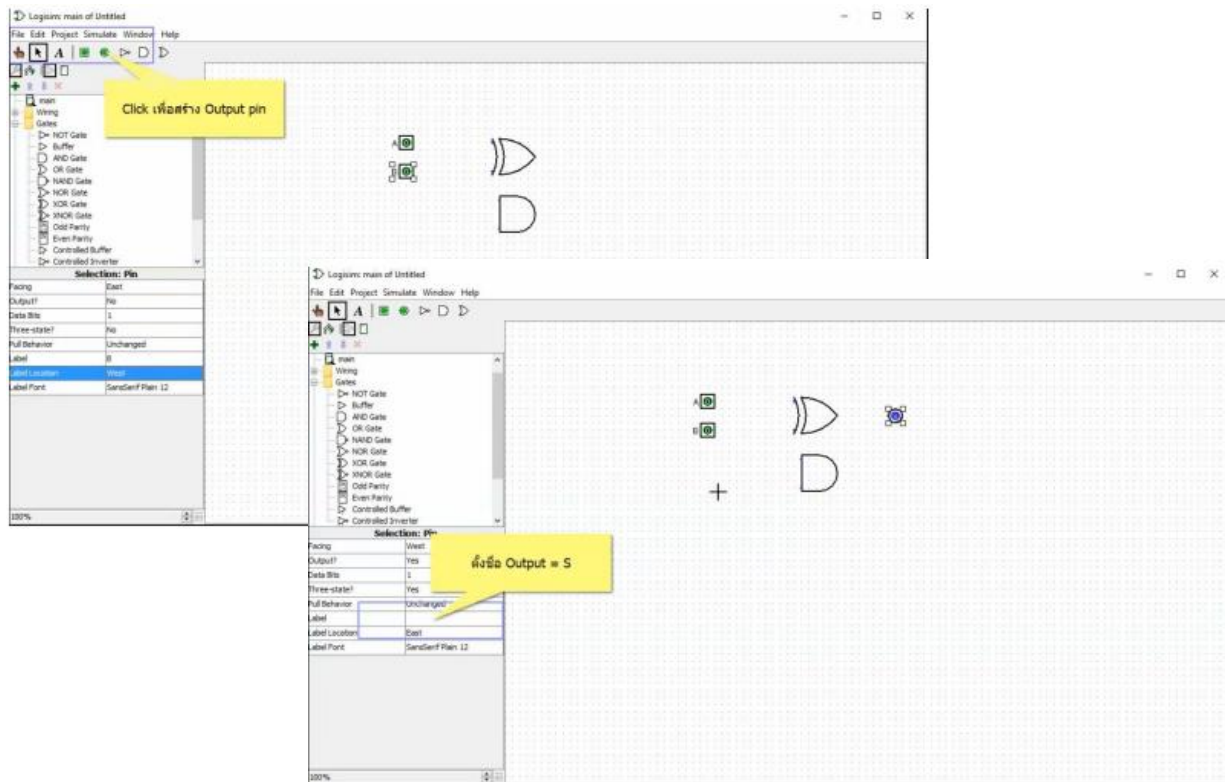
1. Click เลือก Gate ที่จะใช้งาน และนำมาวางที่หน้าจอ



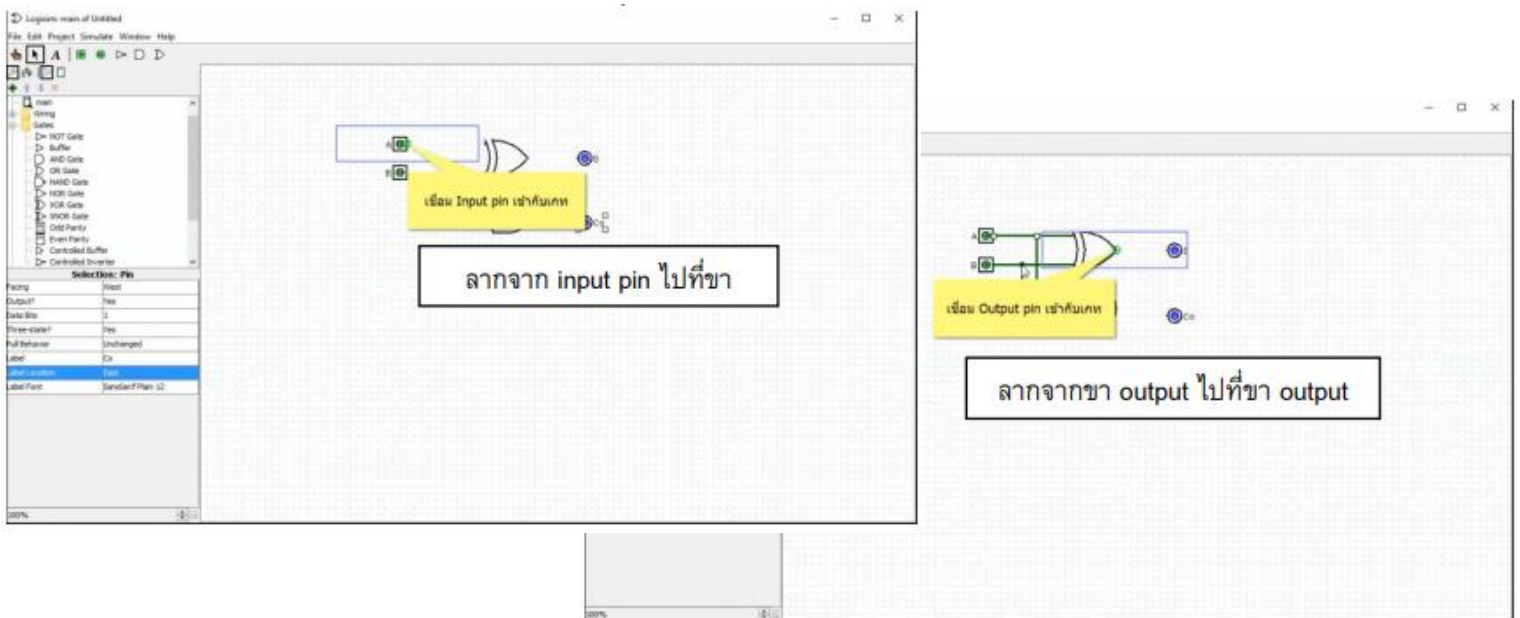
2. สร้าง input pin และตั้งชื่อ



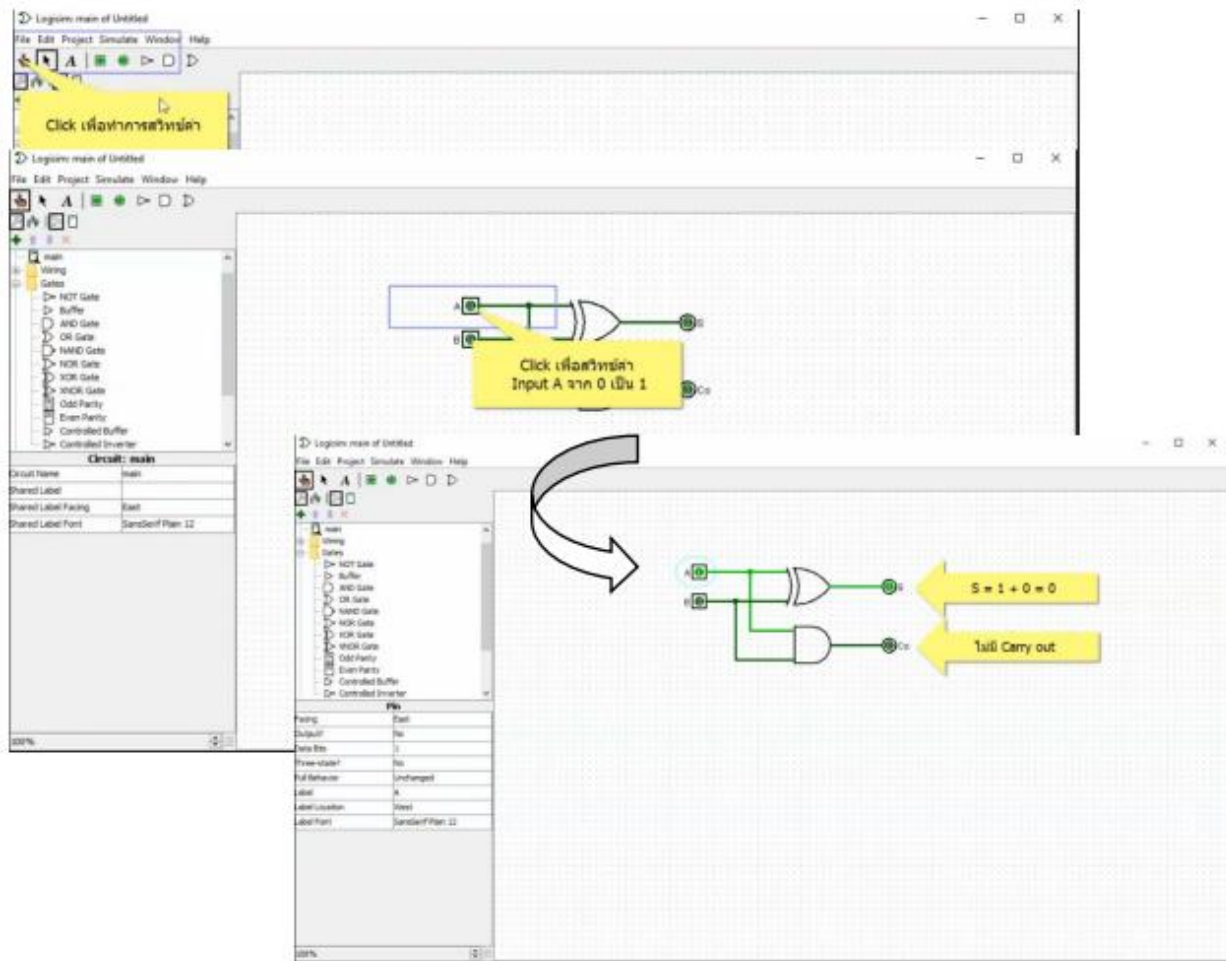
3. สร้าง output pin และตั้งชื่อ



4. เชื่อม input เข้า gate และ output ออกจาก gate



5. Click เพื่อทำการสวิตช์ค่า



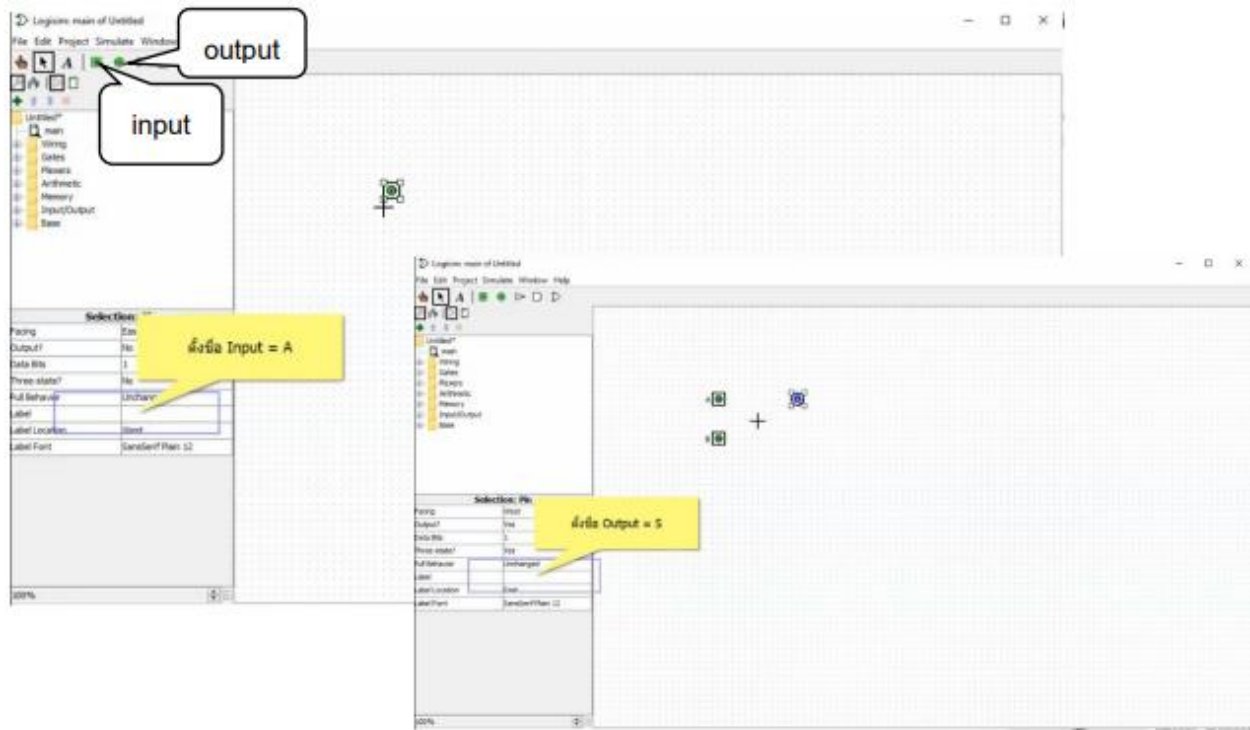
ส่วนที่ 2 : ให้ Logisim สร้างวงจรจาก Truth table ที่ต้องการ

วงจรที่ทดลองคือ Half adder circuit มี Truth table ตามข้างล่างนี้

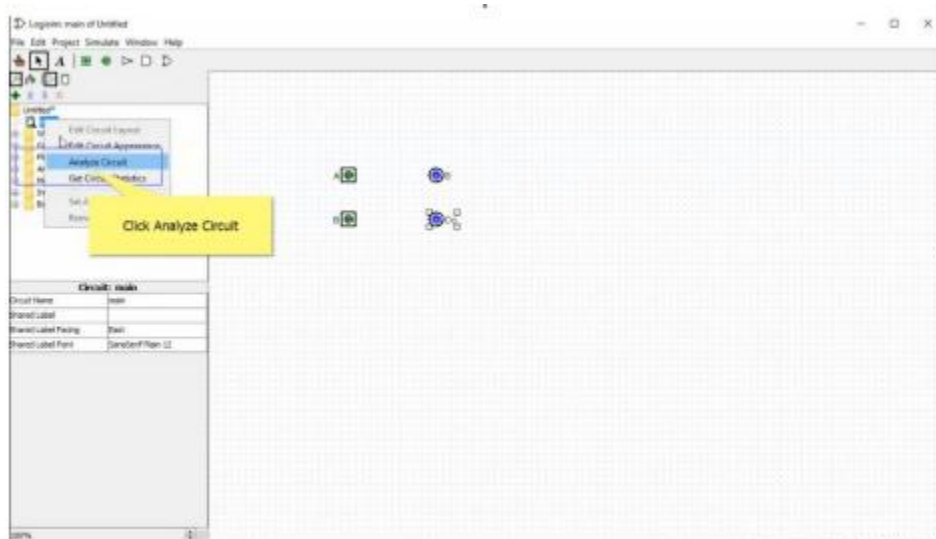
Input		Output	
A	B	S	Co
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

แบบที่ 2 ให้ Logisim สร้างวงจรจาก Truth Table ที่กำหนดมา

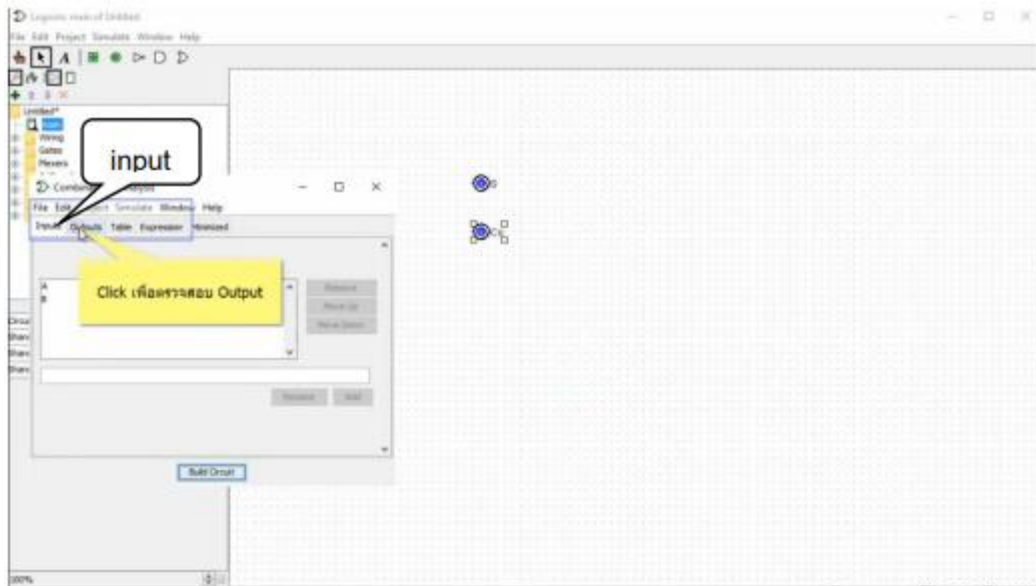
1. สร้าง input pin, output pin และตั้งชื่อ



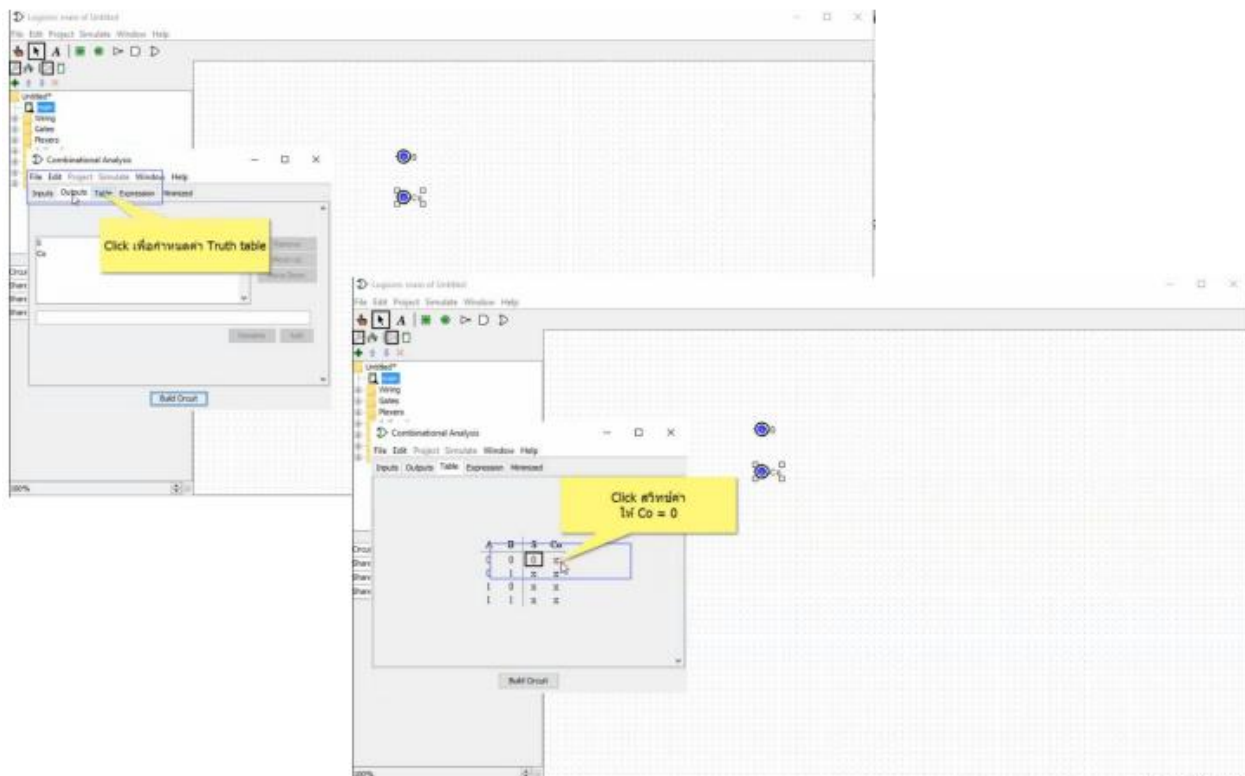
2. Click ขวาที่ main และเลือก analyze circuit



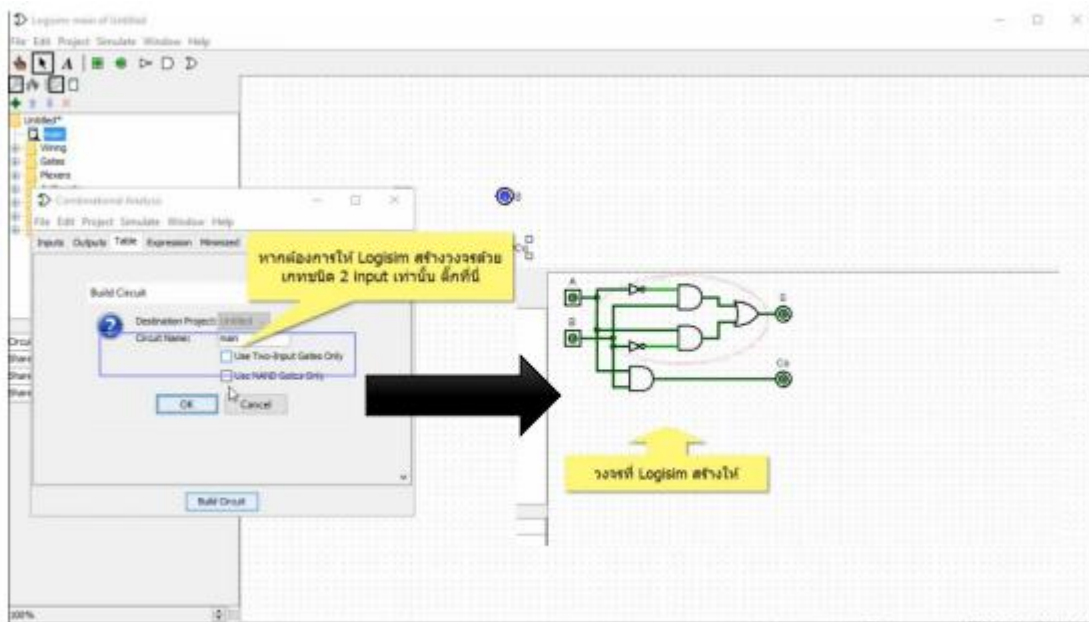
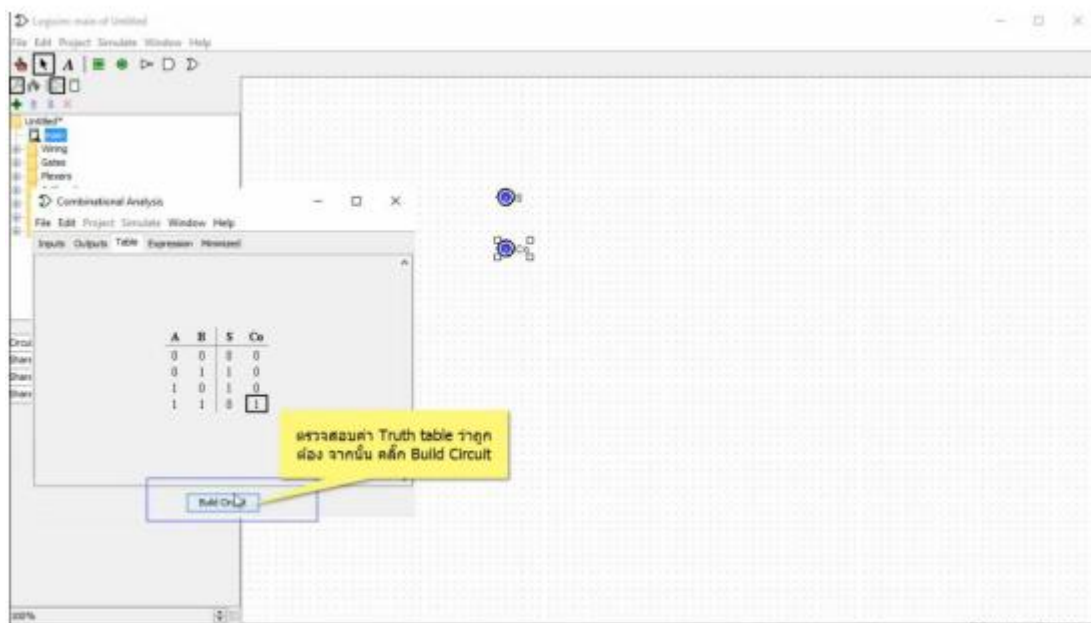
3. Click เพื่อตรวจสอบค่า input และ output



4. Click เพื่อกำหนดค่า table ให้ครบทุกตัว

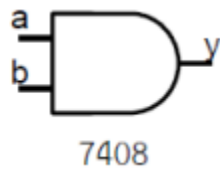
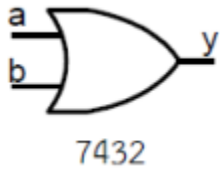
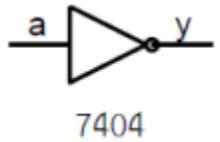
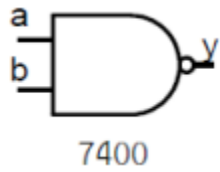
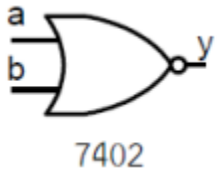


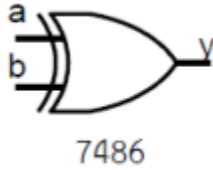
5. กด build circuit และเลือกรูปแบบ gate ที่ต้องการใช้ จากนั้นกด ok จะได้วงจรออกมา



ไอซีลอจิกเกต

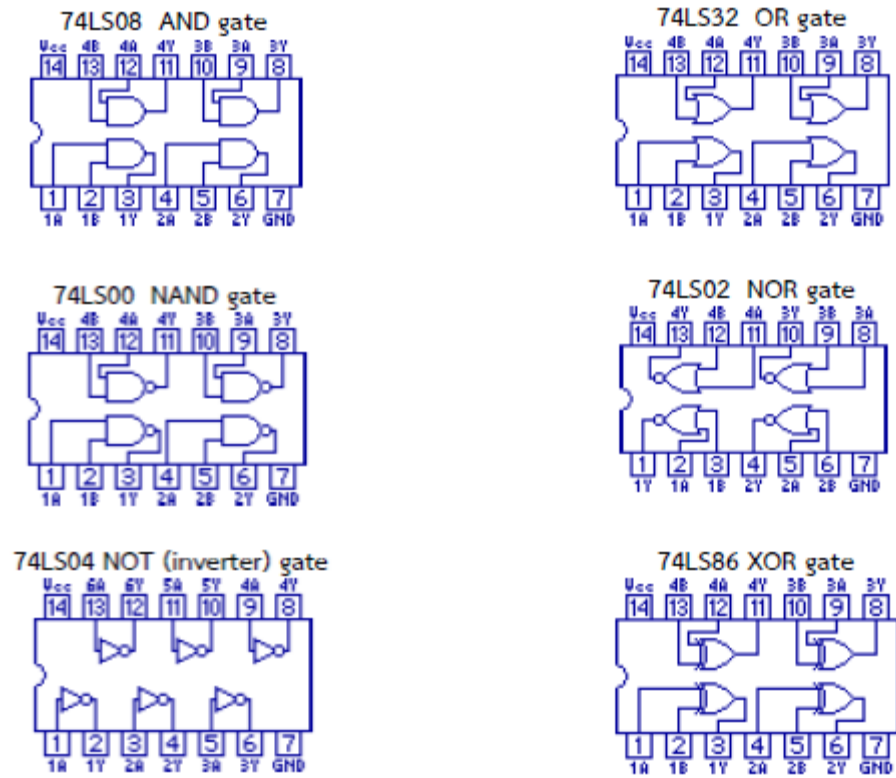
ภายในไอซีลอจิกเกตจะบรรจุเกตต่างๆ ได้แก่ AND, OR, NOT และ XOR เป็นต้น โดยไอซี ลอจิกเกตมีมากมายหลายชนิดและหลากหลายแบบ ในการทดลองนี้จะให้นักศึกษารู้จักไอซีลอจิก 6 ชนิดคือ

ลำดับ	สัญลักษณ์/เบอร์ไอซี	Truth Table	รายละเอียด															
1		<table><tr><th>a</th><th>b</th><th>y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	a	b	y	0	0	0	0	1	0	1	0	0	1	1	1	AND gate จากรูปมีสองอินพุต หนึ่งเอาต์พุต ลักษณะของเอาต์พุตมีค่าเป็น “1” ก็ต่อเมื่อ อินพุตทั้งหมดเป็น “1” เท่านั้น กรณีอื่นๆ ค่า เอาต์พุตเป็น “0”
a	b	y																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
2		<table><tr><th>a</th><th>b</th><th>y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	a	b	y	0	0	0	0	1	1	1	0	1	1	1	1	OR gate จากรูปมีสองอินพุต หนึ่งเอาต์พุต ลักษณะของเอาต์พุต มีค่าเป็น “0” ก็ต่อเมื่อ อินพุตทั้งหมดเป็น “0” เท่านั้น กรณีอื่นๆ ค่า เอาต์พุตเป็น “1”
a	b	y																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
3		<table><tr><th>a</th><th>y</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	a	y	0	1	1	0	NOT gate หรือ Inverter มีหนึ่งอินพุต หนึ่ง เอาต์พุต ผลลัพธ์ของเอาต์พุตเป็นส่วนกลับจาก อินพุต									
a	y																	
0	1																	
1	0																	
4		<table><tr><th>a</th><th>b</th><th>y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	a	b	y	0	0	1	0	1	1	1	0	1	1	1	0	NAND gate ลักษณะของสัญลักษณ์คล้ายกับ AND gate แต่ทางด้านเอาต์พุตเสมือนมี NOT gate เชื่อมต่ออยู่ภายใน ดังนั้นเอาต์พุตที่ได้มี ลักษณะเป็นส่วนกลับของเป็น AND gate
a	b	y																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
5		<table><tr><th>a</th><th>b</th><th>y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	a	b	y	0	0	1	0	1	0	1	0	0	1	1	0	NOR gate ลักษณะของสัญลักษณ์คล้ายกับ OR gate แต่ทางด้านเอาต์พุตเสมือนมี NOT gate เชื่อมต่ออยู่ภายใน ดังนั้นเอาต์พุตที่ได้มี ลักษณะเป็นส่วนกลับของ OR gate
a	b	y																
0	0	1																
0	1	0																
1	0	0																
1	1	0																

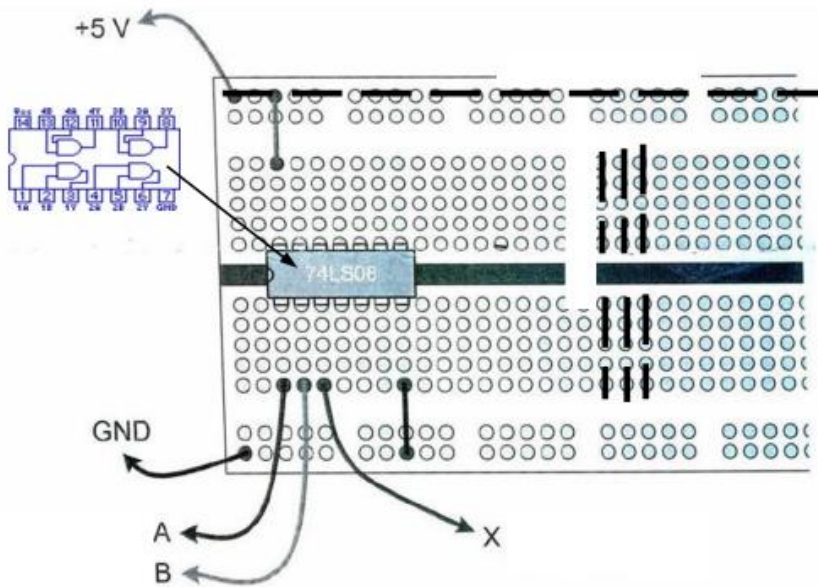
ลำดับ	สัญลักษณ์/เบอร์ไอซี	Truth Table	รายละเอียด															
6		<table><tr><th>a</th><th>b</th><th>y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	a	b	y	0	0	0	0	1	1	1	0	1	1	1	0	<p>XOR gate ย่อมาจาก Exclusive-OR gate</p> <p>ใน รูปมีสองอินพุต หนึ่งเอาต์พุต ลักษณะของ เอาต์พุตมีค่าเป็น “1” ก็ต่อเมื่ออินพุตไม่เข้าพวก และค่าเอาต์พุตเป็น “0” เมื่ออินพุตทุกตัวเป็น “0” ทั้งหมด หรือ อินพุตทุกตัวเป็น “1” ทั้งหมด</p>
a	b	y																
0	0	0																
0	1	1																
1	0	1																
1	1	0																

ข้อควรทราบ

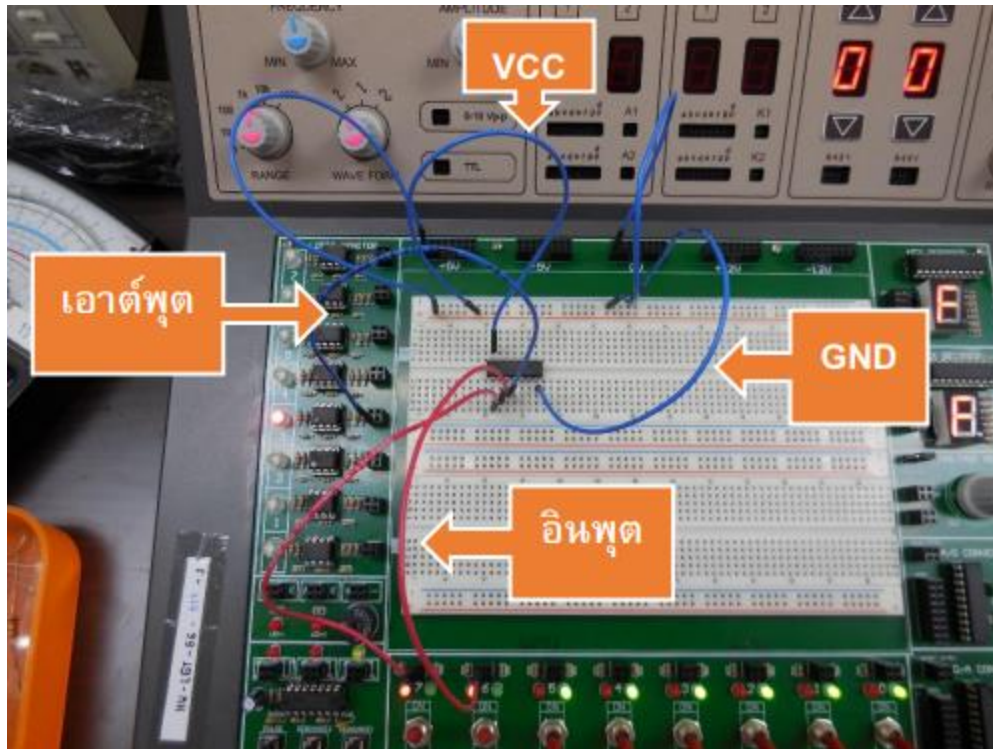
1. ก่อนลงมือทดลอง ต้องตรวจสอบความสมบูรณ์ด้านความปลอดภัย และการทำงานของอุปกรณ์และไอซีเสมอ!
2. ขา VCC รับแรงดันที่ป้อนให้แก่ไอซีขนาด +5V ส่วนขา GND เป็นขากราวด์ต่อกับ 0V หากต่อ สลับขั้วไอซี อาจพังเสียหาย
3. ระดับลอจิก “0” (Low) มีแรงดันช่วง 0 - 0.5 V และระดับลอจิก “1” (High) มีแรงดันช่วง 2.5 – 5 V
4. ก่อนการต่อสายต้องตรวจสอบให้แน่ใจว่า ไอซีลอจิกเกตที่ใช้เป็นชนิดใด ขาหนึ่งอยู่ทิศทางใด โดยตรวจสอบได้จากรูปที่ 1 รูปที่ 2 และรูปที่ 3
5. การถอดไอซีออกจากโปรโตบอร์ดให้ใช้ไขควงจัดด้านข้างของไอซีอย่างระมัดระวัง เพื่อป้องกัน ขาไอซีชำรุดและอุบัติเหตุบาดเจ็บจากขาไอซีที่ม้วนงอ



รูปที่ 1 โครงสร้างภายในของไอซีลอจิกเกต



รูปที่ 2 ไดอะแกรมแสดงตัวอย่างการต่อวงจร



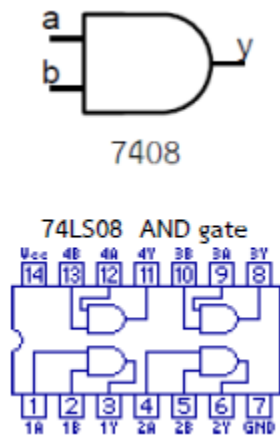
รูปที่ 3 แสดงตัวอย่างการต่อวงจร

ให้นักศึกษาอ่านคำอธิบายการใช้งาน Logic Gates ด้านบนให้เข้าใจ แล้วทำการทดลองด้านล่างต่อไปนี้

1. การทดลองเกี่ยวกับการใช้งาน Logic Gates

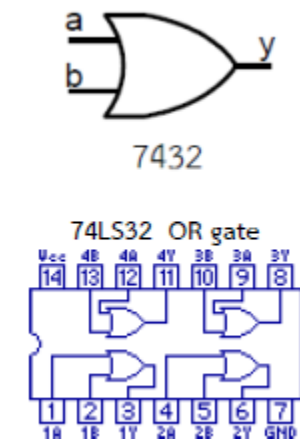
1.1 ให้นักศึกษาอ่านการทดลองทุกข้อก่อน แล้วคำนวณผลลัพธ์ที่น่าจะเกิดขึ้นตามทฤษฎีก่อนทำการทดลอง

1.2 ให้นักศึกษาต่อวงจรตามรูปด้านล่าง ภายในไอซีลอจิกเกตตัวนี้มี AND gate จำนวน 4 ชุด นักศึกษาสามารถใช้ชุดใดก็ได้โดยนักศึกษาต้องป้อนอินพุตที่ขา a และ b แล้วตรวจสอบค่าเอาต์พุตที่ขา y เมื่อ ต่อวงจรเสร็จให้ตรวจสอบความถูกต้องและบันทึกผลการทดลองลงตารางด้านล่างขานี้

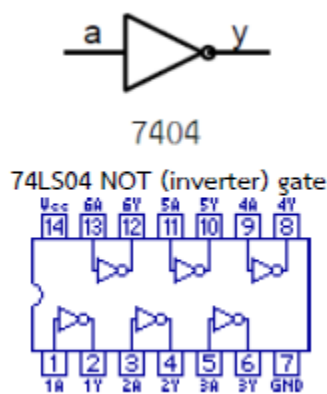


Input		Output (Logic Trainer)	Output (Logisim)
a	b	Y	Y
0	0	0	0
0	1	0	0
1	0	0	0
1	1	1	1

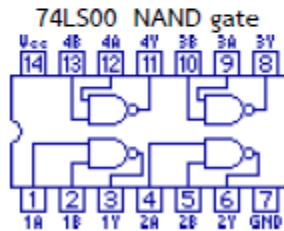
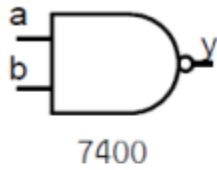
1.3 ให้นักศึกษาต่อวงจรแบบเดียวกับการทดลองที่ 1 แต่เปลี่ยน AND gate เป็นเกตอื่นๆ เมื่อต่อวงจรเสร็จ ให้ตรวจสอบความถูกต้องและบันทึกผลการทดลองลงตารางด้านล่างขวานี้



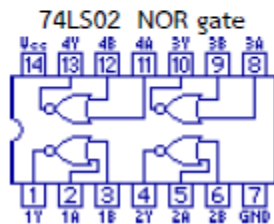
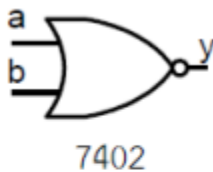
Input		Output (Logic Trainer)	Output (Logisim)
a	b	Y	Y
0	0	0	0
0	1	1	1
1	0	1	1
1	1	1	1



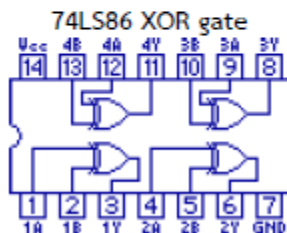
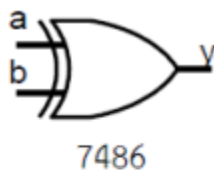
Input	Output (Logic Trainer)	Output (Logisim)
a	Y	Y
0	1	1
1	0	0



Input		Output (Logic Trainer)	Output (Logisim)
a	b	Y	Y
0	0	1	1
0	1	1	1
1	0	1	1
1	1	0	0

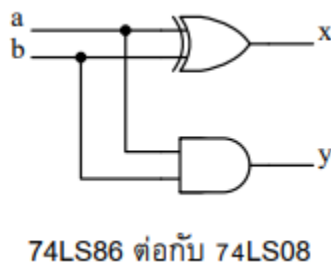


Input		Output (Logic Trainer)	Output (Logisim)
a	b	Y	Y
0	0	1	1
0	1	0	0
1	0	0	0
1	1	0	0



Input		Output (Logic Trainer)	Output (Logisim)
a	b	Y	Y
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

1.4 ให้นักศึกษาต่อวงจรดังรูปด้านล่าง ซึ่งประกอบด้วยไอซีลอจิกเกตสองตัวเบอร์ 74LS86 กับ 74LS08
 ทั้งนี้ต้องพิจารณาจากโครงสร้างภายในจากรูปที่ 1 เพื่อสร้างวงจรขึ้นเอง โดยนักศึกษาต้องป้อนอินพุตที่ ขา a และ
 b แล้ว บันทึกค่าเอาต์พุตที่ขา x และ y เมื่อต่อวงจรเสร็จให้ตรวจสอบความถูกต้องและบันทึกผลการทดลองลง
 ตารางด้านล่างขานี้

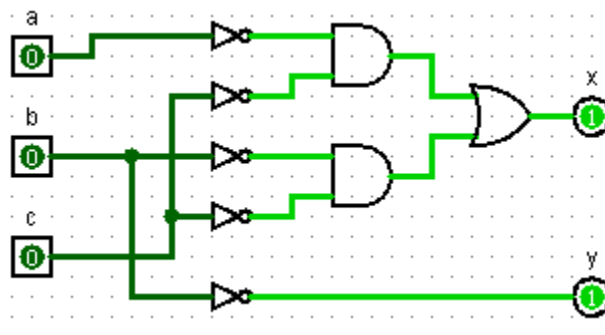


Input		Output (Logic Trainer)		Output (Logisim)	
a	b	x	y	x	y
0	0	0	0	0	0
0	1	1	0	1	0
1	0	1	0	1	0
1	1	0	1	0	1

2. การทดลองการต่อวงจรแบบ Combinational Logic

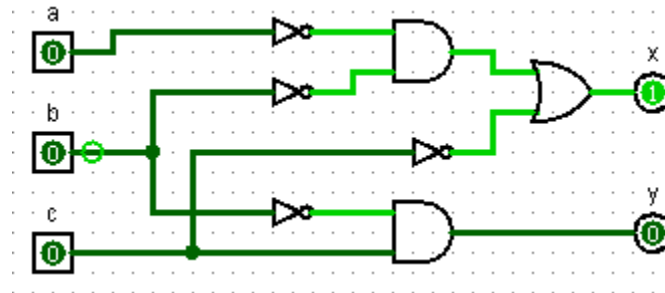
2.1 ให้นักศึกษาต่อวงจรตามรูปด้านล่างนักศึกษา โดยนักศึกษาต้องป้อนอินพุตที่ขา a, b และ c แล้ว
 ตรวจสอบค่าเอาต์พุตที่ขา y เมื่อ ต่อวงจรเสร็จให้ตรวจสอบความถูกต้องและบันทึกผลการทดลองลงตาราง
 ด้านล่าง

1)



Input			Output (Logic Trainer)		Output (Logisim)	
a	b	c	x	y	x	y
0	0	0	1	1	1	1
0	0	1	0	1	0	1
0	1	0	1	0	1	0
0	1	1	0	0	0	0
1	0	0	1	1	1	1
1	0	1	0	1	0	1
1	1	0	0	0	0	0
1	1	1	0	0	0	0

2)



Input			Output (Logic Trainer)		Output (Logisim)	
a	b	c	x	y	x	y
0	0	0	1	0	1	0
0	0	1	1	1	1	1
0	1	0	1	0	1	0
0	1	1	0	0	0	0
1	0	0	1	0	1	0
1	0	1	0	1	0	1
1	1	0	1	0	1	0
1	1	1	0	0	0	0

2.2 ให้นักศึกษาทำการทดลองโดยต่อวงจรสำหรับการแสดงผล 7 Segments ที่มีวงจร HEX DECODER บน Logic Trainer โดยใช้ขา output x และ y จากข้อ 2.1 โดย 1) ต่อหลักที่ 1-2 และ 2) ต่อหลักที่ 3-4

2.3 เชิญอาจารย์ หรือผู้คุมการทดลองตรวจ

ใบตรวจการทดลองที่ 2

วัน/เดือน/ปี _____ ☐ กลุ่มเช้า ☐ กลุ่มบ่าย ☐ กลุ่มเย็น กลุ่มที่ _____

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

การตรวจการทดลอง

การทดลองข้อ 2 ลายเซ็นผู้ควบคุมการทดลอง _____

หมายเหตุ ไม่รับ ใบตรวจการทดลองที่มีร่องรอยการแก้ไข ชูด ลบ ชีดฆ่า เปลี่ยนแปลงทุกชนิด