

* $I2C_sclk = (!clock_en) || sclk_divider[6]$

+ về là $I2C_sclk$ chỉ tích cực cao khi $clock_en = 0$

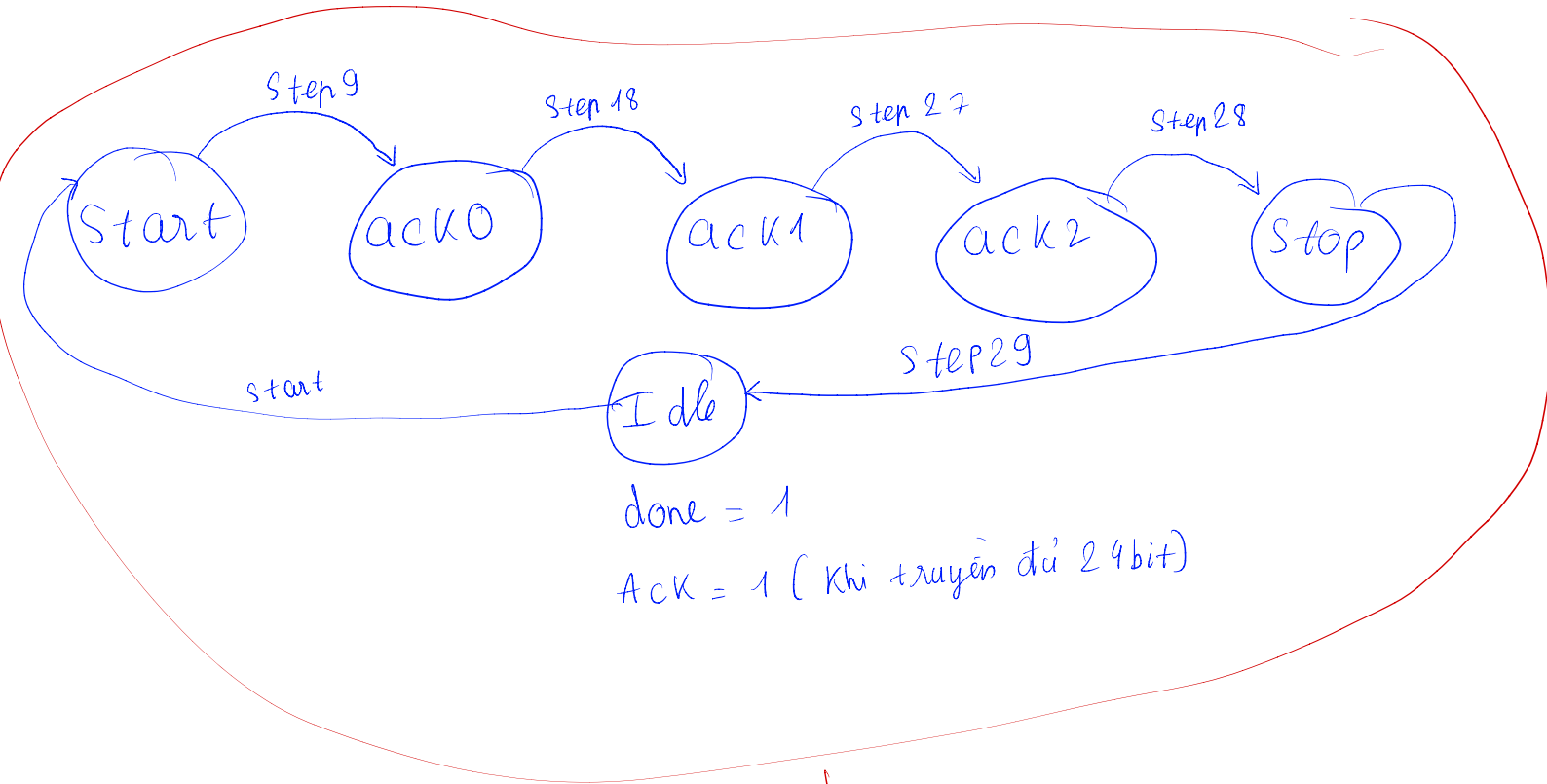
chỉ tích cực thấp khi $\begin{cases} clock_en = 0 \\ sclk_divider[6] = 1 \end{cases}$

* $sclk_divider$

vì $De10$ chạy ở $CLK = 50MHz$ nhưng $I2C$ chỉ chạy ở $100kHz, 400kHz, 1MHz$ nên ta phải chia tần số xuống để phù hợp với $I2C$
 $\frac{50MHz}{400kHz} = 125$ do đó cho counter đếm lên từ $0 \rightarrow 127$ là số gần nhất với 125 trong hệ nhị phân

⇒ sau 64 lần đếm ($0 \rightarrow 64; 65 \rightarrow 127$) thì $I2C_clk$ đổi chiều 1 lần

Stage chỉ cập nhật sau 127 $sclk_divider$ (tương đương với 1 cycle $I2C_sclk$)



done = 1

Ack = 1 (khi truyền đủ 24bit)



Nhấn