第四章 逻辑模拟

§1.逻辑模拟原理

- 逻辑模拟是在计算机上建立数字电路模型并使该模型运行的一种过程，这里“运行”的意思是针对某一外加的输入序列激励，计算模型电路中随时间变化的各个响应的信号值。
- **逻辑模拟的主要用途**

①评价新的设计。逻辑设计者首要的任务是检验逻辑的正确性，在满足逻辑功能的基础上,根据时间关系、信号传播特性或通过模拟获得有关电路的竞争、冒险和电路振荡条件的资料。

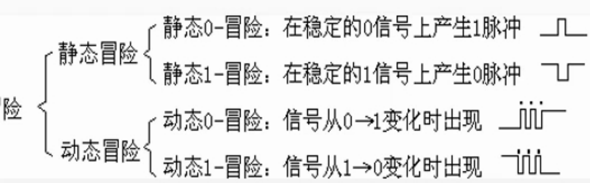
②分析故障。用一个给定的测试序列分析可监测的故障，包括在规定的故障条件下的电路工作特性，以及对于给定的测试序列可获得怎样的故障分辨率等等。

逻辑电路的风险
(鼠标滑过播放视频)

逻辑电路的风险

•冒险

对于单个逻辑信号，由于延迟的原因，组合电路可能产生瞬态错误或尖峰脉冲，称为冒险。



•竞争

对于多路信号，在若干信号同时改变时会引起竞争。在竞争的条件下，电路的动作取决于信号变化的实际次序。

逻辑电路的风险

•冒险

对于单个逻辑信号，由于延迟的原因，组合电路可能产生瞬态错误或尖峰脉冲，称为冒险。

- 冒险
  - 静态冒险
    - 静态0-冒险：在稳定的0信号上产生1脉冲
    - 静态1-冒险：在稳定的1信号上产生0脉冲
  - 动态冒险
    - 动态0-冒险：信号从0→1变化时出现
    - 动态1-冒险：信号从1→0变化时出现

•竞争

对于多路信号，在若干信号同时改变时会引起竞争。在竞争的条件下，电路的动作取决于信号变化的实际次序。

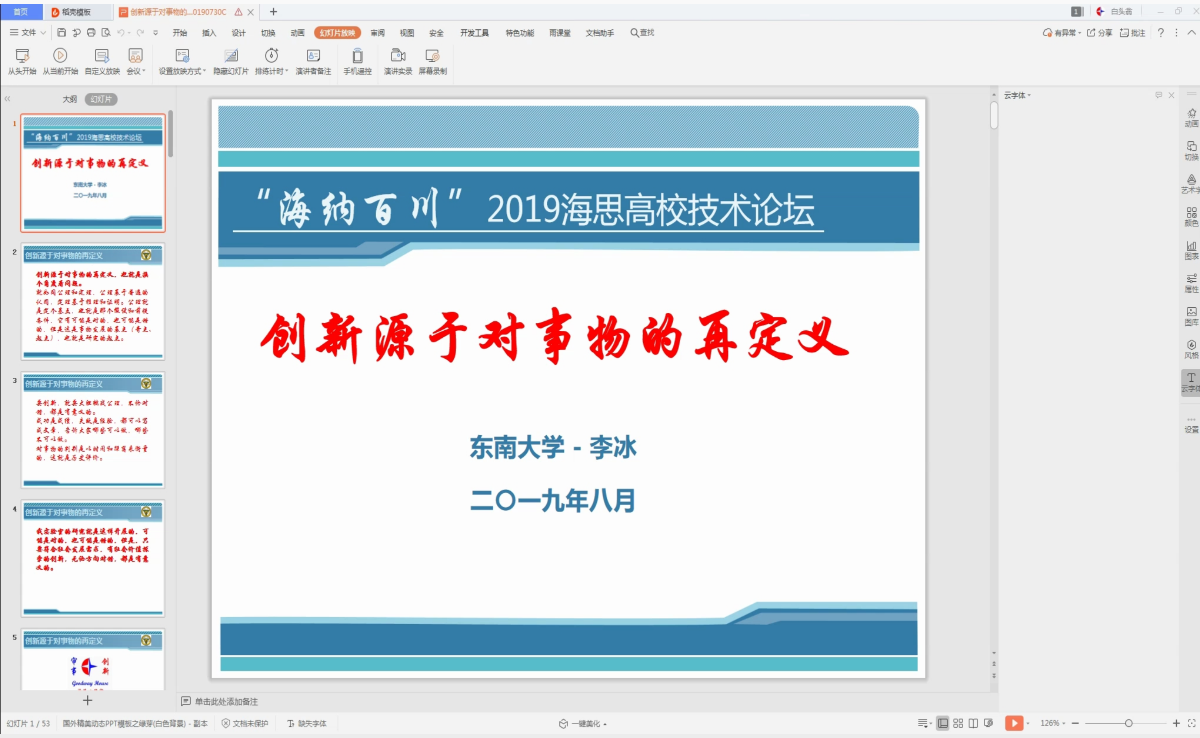
- 竞争
  - 非临界竞争：竞争的结果，电路仍能转到正确状态
  - 临界竞争：竞争的结果，电路不能转到正确状态

三种十六进制码的比较

16进制数	8421码	格雷码	李码
0	0000	0000	0000
1	0001	0001	0001
2	0010	0011	1001
3	0011	0010	1011
4	0100	0110	0011
5	0101	0111	0111
6	0110	0101	0101
7	0111	0100	1101
8	1000	1100	1111
9	1001	1101	1110
A	1010	1111	0110
B	1011	1110	0100
C	1100	1010	1100
D	1101	1011	1000
E	1110	1001	1010
F	1111	1000	0010

制约竞争码RRC

(鼠标滑过播放视频)



逻辑模拟的分级

- 逻辑模拟可分为三级：“门”级；“功能”级和“寄存器”级。
- 门级模拟与功能级模拟主要用于检查逻辑设计的正确性和故障分析；寄存器级模拟主要用于检查指令操作时间表。
- **门级模拟**
- 门级模拟的基本部件包含与门、或门、非门、与非门及或非门等，门级模拟也包含一些触发器等基本寄存部件，是数字电路中最低一级的逻辑元件的模拟。门级模拟一般在逻辑设计基本完成以后进行，主要目的是检查逻辑和时序的正确性。
- **功能级模拟**
- 功能级模拟允许一些功能块作为模拟的基本部件，包括加法器、计数器、编译码器等，模拟的主要目的是检查逻辑的正确性。功能级模拟要求功能部件内部的逻辑电路是详细的和准确无误的。
- **寄存器级模拟**
- 寄存器级模拟不需要详细的逻辑细节，只要编译操作表或用寄存器传输语言描述即可进行模拟。寄存器级模拟主要是检查所设计的各条指令的流程及其在相关寄存器中传输的情况。所以寄存器级模拟主要用于检查指令操作表的正确性。
- **逻辑模拟系统可用精确性、有效性、通用性来评价**

①精确性指信号值与时间的关系必须严格对应于实际电路所呈现的关系；

②有效性指模拟过程有效而成本低；

③通用性指程序能够处理各种各样的逻辑电路。

§2.逻辑模拟的模型和算法

- 门级或混合级的模拟是逻辑模拟的主要方式。
- 逻辑模拟的首要任务是验证逻辑，除了需验证逻辑关系是否满足某种（如与非门、或非门等功能块）固定的逻辑和功能之外，最能反映电路性能的参量就是时间延迟。
- 电路各部分的时序配合、总时间响应的分配，电路存在的竞争、冒险状态，对电路逻辑的影响因素非常多，从根本上来讲，这些都需要依靠合理的延时来解决 。

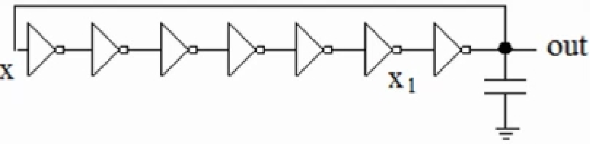
一、器件的延迟模型

- 通常的逻辑验证都需将器件的延迟代入进行模拟。延迟是许多电路正确进行工作的重要特征。如延迟线、多谐振荡器等单元电路，延迟是它们工作的基本特征。
- 延迟同时也是引起电路故障的原因。

逻辑电路的延迟

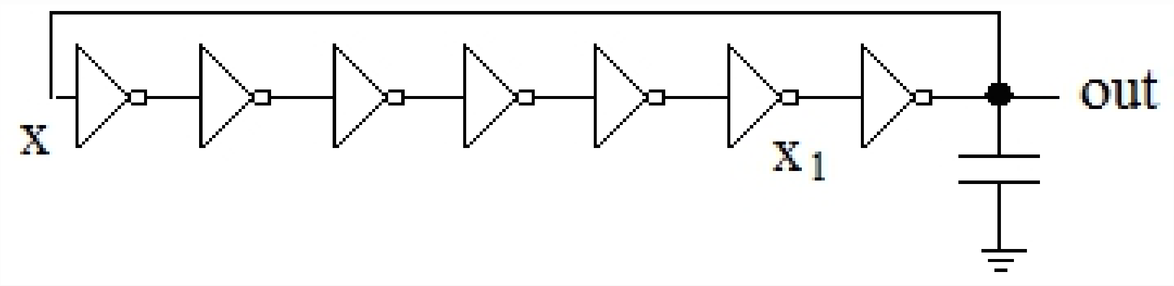
(鼠标滑过播放视频)

多谐振荡器



- 设每个倒相器的时延为Δt，则在输出端（如为1），在X点的“1”信号逐级传输，使到X1点需6Δt时间，再经Δt时间out由“1”到“0”；再经7Δt时间，out又由0→1。形成一个完整的周期T共需14Δt时间。
- 所以f=1/(14Δt)，如果Δt = 1ns，则f=70MHZ。实际上，因为电路后面都有负载，要在负载上建立信号才能工作，这种速率也很难达到（或很难起振）。通常，多谐振荡器需高于21级才能起振。

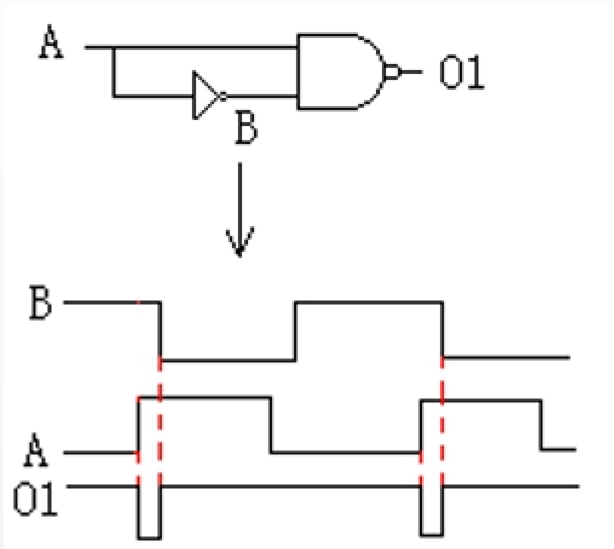
多谐振荡器



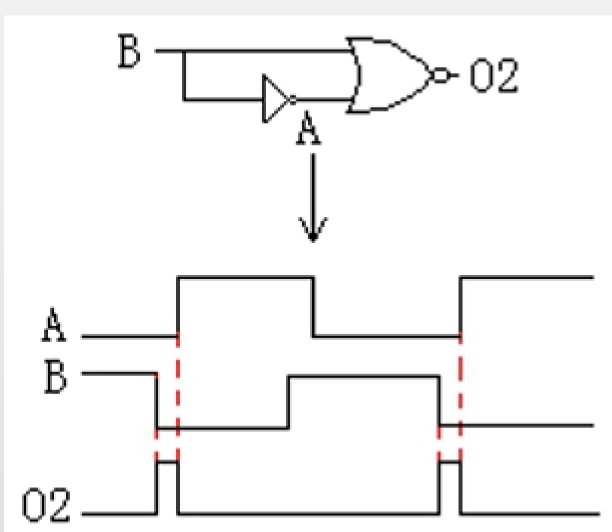
- 设每个倒相器的时延为Δt，则在输出端（如为1），在X点的“1”信号逐级传输，使到X1点需6Δt时间，再经Δt时间out由“1”到“0”；再经7Δt时间，out又由0→1。形成一个完整的周期T共需14Δt时间。
- 所以f=1/(14Δt)，如果Δt = 1ns，则f=70MHZ。实际上，因为电路后面都有负载，要在负载上建立信号才能工作，这种速率也很难达到（或很难起振）。通常，多谐振荡器需高于21级才能起振。

静态冒险电路

- 静态1冒险

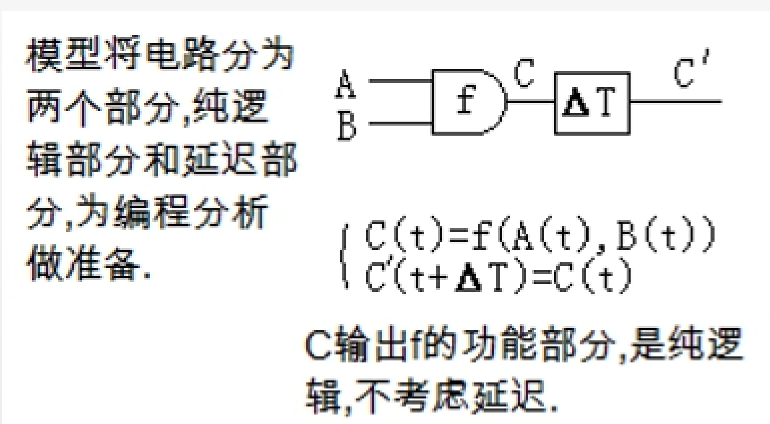


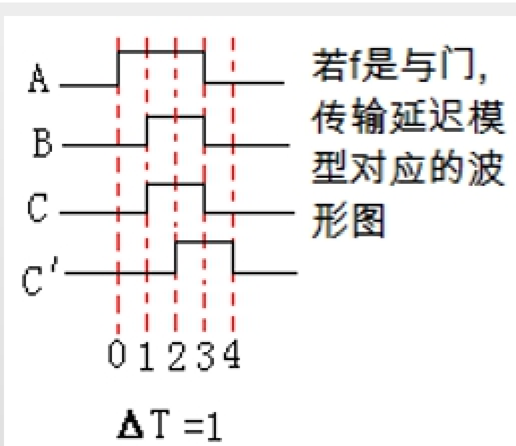
- 静态0



1. 传输延迟Δt

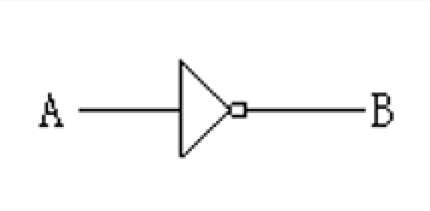
- 信号通过元件和导线传播时会引起延时，基本的时延模型是对传输时延（transport delay）建立模型，传输时延指定了输出改变与引起它改变的输入变化之间的时间间隔d，称为（纯）传输延迟，用ΔT（或 d_t ）表示。

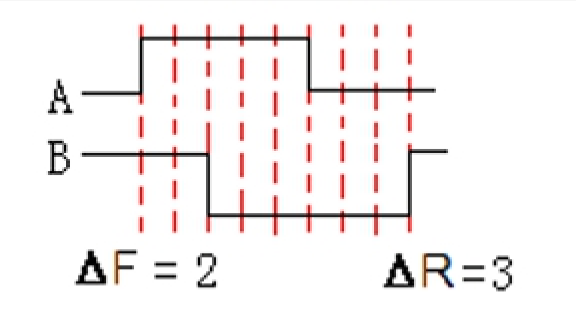




2．上升-下降延迟ΔR-ΔF

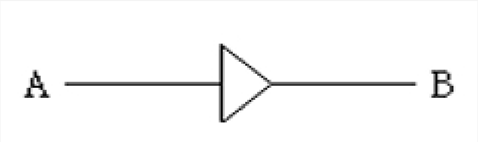
- 上升延迟（rise delay）定义为器件输出从0→1的时延ΔR（或 d_r ）；下降延迟（fall delay）定义为器件输出从1→0的时延ΔF（或 d_f ）。当△R ≠ △F时，需修改经过元件传播脉冲的宽度。

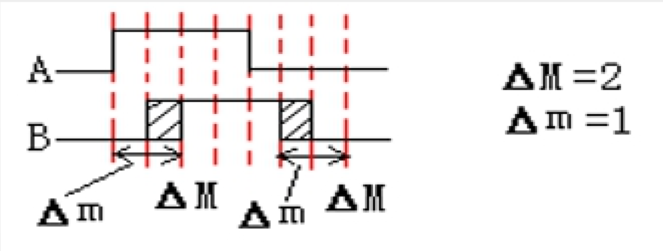




3．模糊延迟(ΔM-Δm)

- 使用一种模糊的时间间隔（ambiguity interval），通过定义每个门的最大延迟ΔM（d_M）和最小延迟Δm（d_m）来实现，这就是模糊延迟模型（ambiguous delay model）,其延迟就是一个区间ΔM-Δm，在这个时间间隔区间中的信号值不是精确可测的。

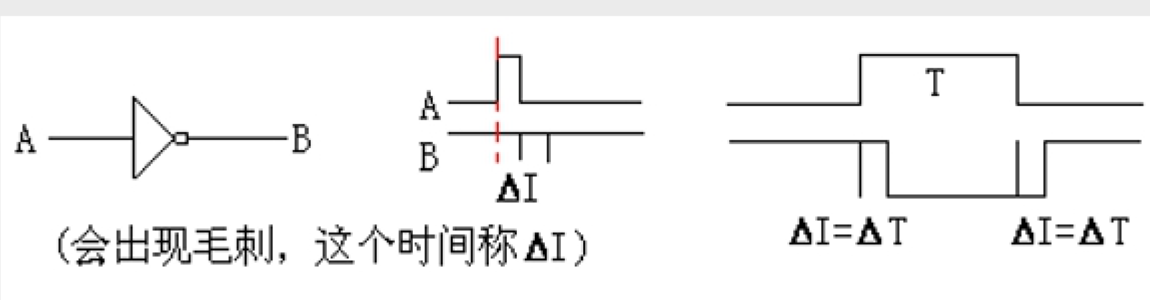




4．惯性延迟ΔI

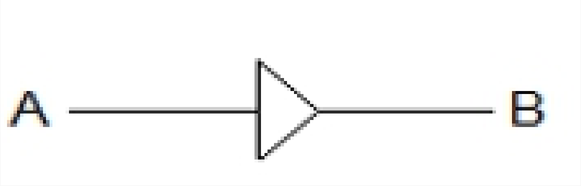
- 所有电路都需要能量来转换状态，信号的能量是关于其幅度和持续时间的函数，从脉冲角度来看，信号的能量是其高度和宽度的函数 。
- 为使器件转换状态，对于输入的一个变化所必须维持的最小持续时间称为元件的惯性延迟，记作ΔI（或 d_I ）。即一个门的输出状态改变所需的输入变化的最小持续时间称作门的输入惯性延迟（input inertial delay）。

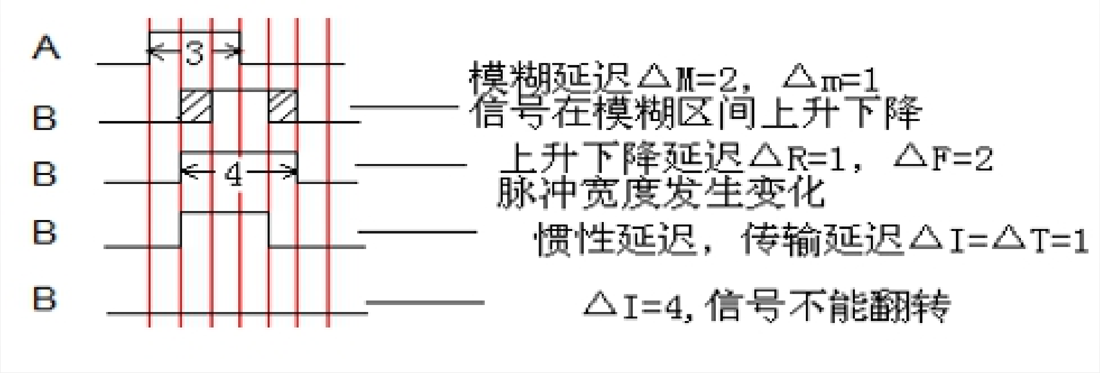
- 如果输入脉冲的持续时间比ΔI小，那么这个脉冲称为窄脉冲（spike），通常会被门过滤掉。
- 需要注意的是当输入脉冲持续期大于或等于ΔI，则器件就表现出具有大于等于ΔI的传输延迟ΔT。



门器件的延迟

- 缓冲器的输入波形为A，有输出波形B，假设ΔM=2，Δm=1，ΔR=1，ΔF=2，ΔI=ΔT=1，画出输出波形B的三种延迟波形，当ΔI=4时，画出B的输出波形。





二、多值模拟

- 模拟通常指对“0”状态与“1”状态进行模拟，是一种二值的模拟。从模糊延迟模型的延迟时间内的信号可以看出，具体在何时信号发生变化是不知道的，即信号有一个不定状态（可能为0，又可能为1）。

- 为表达这些未指定的初始状态、不可预测的振荡状态和无关紧要的状态，引入了多值表示方法。

三值逻辑模拟
(鼠标滑过播放视频)

1．三值模拟

- 以三种状态（0，1，μ）表示一个信号状态的逻辑模拟称为三值模拟。
- 对于n个输入信号端的多输入信号而言，二值逻辑的真值表示的状态共有2^n种，三值逻辑则是3^n个。

- **三值逻辑的运算关系**

A	0	1	μ
$\overline{A}$	1	0	μ

$\mu = \overline{\mu}$

非

A \ B (AB)	0	1	μ
0	0	0	0
1	0	1	μ
μ	0	μ	μ

与

A \ B (A+B)	0	1	μ
0	0	1	μ
1	1	1	1
μ	μ	1	μ

或

1．三值模拟

- 以三种状态（0，1，μ）表示一个信号状态的逻辑模拟称为三值模拟。
- 对于n个输入信号端的多输入信号而言，二值逻辑的真值表示的状态共有2^n种，三值逻辑则是3^n个。

- **三值逻辑的运算关系**

A	0	1	μ
$\overline{A}$	1	0	μ

$$\mu = \overline{\mu}$$

非

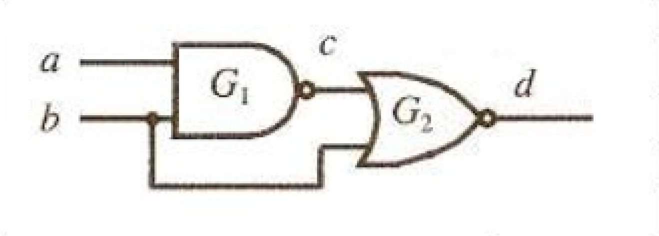
AB (A \ B)	0	1	μ
0	0	0	0
1	0	1	μ
μ	0	μ	μ

与

A+B (A \ B)	0	1	μ
0	0	1	μ
1	1	1	1
μ	μ	1	μ

或

二值与三值逻辑的真值表对比



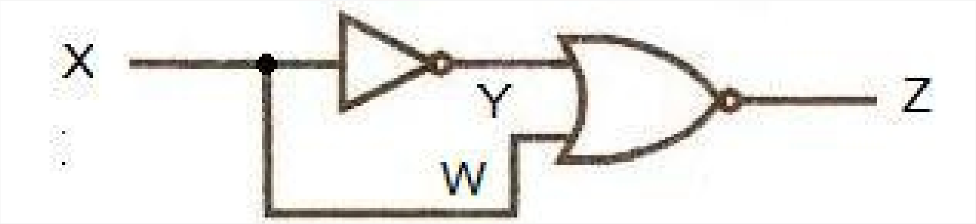
二值真值表			
a	*b*	*c*	*d*
0	0	1	0
0	1	1	0
1	0	1	0
1	1	0	0

三值真值表			
a	*b*	*c*	*d*
0	0	1	0
0	μ	1	0
0	1	1	0
μ	0	1	0
μ	μ	μ	μ
μ	1	μ	0
1	0	1	0
1	μ	μ	μ
1	1	0	0

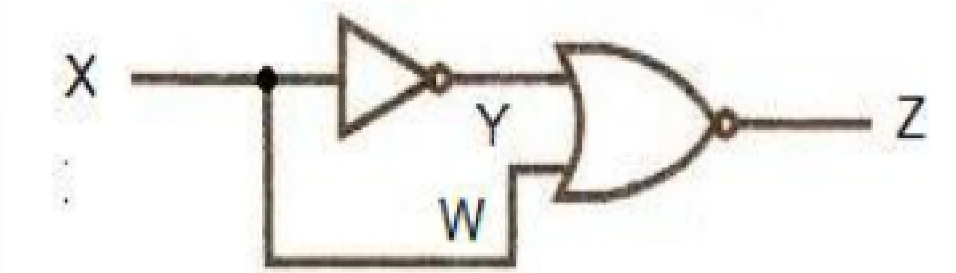
- 3值逻辑反映出，在输出端有两个不确定的μ值状态，而在2值逻辑中此电路是固定为“0”的电路，这就是前述的静态冒险“0”冒险，可见3值逻辑可以用于冒险的检测。

- 定理：组合电路C在输入序列X(t)→X(t+1)时，信号线Z存在静态冒险的充分必要条件是信号响应为0μ0或1μ1。

- 图示电路产生一个0脉冲，从逻辑上讲，若不考虑延迟，是不会有1脉冲的。它实际上就是前面提到过的静态“0”冒险。这个0脉冲到底有多宽，可以把这个状态用一个μ状态来表示，即输入X在序列0→1时，出现了0μ0序列。因此，以是否出现0μ0或1μ1可以判断是否有静态冒险。



- 0 - 延迟：输入X = 010，Y=101，Z=000，而没有延迟就没有冒险状态出现。
- 单位延迟：X=0100...，Y=1101...，Z=00100...，即在0→1变换时出现冒险，而1→0不出现冒险。
- 对于任意延迟模型：X=0μ1μ0,Y=1μ0μ1,Z=1μ1μ1
- 即在X为0→1与1→0变换时均发生冒险。



- 倒相器-INV：ΔR=5，ΔF=1；
- 2输入或非门-NOR2：ΔR=ΔF=1；
- Y信号线-Wire：ΔT=3

X				d=6								
W	ΔT=3						d=6					
Y	ΔR=5						ΔF=1					
Z				ΔR=1		ΔF=1		ΔR=1		ΔF=1		
					1				2			

三值模拟的其它用途

- ①表示冒险；
- ②表示初始态；
- ③确定后级电路哪些会出现输入变化，哪些不会以确定面向事件的模拟。

五值模拟

- 0， 1， 0→1变换，
- 1→0变换，未知μ。

$\overline{AB}$ B \ A	0	1	0/1	1/0	u
0	1	1	1	1	1
1	1	0	1/0	0/1	u
0/1	1	1/0	1/0	u	u
1/0	1	0/1	u	0/1	u
u	1	u	u	u	u

八值模拟

- 静态0值，静态1值，
- 无冒险0→1，无冒险1→0，静态0冒险，静态1冒险，
- 动态冒险0→1，动态冒险1→0

九值模拟

- 与

$$X_1 \bullet X_2 = (g_1, f_1) \bullet (g_2, f_2) = (g_1 g_2, f_1 f_2)$$

- 或

$$X_1 + X_2 = (g_1, f_1) + (g_2, f_2) = (g_1 + g_2, f_1 + f_2)$$

- 非

$$\overline{X} = \overline{(g, f)} = (\overline{g}, \overline{f})$$

0=（**0**，**0**）	S_0=（0，1）	G_0=（0，μ）
1=（**1**，**1**）	S_1=（1，0）	G_1=（1，μ）
U=（μ，μ）	F_0=（μ，0）	F_1=（μ，1）

九值模拟

0=（0，0）	S_0=（0，1）	G_0=（0，μ）
1=（1，1）	S_1=（1，0）	G_1=（1，μ）
U=（μ，μ）	F_0=（μ，0）	F_1=（μ，1）

	与								
	0	1	S_0	S_1	U	G_0	G_1	F_0	F_1
0	0	0	0	0	0	0	0	0	0
1	0	1	S_0	S_1	U	G_0	G_1	F_0	F_1
S_0	0	S_0	S_0	0	G_0	G_0	G_0	0	S_0
S_1	0	S_1	0	S_1	F_0	0	S_1	F_0	F_0
U	0	U	G_0	F_0	U	G_0	U	F_0	U
G_0	0	G_0	G_0	0	G_0	G_0	G_0	0	G_0
G_1	0	G_1	G_0	S_1	U	G_0	G_1	F_0	U
F_0	0	F_0	0	F_0	F_0	0	F_0	F_0	F_0
F_1	0	F_1	S_0	F_0	U	G_0	U	F_0	F_1

或									非
0	1	S_0	S_1	U	G_0	G_1	F_0	F_1	
0	1	S_0	S_1	U	G_0	G_1	F_0	F_1	1
1	1	1	1	1	1	1	1	1	0
S_0	1	S_0	1	F_1	S_0	1	F_1	F_1	S_1
S_1	1	1	S_1	G_1	G_1	G_1	S_1	1	S_0
U	1	F_1	G_1	U	U	G_1	U	F_1	U
G_0	1	S_0	G_1	U	G_0	G_1	U	F_1	G_1
G_1	1	1	G_1	G_1	G_1	G_1	G_1	1	G_0
F_0	1	F_1	S_1	U	U	G_1	F_0	F_1	F_1
F_1	1	F_1	1	F_1	F_1	1	F_1	F_1	F_0