

通用和专用IC

- 专用集成电路是相对于通用集成电路而言的，但两者并没有技术含义上的差异，也没有明显的界限。
- ASIC可分为ASSP和ASCP
- Application Specification Customed Product
- Application Specification Standard Product



IC设计方式

- IC按设计方法可分为全定制、半定制电路，现在有些观点认为应分为全定制、半定制、可编程三类，这种分法实际上是突出了可编程类器件。
- 定制电路基本都是ASIC。



全定制电路

- 所谓全定制ASIC电路，是指对于为某一用户设计、制造的集成电路，从电路图输入开始，完成逻辑或电路验证、版图生成、掩膜（MASK）制备到芯片制作的全套集成电路研制过程。
- 全定制设计方法是设计工艺所需要的全套掩膜版，有标准单元法、功能块法、优化阵列法等。



半定制电路

- 与全定制不同，半定制电路的大部分设计和制备过程并不是针对某一特定用户。
- 半定制电路具有一定的“母片”结构。
- 半定制设计方法是只设计全套掩膜版中的一块或数块，典型的方法有门阵列法和可编程阵列（PLA）法等。
- 半定制电路按照半成品的形式又可划分为两种：一种是半定制电路的初始基础是硅材料母片，另一种是半定制电路的初始基础是已封装好的电路。

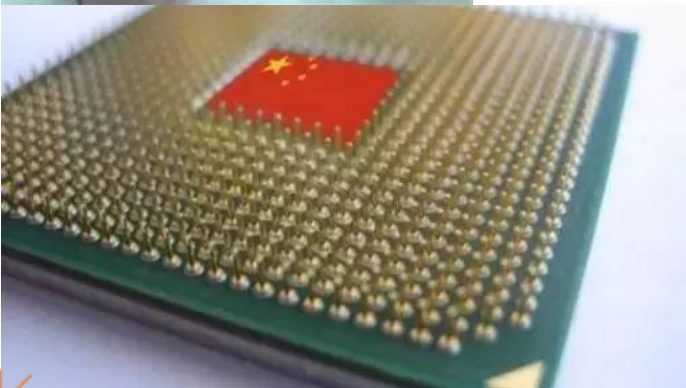
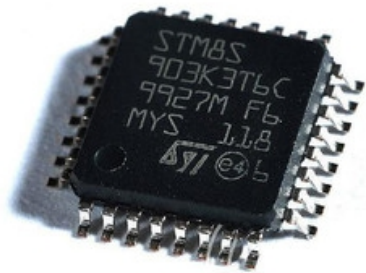
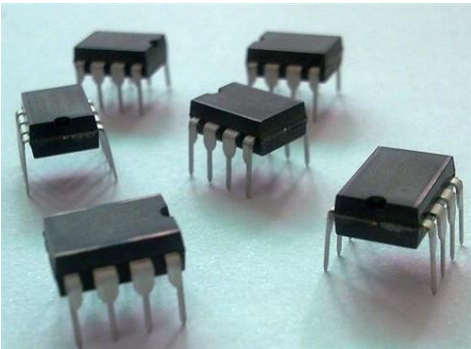


§2. ASIC

从广义上来讲，几乎所有有专门用途的，而又不属于标准集成电路、通用存储器、通用微处理器的产品都可以称为ASIC。

ASIC的主要优点

- (1)降低了产品的综合成本；
- (2)提高了产品可靠性；
- (3)提高了产品的保密程度和竞争能力；
- (4)降低了电子产品的功耗；
- (5)提高了电子产品的工作速度；
- (6)大大减少了电子产品的体积和重量。



ASIC的主要结构形式

行式结构

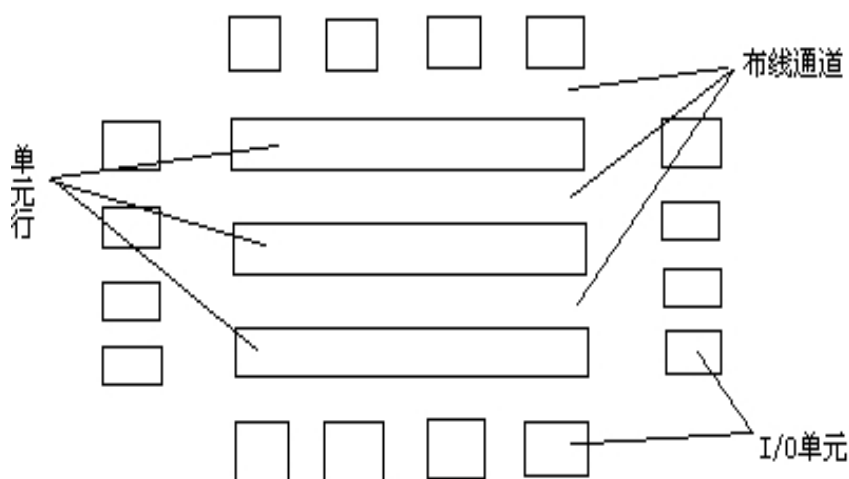
积木块结构

规则阵列结构



行式结构

行式结构如图所示，芯片中央为单元阵列和布线通道，输入输出单元在芯片的四周。



门阵列和标准单元 都是行式结构，具有一定高度的限制。

单元的信号引线从单元的上下两边引出，电源、地线从单元的左右两边引出，并且它们的位置、线宽都有严格的规定。

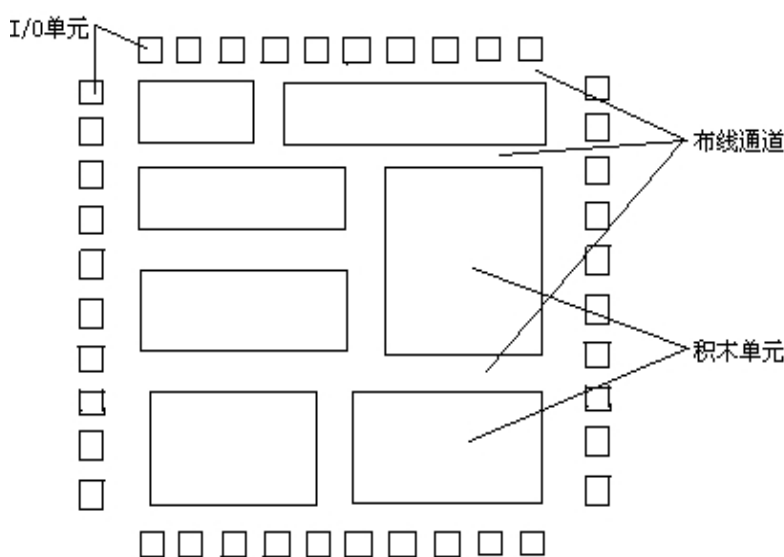
行式结构的布线采用两边或四边布线通道模型，通常采用面向布线区的布线方式。

所谓面向布线区的布线方式是指布线的优化是针对各布线通道实现的。



积木块结构

所谓的积木块结构是宏单元的布图结构，积木块单元突破了单元高度的限制，使单元的设计灵活性大为增强，并且单元的优化程度更高。

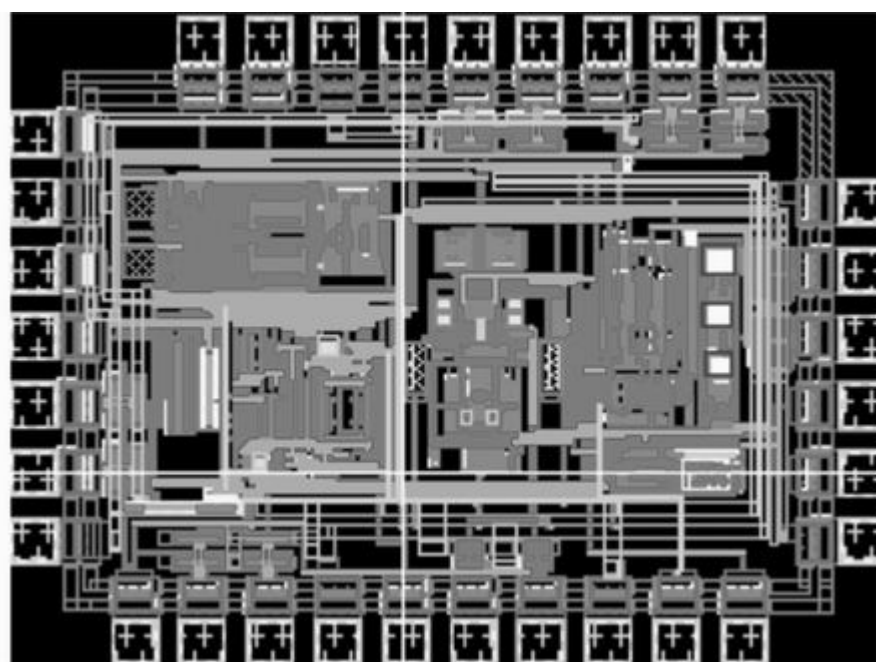
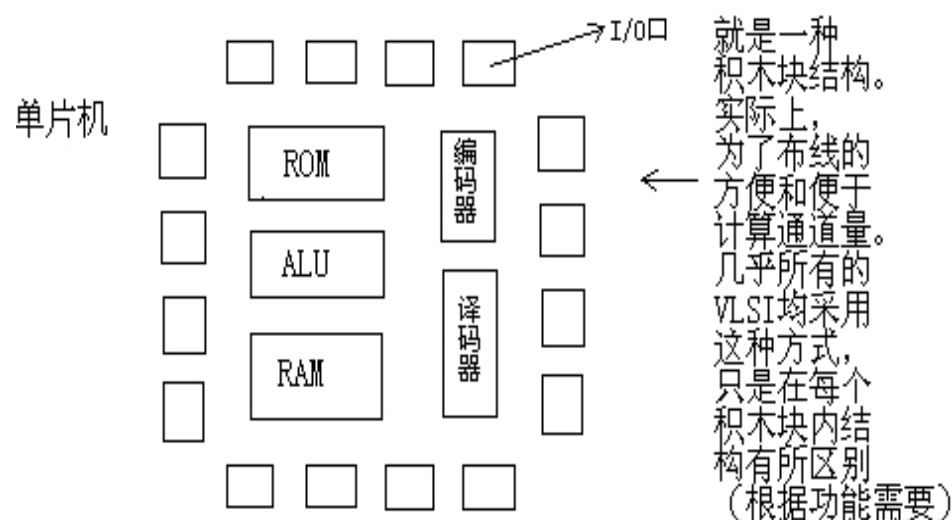


标准专用电路通常采用积木块结构，如单片机芯片。

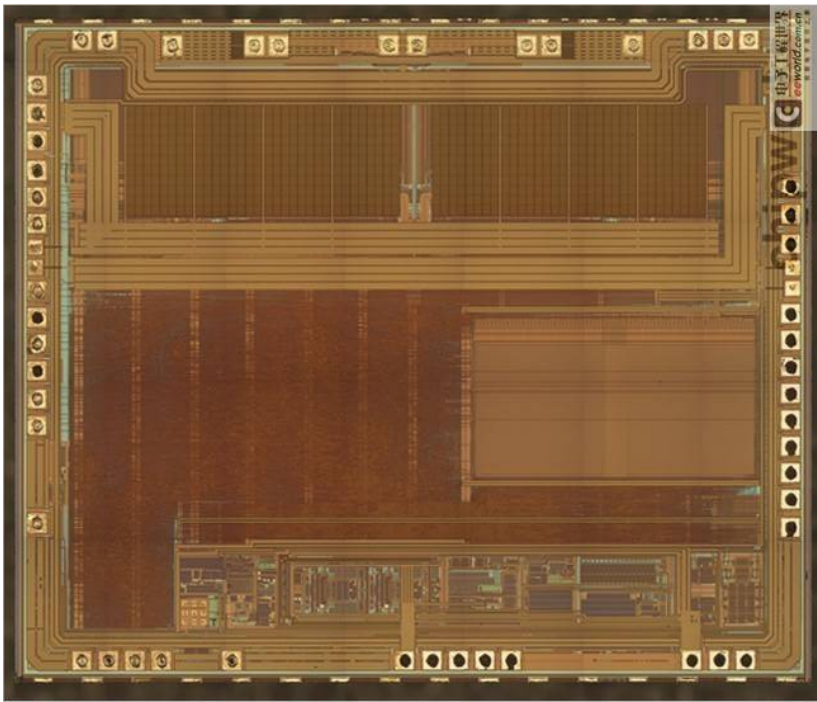
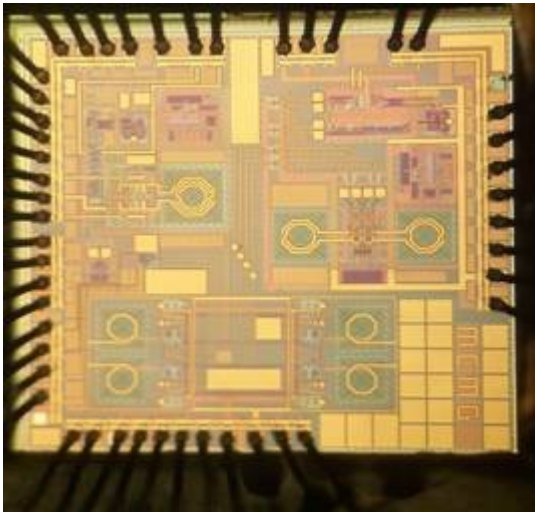
积木块结构的布线通常将连线按数据流和控制流进行分类，采用面向或网的布线方法。所谓面向线网的布线方法是指布线的优化是按照线网顺序进行。



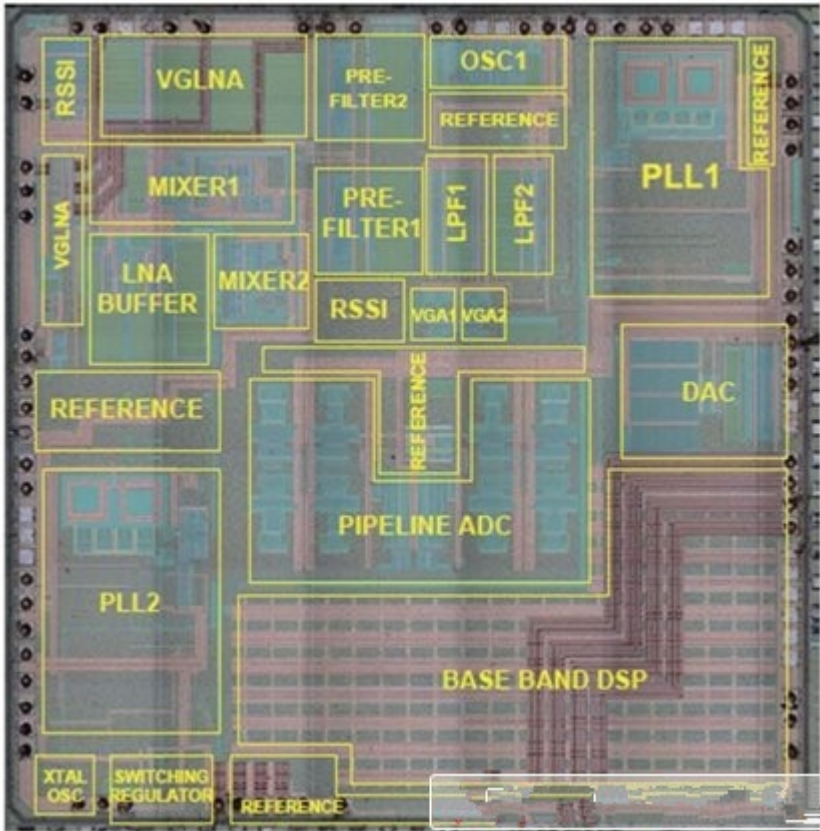
芯片的积木电路结构



芯片的积木电路结构



芯片的积木电路结构



规则阵列结构

- 规则阵列结构既可以单独构成电路逻辑，又可以作为ASIC的一个单元。
- 规则阵列结构一般为两级阵列，分别为“与阵列”和“或阵列”。
- ROM和PLA阵列是规则阵列结构，大多采用MOS结构。
- MOS集成电路中，常用“或非—或非”阵列结构或“与非—与非”阵列结构代替“与—或”阵列结构，均有同相和反相输入和输出。



半定制电路的结构

- 固定门阵列（**FIXED GATE ARRAY**）
- 可编程逻辑器件（**PLD**）

目前较为成熟的PLD有
**PROM、PAL、GAL和
EPLD。**

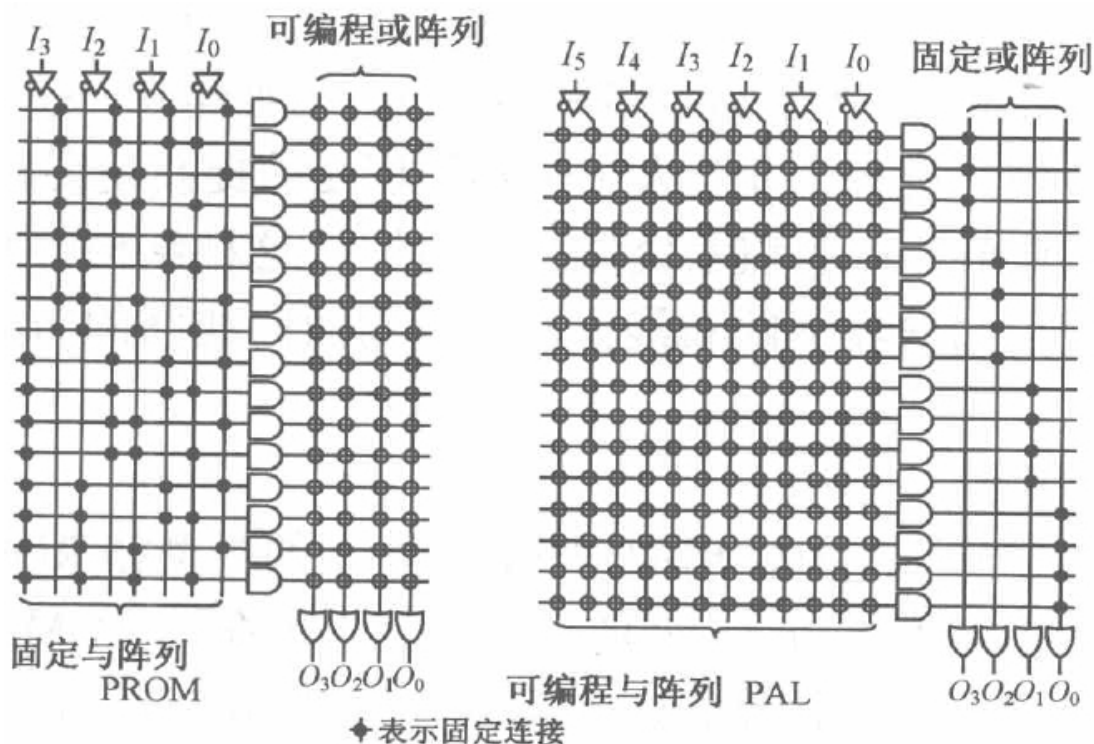
现场可编程门阵列**FPGA**



PLD

Programable Logic Device

- PROM(Programable Read Only Memory)其基本结构包括一个固定的“与”阵列，其输出加到一个可编程的“或”阵列之上，主要用于有效计算机程序和数据库。



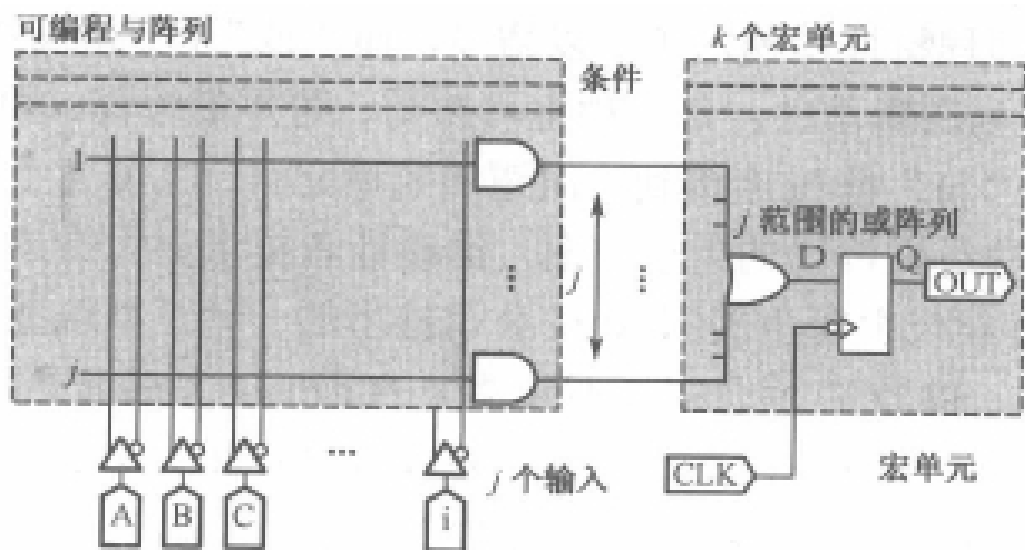
- PAL(Programable Array Logic)器件即可编程阵列逻辑器件，由一个可编程的“与”阵列和一个固定的“或”阵列组成。其对“与”阵列可编程特性使输入项可以增多，而“或”阵列固定使器件简化。



GAL

Gate Array Logic

GAL是一种通用阵列逻辑器件，是一种可电擦写、可重复编程、可以加密的PLD。GAL器件是将一个可编程的“与”阵列连接到输出逻辑宏单元（OLMC）上输出，通过对OLMC的编程，就可在符合各种逻辑设计的需求方面，给设计者提供更大的灵活性。



数电补充知识

组合电路:布尔函数描述为最小乘积项的和

$$F = \sum_{i=1}^n \left(\prod_{j=1}^m x_{ij} \right) = x_{11}x_{12}\dots x_{1m} + x_{21}x_{22}\dots x_{2m} + \dots + x_{n1}x_{n2}\dots x_{nm}$$

输入矢量 x : 有原量和反量输入,
输出函数 F : 可以正向和反向输出

时序电路:组合电路+锁存器反馈

时序电路的输入、输出和触发器的状态之间的函数关系可以用状态表(state table)列举出来。状态表包括四个部分, 分别标记为当前状态(present state)、输入(input)、下一状态(next state)和输出(output)。

状态表中的有用信息可以通过状态图以图形化的状态机的方式表现出来。

Moore型状态机的转向只取决于当前的状态, 输出信号是直接由状态寄存器译码得到。

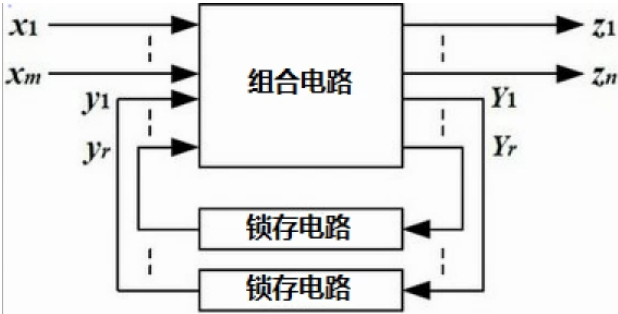
Mealy型状态机则是以现时的输入信号结合即将变成次态的现态, 编码成输出信号。

同步时序电路和异步时序电路的差异在于后者没有统一的时钟脉冲控制电路。



数电补充知识

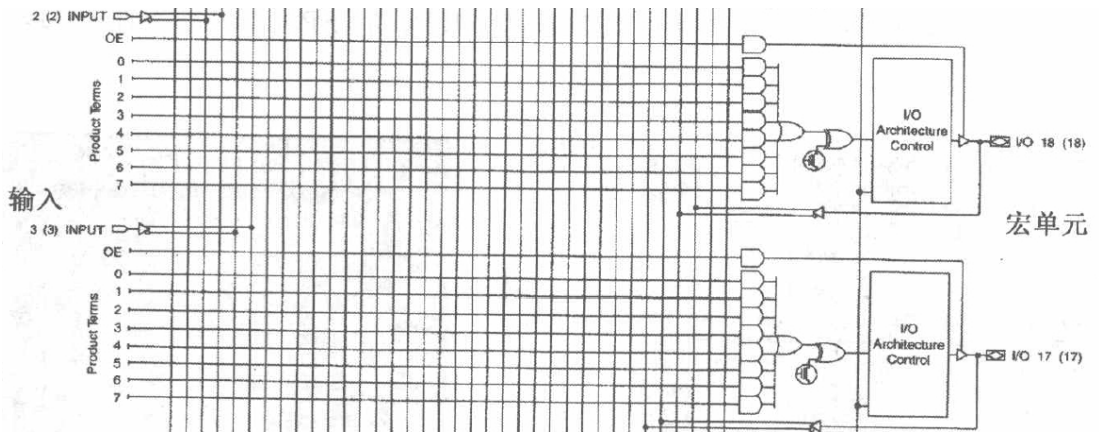
(鼠标滑过播放视频)



EPLD

Erased Programmable Logic Devices

EPLD是80年代中期由美国ALTRA公司推出的一种新型可擦除的可编程逻辑器件，它是将EPROM直接合成于PLD芯片之中。不同型号的EPLD大都由不同个数的宏单元组成，每个宏单元一般包括三个组成部分：逻辑阵列、可编程寄存触发器、可编程I/O控制模块。



FPGA

Field Program Gate Array

- FPGA是由掩膜可编程门阵列和可编程逻辑器件二者演变而来，将它们的特性并在一起。
- FPGA器件的核心部分是逻辑单元阵列LCA；
- LCA由三个部分组成：可编程逻辑块CLB、可编程输入/输出模块IOB、可编程内部连线PIC。LCA的可编程逻辑块和I/O模块的功能及其互连，是由存储器在单片存储器（PROM和EPROM）中的可配置程序控制。
- FPGA的最新发展是基于SRAM的可动态重构的FPGA。



目前全球知名的FPGA生产厂商有：

1. Altera, 开发平台是Quartus II
2. Xilinx 开发平台是ISE
3. Actel, 开发平台是Liberio
4. Lattice
5. Atmel

Altera和Xilinx主要生产一般用途FPGA，其主要产品采用RAM工艺。Actel主要提供非易失性FPGA，产品主要基于反熔丝工艺和FLASH工艺。

Xilinx是FPGA的发明者，拥有世界一半以上的市场。查表法结构（LUT）。

Altera的结构是多路开关(Multiplexer)。

FPGA大部分是基于SRAM编程，编程信息在系统断电时丢失，每次上电时，需从器件外部将编程数据重新写入SRAM中。其优点是可以编程任意次，可在工作中快速编程，从而实现板级和系统级的动态配置。

以乘积项结构方式构成逻辑行为的器件称为复杂可编程逻辑器件

CPLD (complex programmable logic device)



- 半定制电路有较快的设计和生产周期；
- 全定制电路可以采用MPW的方式来试制电路从而减小风险和制造成本。
- MPW (Multiplied Project Wafer) 是现在有些公司提供“分散设计、集中生产和标准单元法”服务的产物，如美国MOSIS (MOS Implementation Service)，国内华虹、中芯国际也开展这样的加工服务。



§3. 门阵列 Gate Array

- 门阵列技术是一种规则化的版图结构，采用行式结构，常采用以标准“与非门”或“或非门”定义的门单元排列在行式结构中的单元行内。
- 门阵列电路设计是根据具体的逻辑，在一个两维的平面上以基本单元为单位进行布局，然后根据逻辑通过单元、单元行内部连线和布线通道内的连线，以及连接信号线至输入/输出单元完成设计。
- 单元行之间、单元行和I/O单元之间为布线通道。
- 单元行和布线通道交替排列。输入/输出单元（I/O PAD）排列在阵列的四周。



本课程涉及的门阵列

- 1、固定门阵列
- 2、优化门阵列
- 3、CMOS门阵列



1、固定门阵列

- 固定门阵列的设计方法又称“母片”法，是一种母片式半定制技术。
- 固定门阵列具有规则的结构，即有固定大小、固定结构、固定I/O数量的门阵列。
- 单元的信号引线从单元的上下两边引出，电源、地线从单元的左右两边引出，并且它们的位置、线宽都有严格的规定。
- 在水平布线通道内，铝线都是水平线，需要垂直跨接的线网，都采用多晶硅或扩散条垂直跨接，在垂直布线通道内，铝线都是竖直线，水平跨接通过多晶硅条或扩散条实现。多晶硅线与铝线总是相垂直的分布。



2、优化门阵列

- 优化门阵列是属于全定制集成电路。
- 优化门阵列是一种不规则的门阵列结构。所谓不规则是指它的单元行的宽度不完全相同，即每行的单元数有多有少，布线通道的容量不完全相同。



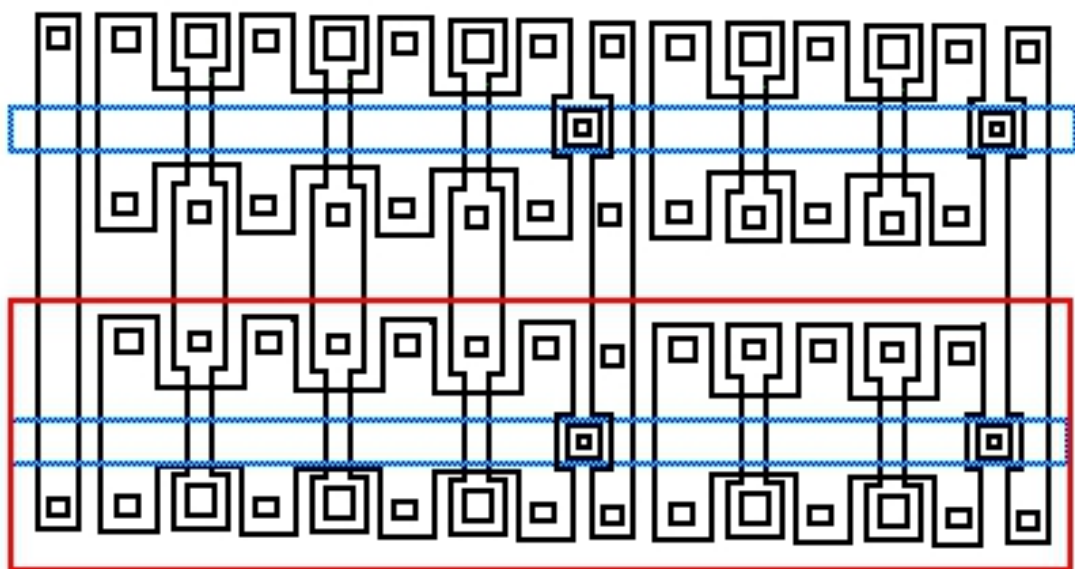
3、CMOS门阵列

- 门阵列的实现有多种方式，有TTL、ECL和MOS门阵列。相比之下，CMOS门阵列的工艺复杂性较小，布线和电源、地线也较为好处理。
- 门阵列单元是门阵列的核心，针对不同的需要，可以采用不同的工艺和不同的单元结构。



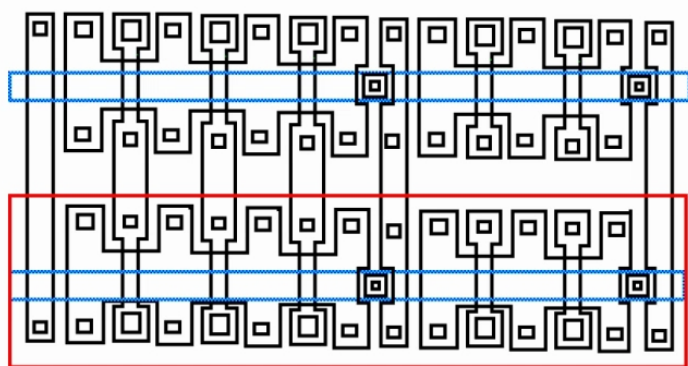
P阱硅栅CMOS固定门阵列

10管单元

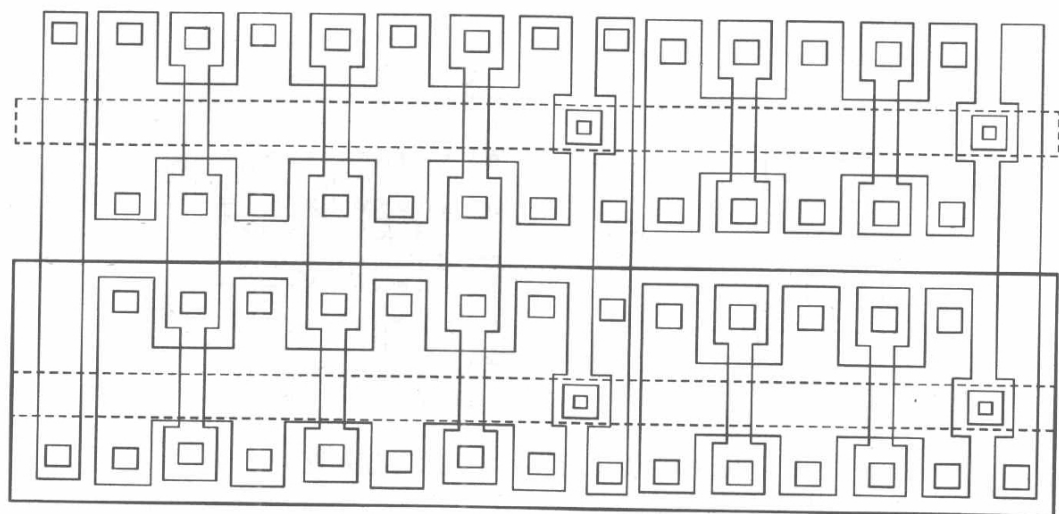
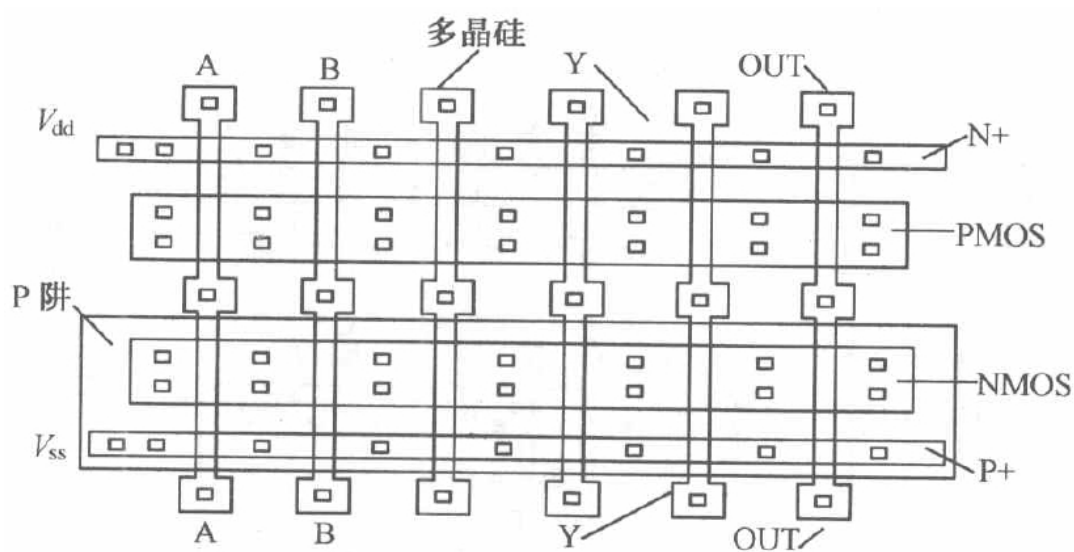


P阱硅栅CMOS固定门阵列 10管单元

P阱硅栅CMOS固定门阵列 10管单元

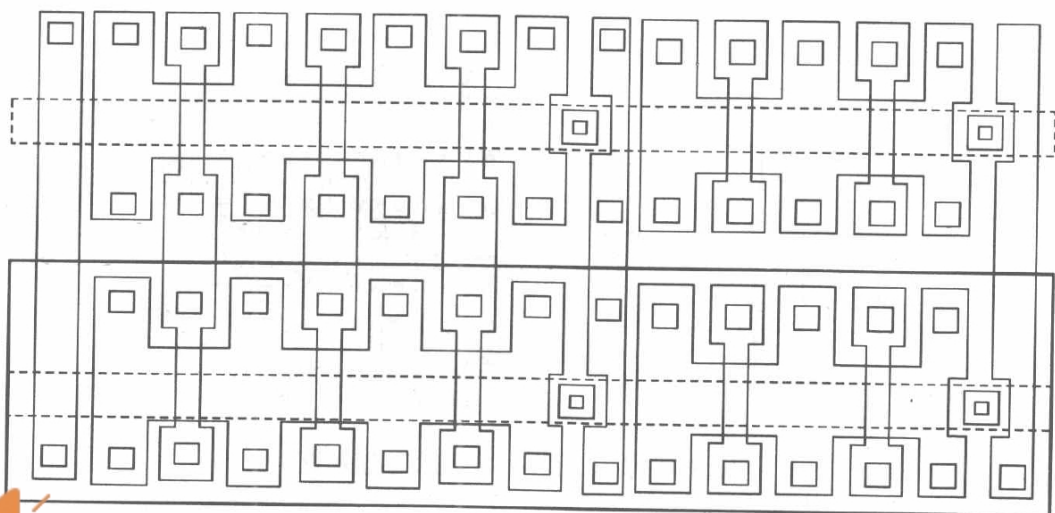
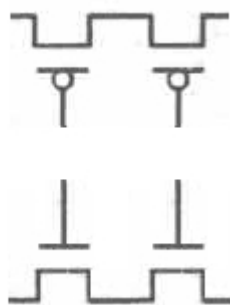
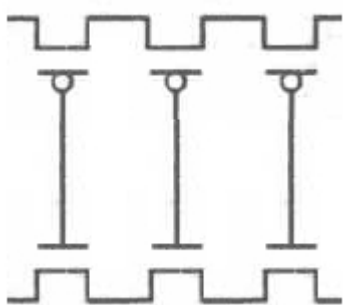
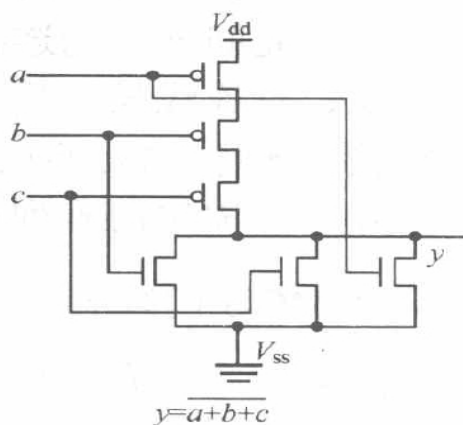


CMOS 固定门阵列



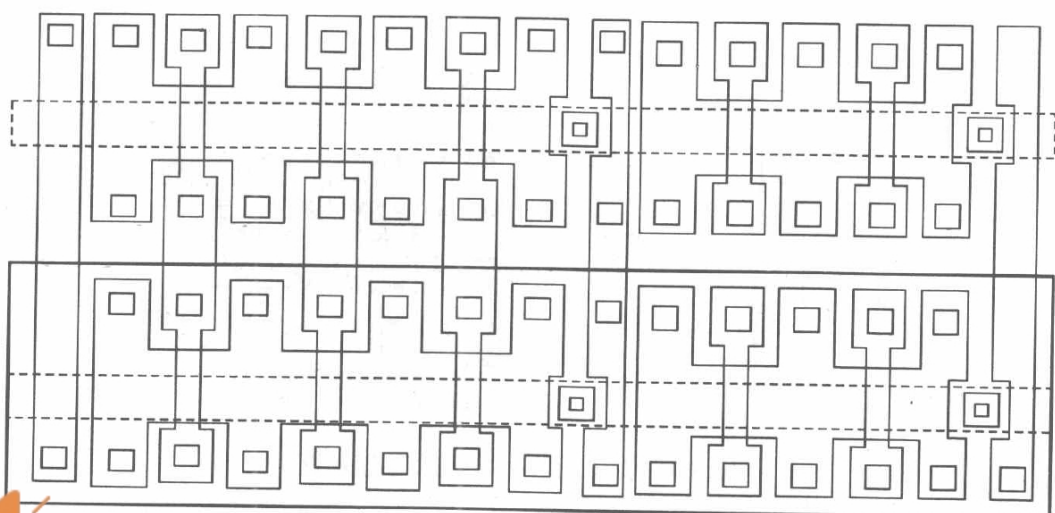
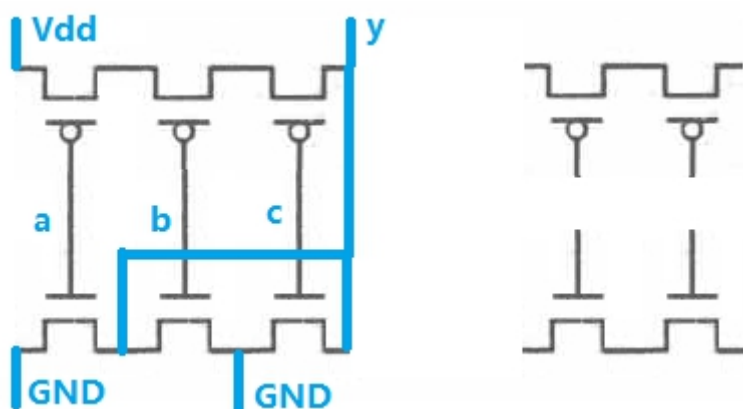
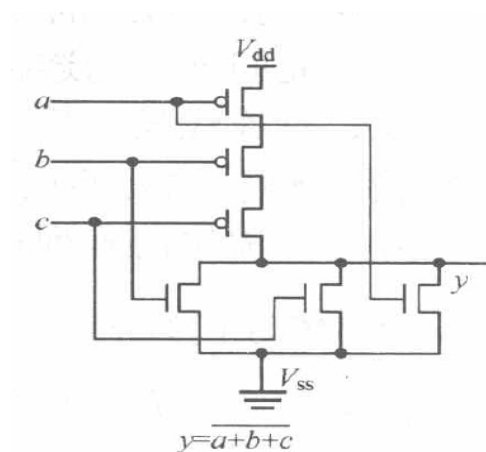
CMOS固定门阵列电路

10 管 CMOS 固定门阵列实现三输入或非门电路



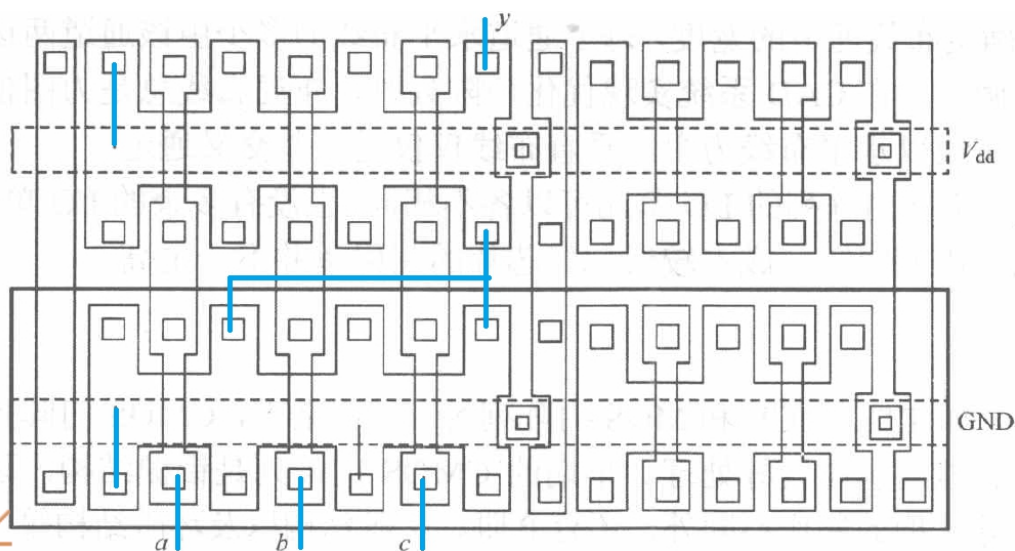
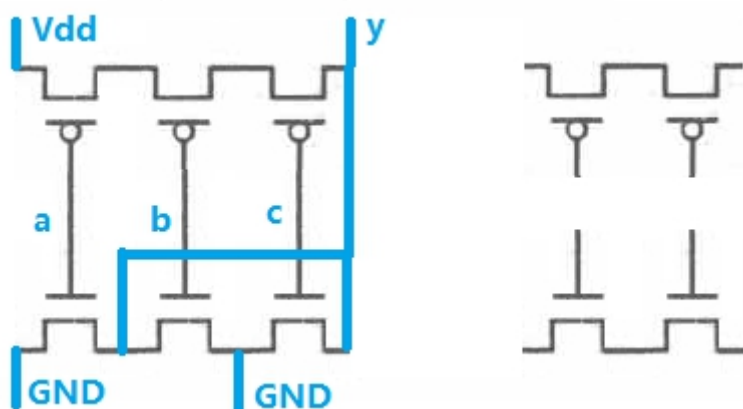
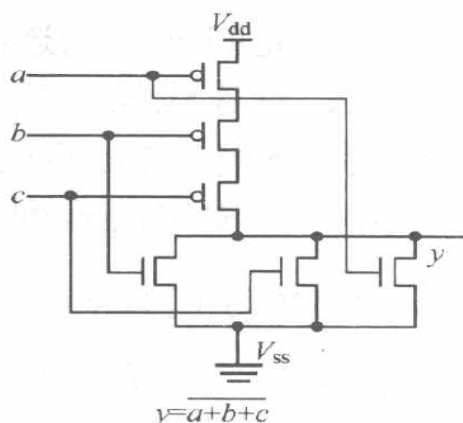
CMOS 固定门阵列电路

10 管 CMOS 固定门阵列实现三输入或非门电路



CMOS 固定门阵列电路

10 管 CMOS 固定门阵列实现三输入或非门电路

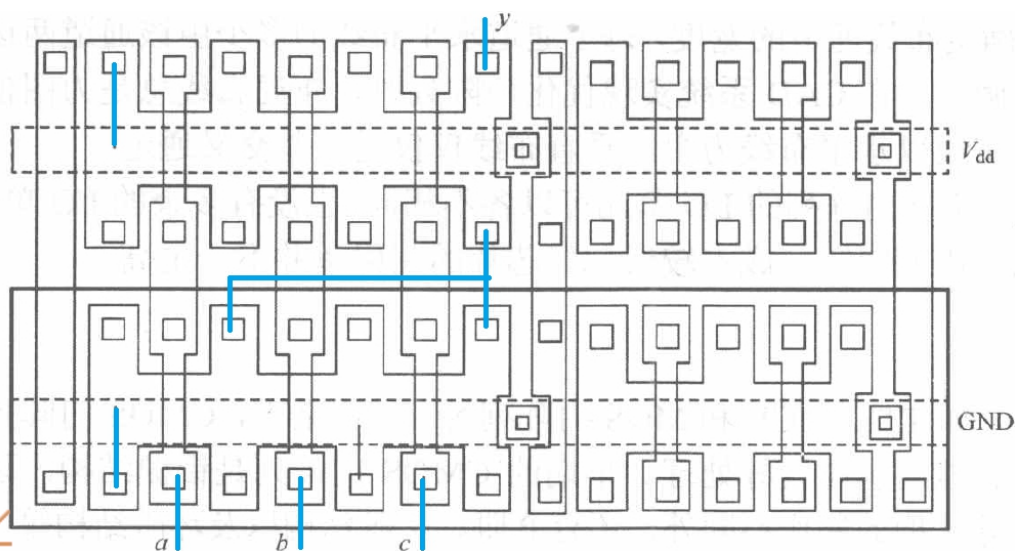
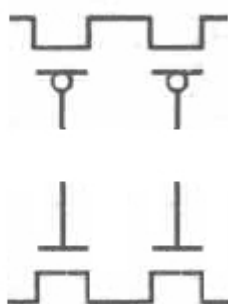
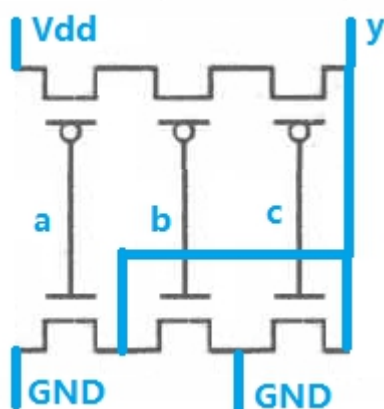
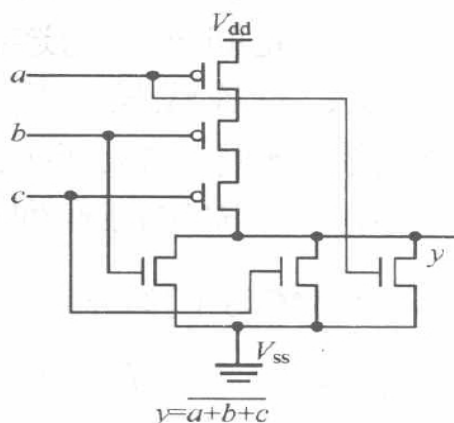


CMOS 固定门阵列电路

10 管 CMOS 固定门阵列实现三输入或非门电路

NOR3

$$y = \overline{a+b+c}$$



CMOS固定门阵列电路

$$y = abc$$



AND3

