

雪崩击穿（一次击穿，器件未坏）导致寄生三极管打开，曲线回滞

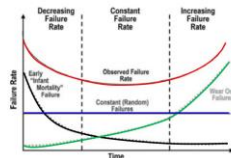
雪崩导致曲线回滞以后，在低阻导通状态下电流继续增加，直到器件热烧毁（二次击穿）

## 可靠性定义：

- **可靠性：**产品在**规定条件**下和**规定时间**内，完成**规定功能**的能力。
- **可靠性事件举例：**  
汽车在100公里时速下行驶10000公里可以正常运转  
MOS器件在5V电压应力下工作10年可以正常开关

## 浴盆曲线：

浴盆曲线：Bath Curve, 电子器件失效一般规律



- **早期失效:** Infant Mortality, 主要是由于缺陷造成;  
如:材料缺陷(氧化层质量); 封装焊接不良;  
工艺失误(清洗不彻底)等等
- **随机失效:** Random Failure, 主要由偶然因素造成;  
如: 静电泄放; 宇宙射线辐射; 错误使用等;
- **磨损失效:** Wear-out Failure, 正常使用至寿命极限;  
如: 热载流子退化; 时间决定的电介质击穿;  
金属电迁移等;

早期失效： $\lambda < 1$  的威尔逊分布

偶然失效：指数分布

磨损失效：正态分布

## MOS 器件可靠性问题分类：

从位置上分类：

### 器件自身：

- 栅氧完整性 (GOI)
- 栅氧经时击穿 (TDDB)
- 负偏温度不稳定性 (NBTI)
- 热载流子退化 (HCI)
- 自热效应 (SH)
- 静电泄放 (ESD)
- 辐射效应

双栅氧负温；双效应静电；热载流退化；

### 器件之间：

- 闩锁效应 (Latchup) 寄生三极管

### 互联金属：

- 金属电迁移 (EM)
- 金属应力迁移 (SM)

### 封装：

- 高温高湿 (THB)
- 高/低温存储 (HTOL)
- 高低温循环 (TC)
- 机械振动
- 盐雾环境

从时间角度分类：

### 短程可靠性 (Shortterm)

- 静电泄放 (ESD)
- 闩锁 (Latch up)
- 自热效应 (Self-heating)
- .....

### 长程可靠性 (Longterm)

- 栅氧经时击穿 (TDDB)
- 热载流子退化 (HCI)
- 负偏温度不稳定性 (NBTI)
- 电迁移 (EM)
- 辐照

短程可靠性：短时间内器件失效

长程可靠性：参数随着时间慢慢退化

## 静电泄放 ESD:

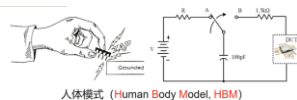
ESD: **E**lectro-**s**tatic **D**ischarge

**静电泄放**: 带有不同电势的两个物体间静电电荷传输

ESD 是电流型事件，会产生 2A 到 10A 的电流脉冲，维持 200ns，边沿 200ps

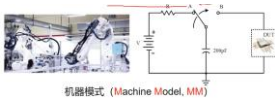
ESD 作用于电子元器件会带来不可逆转的失效

人体模式 (用户使用):



1.5kΩ是等效人体电阻; 100pF 是等效人体电容

机器模式 (生产过程):



机械手臂等效电阻很小很小，放电很快; 200pF 是机械手臂的电容

元件充电模式 (运输过程):



运输过程使得器件自身带有电荷，即充电模式; 元器件取出后接触地，产生大量电荷泄放

相近等级的三种 ESD，损伤程度: CDM>MM>HBM

电场感应模式 (FIM):

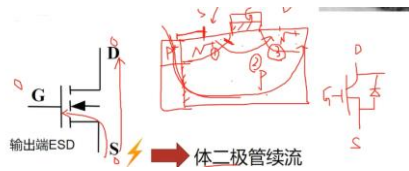
电场感应引起，芯片经过电场后，芯片本身积累了静电电荷，此静电电荷以类似 CDM 的模式泄放出来。

ESD 失效机理:

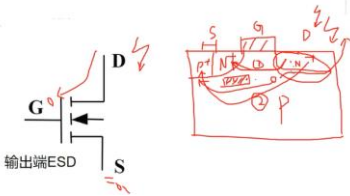
栅极 ESD 输入: 栅氧击穿失效



源极 ESD 输入: 体二极管续流 (走 S 端-D 端的正偏寄生二极管，PN 结 3 处损伤最大)



漏端 ESD 输入：寄生三极管触发（走 D 端-S 端的 npn 寄生三极管②，两个 PN 结处损伤最大）



源漏端 ESD 冲击后，温升会高于硅熔点，导致接触孔被烧毁

### ESD 评估方法：

① Zap 评估：实际产品

组合一：I/O 口 引脚测试；组合二：pin-pin 测试；组合三：Vdd-Vss 测试

判断两个端口间 ESD 失效依据：绝对漏电流；相对 I-V 漂移；功能观测法

判断整个芯片 ESD 等级：造成损坏的最低 ESD 测试电压称为元件的 ESD 水平

② TLO 法：偏学术

### ESD 保护网络：

思路：任意两个端口均有正负 ESD 泄放通路，使得正常电路能规避 ESD 冲击

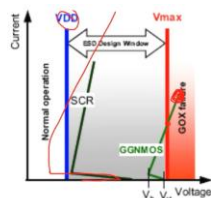
三个原则：

有效性原则：能够有效实现芯片 ESD 防护目的

鲁棒性原则：ESD 保护单元可重复泄放不损坏

透明性原则：尽量不影响芯片正常电路功能

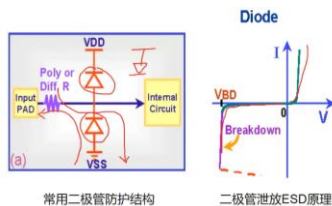
设计窗口：



- 触发电压小于被保护后级栅氧击穿电压
- 维持电压大于芯片工作电压
- 二次击穿电流对应电压小于栅氧击穿电压

### ESD 防护单元：

① 二极管



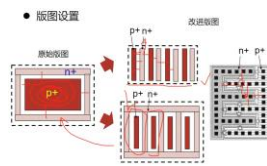
常用二极管防护结构

二极管泄放ESD原理

Q：二极管能否反向放置？二极管击穿电压有何要求？

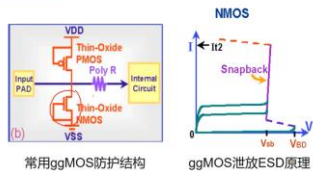
不能，如果 PN 结反向放置，则电源电压会被钳制在 1.4V 左右。二极管的击穿电压要要比

内部击穿电压要低。



叉指型：提高利用面积率，但整体会占用较大面积。

## ② ggMOS



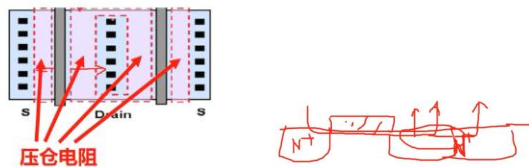
Q: MOS器件做ESD保护，为什么要gate grounded (GG)?

ggMOS 的栅源接在一起，利用漏端的寄生三极管，防止正常上电时的误开启。

Q: MOS器件做ESD保护，维持电压越低越好？

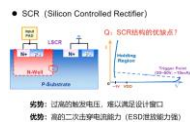
不是，不能把窗口放的太大，vhold 需要大于 vdd，不能对 ESD 冲击后的正常上电有影响。

Q: 叉指状ggMOS版图如何？



压仓电阻：可以使回滞曲线斜率变小，避免不均匀开启。

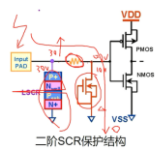
## ③ SCR



优点：ESD 泄放能力强，二次击穿电流大

缺点：过高的触发电压，难以满足设计窗口

改进一：二阶 SCR （SCR 与 ggMOS 用电阻连接起来）



利用了 SCR 的强泄放能力和 ggMOS 的低触发电压（电阻改善 SCR 高触发电压）

改进二：LVSCR:

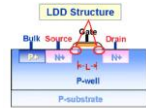
做了一个重掺杂 N 阱，降低触发电压



## ESD 泄放能力：LVSCR>ggMOS>二极管

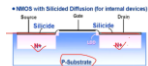
ESD 鲁棒性不够的原因：

1.LDD 结构尖端放电：ESD 冲击下，LDD 结构尖端放电，导致器件失效（LDD 用来抑制热载流子退化效应）



带有LDD结构的MOS结构剖面

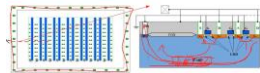
2.Silicided 低阻层：通常源漏接触设置 Silicided 扩散层降低接触电阻，但会导致器件 ESD 防护能力下降。（但压仓电阻希望源漏电阻大些，才能使回滞曲线斜率下降）



带有Silicided的MOS结构剖面

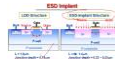
3.不均匀触发：并联的 ggMOS 只有一部分开启，通常在中间位置 ggMOS 器件烧毁。（衬底电压导致寄生三极管开启，版图中间的 ggMOS 受害最严重）

- 不均匀触发：并非所有并联的ggMOS都发挥作用，ggMOS器件烧毁在局部位置（通常为中间位置）



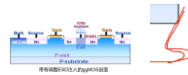
### 改进 1：

- 针对LDD结构尖端放电问题的改进1：  
单做ggMOS器件的ESD注入步骤



缺点：需要多做版次，成本增加。

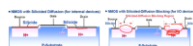
- 针对LDD结构尖端放电问题的改进2：  
引入新的低击穿位置，取代LDD尖端敏感位置



缺点：触发电压降低了，多做了一次步骤，成本增加。

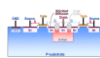
### 改进 2：

- 针对Silicided 低阻层问题的改进1：  
引入silicide阻挡层结构，增加源漏电阻



缺点：多做一次步骤，成本增加。

- 针对Silicided 低阻层问题的改进2：  
引入N-well结构，增加漏端电阻

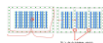


人为做了一个压仓电阻

缺点：多做一次步骤，成本增加。

### 改进 3：

- 针对不均匀触发问题的改进：  
引入多个衬底电位接触位置，抑制寄生BJT提前触发



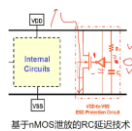
缺点：增加了面积

### 电路级防护：

1.栅极耦合技术：栅漏电容耦合原理，栅极具有一定电位，可以促进多叉指器件的均匀开启。

互补式栅极耦合技术：栅极耦合电路技术。

2.RC 探测延迟技术：利用 EC 探测，区分正常上电和 ESD 冲击的区别，选择性导通 ESD 防护器件，进行泄放。



基于nMOS泄放的RC延迟技术

基于 pMOS 泄放的 RC 延迟方法如何设计？

使用两个反相器。

3.衬底辅助技术：利用 RC 区分正常上电与 ESD 冲击。

4.增强型衬底辅助触发技术：加深 N 阱。

## 自热效应：

**自热效应：Self-heating effect**，器件工作时流通电流所产生的热量造成器件内部温度升高，进而导致器件电学特性发生变化的现象；

器件自热 H 的计算：

焦耳热+复合热+汤姆逊热+帕尔贴热

$$H = J \cdot E + R \left( \frac{E}{L} \right)^2 + 3k_B T \cdot J \cdot \nabla \left( x - \frac{3}{2} \frac{k_B T}{q} \right) - J_e \cdot \nabla \left( x + \frac{E}{q} + \frac{3}{2} \frac{k_B T}{q} \right)$$

焦耳热      复合热      汤姆逊热      帕尔贴热

焦耳热：1.与电场有关，所以在漏端焦耳热比较大；2.是造成温升的主要来源。

焦耳热：器件导通时，电子/空穴与晶格碰撞，会损失一部分能量，并将这一部分能量转移给晶格，引起晶格温度上升，也就是所谓的焦耳热。

复合热：电子和空穴复合时，将释放自身的热能，并将能量传递给晶格或其他载流子，引起晶格温度升高，即所谓的复合热。

汤姆逊热：半导体中温度分布不均衡，存在温度梯度时而引起的热能变化，即所谓的汤姆逊热。

帕尔贴热：电子/空穴运动到由于材料组成发生变化而引起的能带弯曲的区域时，从晶格获得或传递给晶格的能量，即所谓的帕尔贴热。

阈值电压随温度的升高而降低；（温度升高  $n_i$  增加， $v_g$  降低）

饱和电流随温度的升高而减小；（温度高，晶格振动散射增加， $u$  减小， $I_d$  减小）

击穿电压随温度的升高而增加；（温度高，晶格振动散射增加， $u$  减小，需要加大击穿电压才能使载流子获得更多的能量，从而发生雪崩）

导通电阻随温度的升高而增加；（温度高，晶格振动散射增加， $u$  减小，电阻下降）

对于发热严重的 MOS 需要采用脉冲 IV 测试法，以便去除掉自热效应的影响；

热阻：施加单位功率条件下器件的温升， $^{\circ}\text{C}/\text{W}$

$$R_{th} = \frac{\Delta T}{P}$$

热阻越小，说明器件散热效果越好

抑制自热效应：

- ① 版图布局改进：1.输出电流较大的器件分开布局；2.改进接触孔的做法，增加顶部散热
- ② 板级散热改进：芯片外围增加散热片或覆铜，增加散热

## SOI 技术：隔绝器件

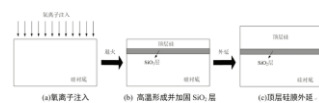


基于SOI (silicon-on-insulator)工艺的CMOS剖面结构

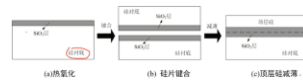
**优点：** 寄生电容小，开关速度快；功耗较低；抗闩锁能力强；抗辐照性能好；  
**缺点：** SOI-MOS 自热效应严重，散热困难；(SiO<sub>2</sub> 导热系数小，散热效果差)

## SOI 的制备：

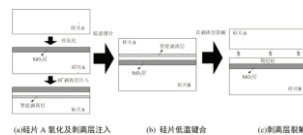
### 1.注氧隔离技术：



### 2.键合技术：

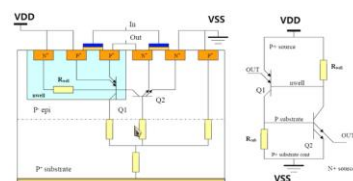


### 3.智能剥离技术：



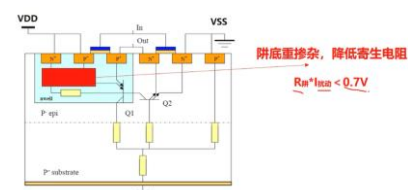
## 闩锁效应：

**闩锁效应：** Latch-up，衬底扰动（如高低压串扰、开关位移电流、碰撞电离等）造成寄生BJT开启，电源对地形成通路，栅极失去控制，最终器件热积累失效



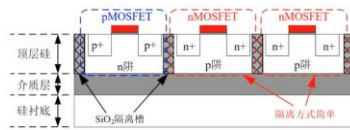
## 抑制闩锁的方法：

- **基区电阻抑制技术：** 减小器件寄生BJT的基区电阻，抑制发射PN结正向偏置；

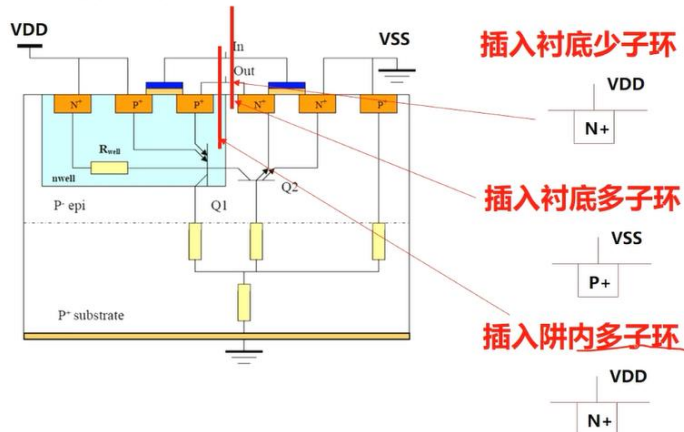




- **少子寿命控制技术**: (1) 器件掺金等重金属, 缩短基区少子寿命; (2) 中子辐照, 增加少子复合率, 缩短其寿命
- **SOI技术**: 隔绝器件之间的相互干扰;



- **版图少子/多子环技术**: 吸收扰动电流, 破坏寄生BJT的触发;



## 热载流子效应:

**热载流子效应**: Hot-carrier effect, 器件漏端强电场带来碰撞电离, 产生的热载流子向栅氧注入, 在界面产生界面态陷阱或形成氧化层陷阱电荷, 造成器件电学参数退化, 进而影响器件寿命

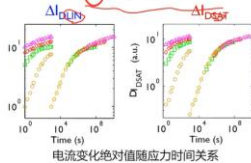
为什么深亚微米的 HC 效应更严重?

$E=U/d$ ,  $U$  的缩小程度没有  $d$  大, 所以  $E$  会很大很大

界面态陷阱 → 影响载流子迁移率 →  $I_{DS}$  电流减小

$$I_{DS} = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \approx \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH}) V_{DS}] \quad (\text{线性区})$$

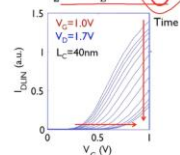
$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (\text{饱和区})$$



氧化层电荷 → 影响阈值电压 → 影响  $I_{DS}$  电流

$$I_{DS} = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \approx \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH}) V_{DS}] \quad (\text{线性区})$$

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (\text{饱和区})$$

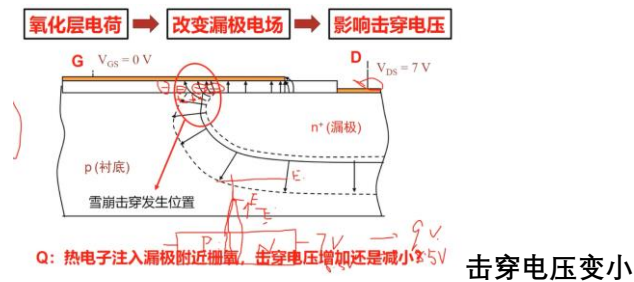


MOS转移特性曲线随应力时间变化

阈值电压减小, 影响  $I_{DS}$  (没有  $u$  退化影响程度大)

PN 结掺杂浓度越大, 击穿电压越小。





**结论:** MOS器件热载流子效应会造成器件阈值电压、导通电流、击穿电压等电学参数退化, 进而导致电路功能紊乱, 影响芯片的输出结果, 即宏观反映出芯片寿命问题。

**Q:** 同样宽长比、同样电压应力下的nMOS和pMOS哪种器件的热载流子效应更加严重?

关心 NMOS, 因为 NMOS 的迁移率更大, 更容易发生碰撞电离。

**热载流子退化的恢复现象:**

- MOS器件热载流子效应产生的损伤在外界应力撤除后会有一定的**恢复 (recovery)** 现象;
- 高温环境会加速这种恢复现象的发生;

温度越高, 晶格振动剧烈, 散射概率增大, 载流子获取能量变小, 热载流子效应越小

衬底电流的大小是器件内部碰撞电离程度的反映, 因而可以间接反映出器件内部的热载流子效应的程度。最恶劣的条件为  $I_{bmax}$

**寿命评估:**

- 测试得出加速应力 ( $I_{bmax}$ ) 下器件热载流子寿命
- 建立加速条件下寿命与正常工作条件下寿命的关系
- 拟合推算正常工作条件下的器件热载流子寿命

1. 确定加速应力条件: 加速  $V_{ds}$  不能进入器件的雪崩区域; 加速  $V_{gs}$  选择  $I_{bmax}$  发生时对应的  $V_{gs}$
2. 测试加速条件下的寿命: ①选择监测的退化参数; ②测试至少 3 个样本; ③每个样本选择 5 个点拟合, 计算加速寿命  $\tau$ 。(参数退化 10%即为失效)
3. 退化模型的数据变换 (Hu 模型, 衬底电流模型,  $1/V_{ds}$  模型)
4. 变化加速条件, 获得更多数据点
5. 数据拟合, 获取数据中的 H 和 m 参数
6. 计算工作寿命 (去平均值)

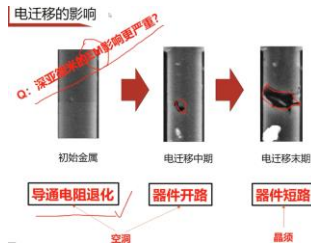
**抑制热载流子退化效应:**

- ① 加固氧化层质量。1.干法氧化, 提升栅氧质量; 2.加入少量 F/Cl, 减少界面态, 提高界面质量; 3.  $N_2O$  环境中氮化, 形成 Si-N 键。
- ② 降低损伤位置的碰撞电离率。1.LDD 技术; 2.双层 LDD 技术; 3.扩散漏区技术。(三种技术都是降低漏区的掺杂, 漏区电阻会变大, 工艺复杂, 成本提高)
- ③ 电路设计减小源漏间的电压。1.P 阵列和 N 阵列增加常开的 NMOS 和 PMOS; 2.P 阵列和 N 阵列增加肖特基二极管。(增加电阻, 降低漏端电压, 但增加了工艺复杂度, 降低

了驱动能力)

## 电迁移:

**电迁移: Electromigration** , 当器件工作时, 金属互连线内有一定电流通过, 金属粒子会在“**电子风**”长期作用下, 沿导体产生质量的运输, 其结果会使金属导体的某些部位产生**空洞或晶须(小丘)**



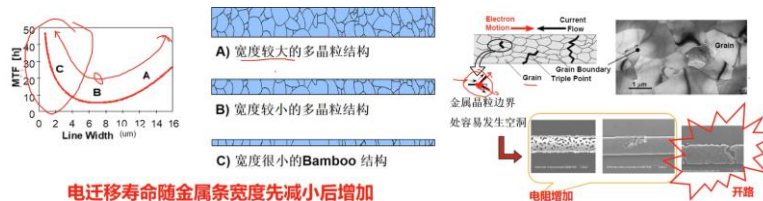
为什么深亚微米的 EM 影响更严重?

器件越小, 器件导通电阻更小, EM 使互连线的导通电阻增加, 导致互连线电阻的影响变严重。

## 影响金属电迁移寿命的因素

- **金属布线的几何形状:** 线的长度、宽度、截面积  
以及是否存在弯折和台阶等

长度: **电迁移寿命通常随金属条长度增加而减小**



宽度: **电迁移寿命随金属条宽度先减小后增加**

弯曲或台阶: **金属条弯折或台阶位置容易发生电迁移**

**热效应:** 金属膜的温度及温度梯度对电迁移寿命

影响极大, 温度越高, 电迁移寿命越短

**晶粒大小:** 金属晶粒交界处在电迁移作用下更容

易出现空洞和小丘, 晶粒越小, 电迁移越严重

**介质覆盖:** 互连线上覆盖介质膜(钝化层), 可提升金属抗电迁移能力;

- (1) 减少了金属表面的空位
- (2) 钝化层的压应力降低金属膜中的自扩散系数
- (3) 钝化层导热作用, 降低了金属膜温度, 减小金属粒子能动性

**合金效应:** 合金材料能提升铝的抗电迁移寿命,

这是因为薄膜中的杂质会影响金属粒子的扩散。

可加入的元素有: Si, Cu, Ti, Ni等;

**脉冲电流:** 相比直流电流应力, 可以极大延长金

属电迁移寿命;

金属电迁移寿命评估：

寿命加速：电流密度和温度加速

金属电迁移抑制：

金属化工艺改进：优化晶粒大小

加大金属条宽度：分散电流密度

覆盖高热导率的介质：降低金属粒子的能动性

加入合金元素：抑制金属粒子扩散

## **TDDB:**

氧化层击穿：软击穿（SBD,）和硬击穿（HBD, 1.栅极漏电流突然增加, 2.软击穿电流慢慢积累起来）

电击穿（软击穿和硬击穿, 及时止损, 氧化层还是能用的）和热击穿（氧化层损坏）

时间决定的电介质击穿：

**时间决定的电介质击穿：Time Dependent Dielectric Breakdown**, 简称TDDB, 当介质层施加一个低于其击穿的电压时, 经过一段时间后, 这些介质也陆续发生击穿, 这种现象称为时间决定的电介质击穿

**TDDB发生过程中, 器件功能仍然维持**

**TDDB发生过程中, 器件阈值电压漂移, 进而影响 $I_{ds}$ 电流发生退化** (氧化层发生缺陷, 阈值电压增大, 饱和电流减小)

**TDDB发生过程中, 器件栅电流噪声增加**

TDDB 寿命评估：恒定电压测试法（使用器件最大工作温度）

寿命加速：电压和温度加速

寿命计算模型：E-model

TDDB 抑制方法：

增加栅氧化层厚度：降低栅氧内部电场

采用更高介电常数的栅介质：允许更厚介质

改进栅氧工艺：提高栅氧质量

## **小尺寸效应:**

摩尔定律：

**半导体芯片可集成的晶体管数量每18个月翻一番！**

小尺寸意义：

器件角度：提高器件开关速度；降低导通电阻；

芯片整体角度：增加芯片集成度；降低芯片功耗；增强芯片功能性；降低制备成本；

短沟道效应：

随着器件的缩小会出现以下现象：

现象 1：沟道长度缩到一定程度, 阈值减小

现象 2：漏极电压越大，阈值短沟道效应越明显

短沟道效应机理：沟道下方耗尽层与源/漏-衬底的 PN 结耗尽层有部分电荷共享，短沟道不可忽略。

窄沟道效应：

随着器件的缩小会出现以下现象：

现象 1：衬底浓度越大，阈值越大

现象 2：沟道宽度窄到一定程度，阈值增加

窄沟道效应机理：栅极“边缘场”使长阳华安层下表面耗尽层的空间电荷有所增加，窄沟道不可忽略。

Q：场氧化层鸟嘴越短，窄沟道效应更强还是更弱？

场氧化层鸟嘴越短，窄沟道效应更弱。

速度饱和效应：

速度饱和效应机理：随着沟道缩短，器件工作电压并未等比下降，导致沟道内电场增强，出现载流子速度饱和现象。

速度饱和以后，载流子迁移率就会下降，从而饱和电流不遵循平方率，而是与  $V_{gs}-V_{th}$  呈线性关系。

漏感应势垒降低效应：

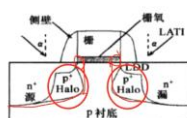
现象：沟道越短，漏压增加，阈值电压下降

漏感应势垒降低效应机理： $V_{ds}$  增加，导致源与漏的耗尽层靠近，电力线可从漏穿越沟道进入源区，导致沟道势垒降低，阈值电压下降，进一步使得源端势垒降低，源注入沟道的电子增加，饱和电流增加。

MOS 器件穿通效应：（浓度上高下低，导致出现穿通效应）

寄生 BJT 穿通效应：沟道过短，源漏 PN 结耗尽层相交，BJT 穿通，栅极失去控制，源漏有穿通电流。

Halo 结构：抑制短沟道效应，漏感应势垒降低效应，和穿通效应



halo 结构的 p+区不能过大，否则会使阈值电压很大很大

Halo 结构缺点：1.高浓度导致击穿电压变小；2.结构复杂，成本增加

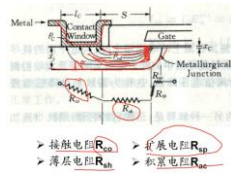
寄生三极管触发：

寄生三极管开启机理：沟道减小时，工作电压未等比下降，漏极电场增强，碰撞电离空穴流向衬底，造成源端 PN 结正偏，触发寄生 BJT，栅极失去控制，电流倍增



寄生电阻效应：

当沟道很短时，寄生电阻不可忽略，计算电流时不等比减小



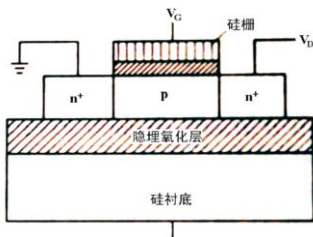
新技术（开放性的题）：

➤ **高K介质技术：**（45nm node-2007年引入）

- 通过引入高K介质，同样栅电容下，可以允许更厚的栅介质，从而减小深亚微米工艺下的栅氧漏电问题，也可以防止栅氧中杂质进入硅表面

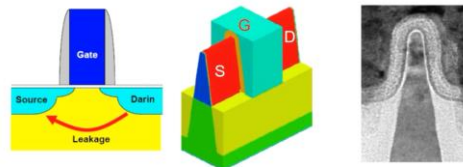
$$C_o = \frac{K_o \epsilon_0 A_g}{x_o}$$

➤ **FDSOI 技术：**（Full Depletion, 全耗尽SOI技术）



➤ **FinFET技术：**（22nm node-2011年引入）

- 引入FinFET技术，将平面沟道立体化，大大减小了 $L_g$ 的scaling压力，降低了MOS器件的各种小尺寸效应，同时提升了器件的电流能力



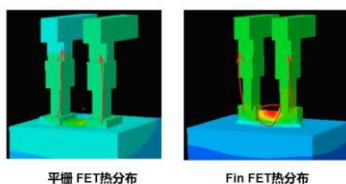
➤ FinFET 器件的发展趋势

- Fin 越来越“瘦高”，侧壁更加竖直 ✓
- Fin 的pitch 尺寸剧烈下降

➤ FinFET 器件未来挑战

- “瘦高”的Fin极大增加了工艺难度
- 缩小的Fin pitch给高K介质填充带来难度
- 量子效应逐渐显现（<7nm节点）

Fin FET 的自热效应：



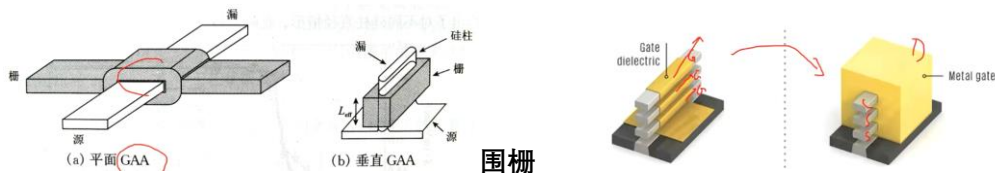
- Fin FET的自热效应3倍于平面FET
- Fin 越高，自热效应越严重

➤ 45° Fin角有更好的器件BTI可靠性（缓解 TDDB 效应和 BTI 效应）



- 尽管自热效应会减小HC效应，但是较多的侧边沟道界面态还是会使得FinFET面临严重的HCI退化问题 (fin 太高，界面态不好)

- GAA技术发展 (Gate All Around)，进一步提升电流能力



- 1nm 晶体管：是由碳纳米管掺杂二硫化钼制作而成。

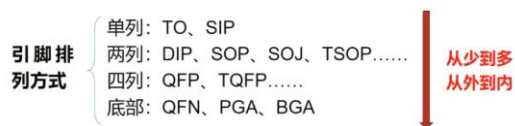
### 封装可靠性：

集成电路三大产业：设计，晶圆，封测

为什么封装：

1. 保护集成电路芯片；
2. 支撑整个芯片；
3. 重新分配 I/O 口；
4. 提供散热优化的空间布局；
5. 便于实现芯片封装互联

引脚排列方式：



TO：直插式，引脚数量少

SIP：单列直插式，侧立在 PCB 板上，节省 PCB 布局空间，多为定制产品

DIP：双列直插式，适合在 PCB 板上焊接，芯片面积与封装体积差别较大

COB：板上直接封装式：芯片粘在 PCB 板上，轻薄可弯曲，散热能力强，但维修难度高

SOP：表面焊接式，空间紧凑，引脚呈 L 型，引脚数量少。

QFP：塑料方型扁平式，引脚间距小，适合大规模，高频使用，空间利用率高。

QFN/LCC：方形扁平无引脚式，中央位置有一大面积裸露焊盘导热，贴于 PCB 板，自感系数很低

PGA：插针网格阵列式，配合专用 PGA 插座，适合高频

BGA：球栅阵列式，高密度，多引脚，适合高频

发展趋势：轻薄短小

技术指标一代比一代先进

芯片面积与封装面积的比例越来越接近 1

电器性能和可靠性越来越高

体积更加小型化和轻薄化

芯片整体功能多样化

系统级封装：

从架构上来讲，系统级封装是将**多种功能芯片，包括处理器、存储器等功能芯片集成在一个封装内**，从而实现完整功能。

芯片封装流程：

贴膜； 背面减薄； 固定&去模； 切片； 涂胶/粘片； 焊线； 模封/打标； 分割

封装可靠性问题：

热机械应力失效：

- **原因：**环氧塑封料与不同接触界面（如引线框架、芯片和焊接剂等）热膨胀系数不一致，一旦遇到温度剧烈变化，就会在不同材料的交界面间产生压缩或拉伸应力，导致键合丝的弯曲疲劳或者焊点处断开

高温高湿失效：

- **原因：**“爆米花”效应，空气中水汽进入封装体，浓缩在塑封材料中的微空洞中，高温下发生水汽膨胀，引起分层和封装体开裂

可动离子玷污失效：

- **原因：**环氧塑封料中或者封装时引入的可动离子（钠离子、钾离子等），在高温上电情况下，逐渐移动到芯片表面，甚至进入芯片内部（栅氧等），影响芯片电场分布，从而导致电学特性发生变化

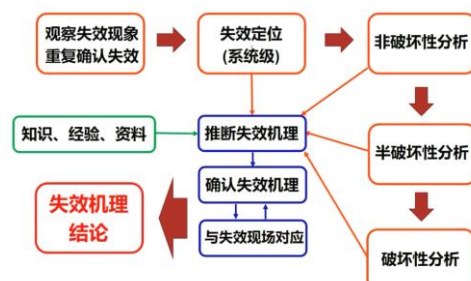
腐蚀失效：

- (1) **Au/Al化合物失效：**金和铝在长期储存和使用中所形成的Au-Al化合物，会使引线键合强度降低，接触电阻增大，变脆开裂，最终可能引起性能退化或开路
- (2) **模塑料的热分解产物**(如环氧树脂或阻燃剂产生的溴或含溴分子等)对引线键合处产生腐蚀；
- (3) **在电偏置与湿气情况下的电腐蚀**，因为湿气为金属离子提供了通道途径，使金属离子容易到达阴极或阳极，最后形成金属须，使得阴极与阳极短路失效

如何判断封装芯片是否失效？

主要考虑参数的退化

失效分析流程：



- 先外部分析，再内部分析
- 先总体分析，再局部分析
- 先非破坏性分析，再破坏性分析
- 失效分析过程不能引入新的失效

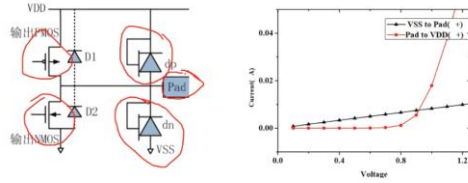
非破坏性分析：

- 目视外观(沾污、损伤、断裂、弯曲)
- 显微镜检查(裂缝)
- 管脚间电学特性测试
- X Ray检测



### 非破坏性—电学测试

- **功能测试**: 给输入信号, 测试各个引脚输出判断损伤失效具体模块
- **电参数测试**: 针对具体芯片电学性能参数, 检测其参数值是否超出规定范围(超差)

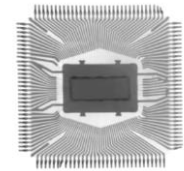
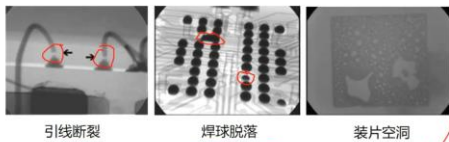


**Vss-pad**: 即在 Vss 上加电压, pad 置 0, 由于 Vss 到 pad 是两个二极管并联, 所以 IV 曲线应该是二极管的曲线, 但是图中黑色线时线性的, 说明其中一个二极管损坏掉了。

**Pad-Vdd**: Pad 上加正电压, Vdd 上置 0, 由于 pad 到 Vdd 之间是两个并联的二极管, 所以 IV 曲线应该是二极管的曲线, 符合图中红色的曲线。

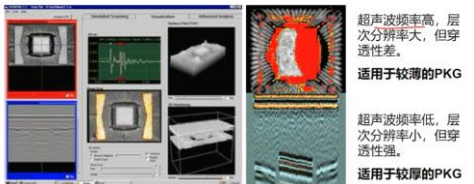
### 非破坏性—X-ray观测

- **特点**: 对原子序数大的元素敏感, 对 C, H, O, Si 等轻元素透明;
- **用途**: 检查芯片封装的断裂、空洞缺陷;



### 非破坏性—超声波扫描显微镜观测

- **全称**: Scan Acoustic Microscope, SAM
- **特点**: 对物质界面敏感
- **用途**: 观测界面分层, 裂缝, 芯片倾斜程度

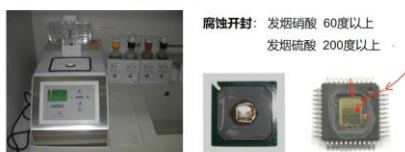


### 半破坏性分析:

- **Decap (开帽)**
- **目视检查(烧毁点)**
- **微光显微镜(EMMI)**
- **表面热分布探测**
- **液晶检测**

### 半破坏性—Decap

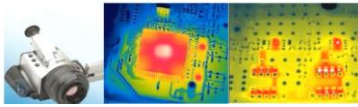
- **用途**: 芯片正上方开窗, 观测芯片内部情况 (明显烧毁点), 仍可以电学测试, 用于塑封、COB封



### 半破坏性—表面热分布观测



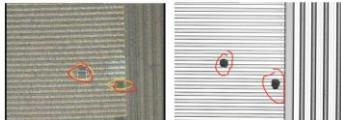
- **原理：**利用损伤位置上电后发热的现象，采用红外热像仪进行芯片表面温度分布探测
- **缺点：**定位精度相对不是很高



### 半破坏性—液晶分析观测



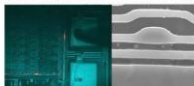
- **全称：**Liquid Crystal, 简称LC
- **原理：**液晶分子遇热会产生不同的分子排列方式，显微镜下观测，发热位置会呈现黑色，以此来定位损伤失效位置（**损伤点上电发热**）



### 半破坏性—荧光显微热像分析观测



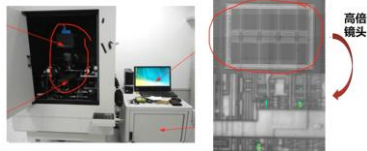
- **全称：**Fluorescence Microscope Image, 简称FMI
- **原理：**高温度分辨率热敏荧光粉，温度变化影响发光亮度，从而确定损伤点（**损伤点上电发热**）  
温度分辨率：0.001°C  
空间分辨率：0.3μm  
电流要求：mA级以上  
应用：主要用于ohmic short引起的失效



### 半破坏性—微光显微镜观测



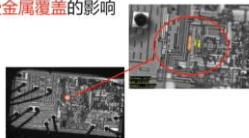
- **全称：**Emission Microscope, 简称EMMI
- **原理：**捕捉损伤位置发射的光子，可用于不具有明显烧痕的失效定位，如中下层的ESD损伤、漏电



### 半破坏性—激光束诱导电阻变化检测



- **全称：**Optical Beam Induced Resistance Change, 简称**Obirch**
- **原理：**监测损伤区域阻值变化，可用于不具有明显烧痕的失效定位，如中下层的ESD损伤、漏电，且**不受金属覆盖**的影响



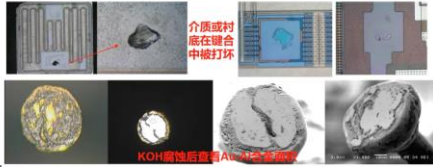
某电源芯片ESD失效Obirch分析

### 破坏性分析：

- |                 |                 |
|-----------------|-----------------|
| • Delayer(剥层)   | • 二次离子质谱仪(SIMS) |
| • 切割断面(SEM、TEM) | • 聚焦离子束(FIB)    |
| • 磨结            | • 其他材料、化学分析     |

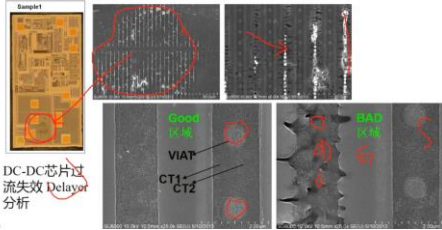
#### 破坏性—弹坑试验

- **原理:** 1mol/L KOH溶液60度水浴加热/  
HCl水浴加热/王水加热, 腐蚀铝, 造弹坑
- **用途:** 去除表面铝层, 检查键合点下介质是否受损; 查看合金层面积比例;



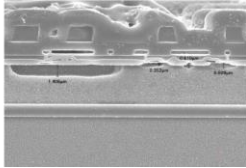
#### 破坏性—Delayer

- **原理:** 一层一层往芯片下方剥层, 显微镜观测是否有损伤; 用于精确定位失效层和位置



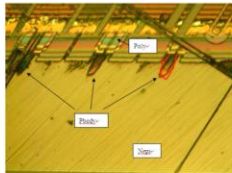
#### 破坏性—扫描电子显微镜观测

- **全称:** Scanning Electron Microscope, 简称SEM
- **用途:** 观测芯片表面及剖面的形貌, 直观定位失效位置;



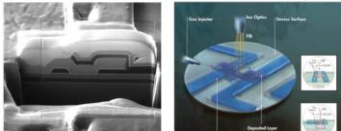
#### 破坏性—磨结观测

- **用途:** 15°斜角磨开芯片, 电化学方法染色, 观测芯片表面及剖面的形貌, 也可判断芯片内部掺杂类型、深度等



#### 破坏性—聚焦离子束技术

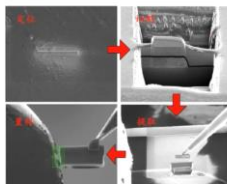
- **全称:** Focused Ion Beam, 简称FIB
- **用途:** 混合镓、液体及金属的离子源, 照射于样品表面以取得影像或去除物质, 可以观测样品剖面形貌、芯片局部切割及局部引线修补



破坏性—透射电子显微镜观测

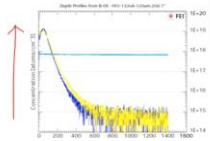
- 全称: Transmission electron microscopy, 简称TEM
- 用途: 高分辨率观测细节的损伤, 如晶格损伤、栅介质损伤

TEM样品制备(FIB)

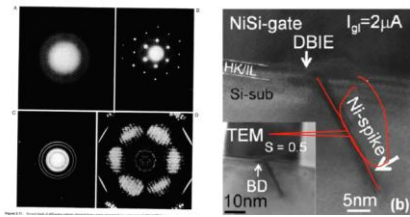


破坏性—二次离子质谱仪观测

- 全称: Secondary-ion-mass spectroscopy, 简称SIMS
- 用途: 用来获取样品表面的分子、元素及同位素的信息, 可探测化学元素或化合物在样品表面和内部的分布, 判断芯片掺杂是否存在问题



功能: 可以观察电子衍射图样来判断晶格损伤、芯片细节形貌变化判断微观损伤



失效分析案例:

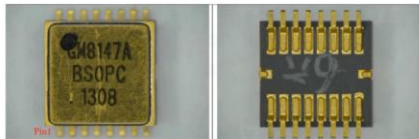
四路LVDS驱动芯片失效

- 功能: 低电压差分信号产生 (信号电平转换), 用于接口数据传输
- 失效情况: 芯片有好有坏 (未使用), 坏芯片端口输出波形异常、输出电流数值偏移

序号	符号	功能说明	序号	符号	功能说明
1	EN	使能信号输入	9	DOU7L	第4路反相输出端
2	DIN1	第1路输入端	10	DOU7L	第4路正相输出端
3	DIN2	第2路输入端	11	DOU7L	第3路反相输出端
4	VCC	电源端	12	DOU7L	第3路正相输出端
5	GND	地	13	DOU7L	第2路反相输出端
6	DIN3	第3路输入端	14	DOU7L	第2路正相输出端
7	DIN4	第4路输入端	15	DOU7L	第1路反相输出端
8	EN*	使能信号输入	16	DOU7L	第1路正相输出端

图1 四路LVDS线路驱动器 GM8147A 管脚定义

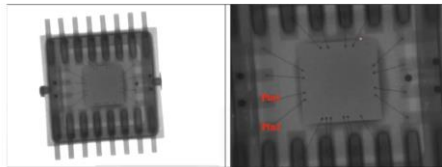
1、外观分析: 型号、批次标签清晰可见, 未见明显机械损伤和腐蚀迹象



芯片正面

芯片背面

- 2、X-ray结构分析: 芯片完好, 引线键合未见明显断裂点、腔体未见多余物;



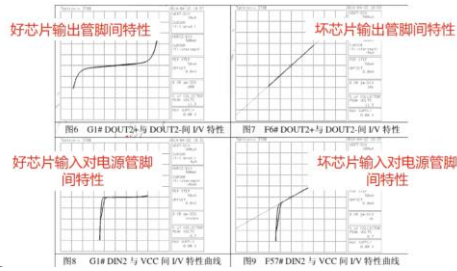
芯片X-ray透视图

芯片X-ray透视图放大

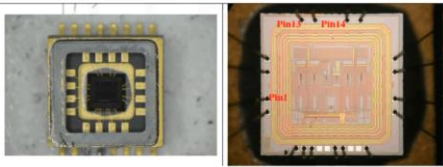
- 3、密封试验：对样品进行密封性测试，未见异常

试验条件	细检漏	粗检漏
	试验压力：517KPa； 加压时间：4h；	试验压力：517KPa；加压时间：2h 试验温度：32.5℃；试验时间：>30s 从同一位置无一处明显气泡或两个 以上大气泡冒出
合格判据	漏率 $< 5.0 \times 10^{-7}$ Pa·cm/s	
F6#实测数据	$9.0 \times 10^{-7}$ Pa·cm/s	无气泡冒出
F57#实测数据	$9.0 \times 10^{-7}$ Pa·cm/s	无气泡冒出
F61#实测数据	$9.0 \times 10^{-7}$ Pa·cm/s	无气泡冒出
G1#实测数据	$9.0 \times 10^{-7}$ Pa·cm/s	无气泡冒出

- 4、I-V电学特性分析：芯片端口I-V特性异常

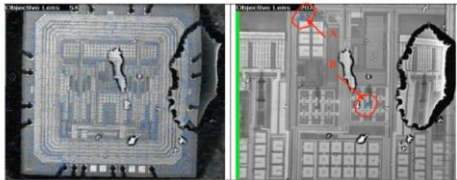


- 5、Decap观测：芯片未见明显过电烧毁、击穿及机械损伤样貌；观察异常引脚连接的芯片区域，未见芯片形貌异常；



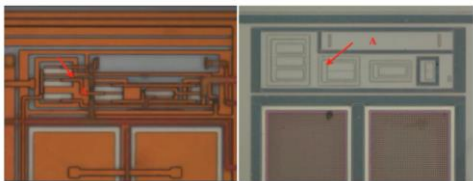
芯片Decap后概貌图

- 6、EMMI测试：管脚上电，用EMMI观测异常亮点，判断出失效位置



EMMI下芯片异常点图

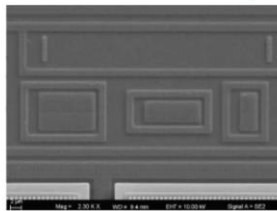
- 7、Delayer剥层：逐层去除钝化层、金属层、介质层等，观测亮点位置的失效情况，结果未见明显烧痕和损伤；



EMMI下芯片异常点A下方图



- 8、SEM观测：亮点最底有源区位置，仍未见形貌损伤异常



EMMI下芯片异常点A下方有源区图

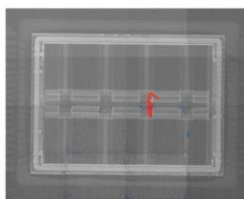
(烧毁的话，有亮斑，一定有漏电)

- 9、**结论：**芯片存在设计或者工艺缺陷(如PN结间距较小，不符合design rule等)，导致引脚间漏电超标，进而引起输出波形异常

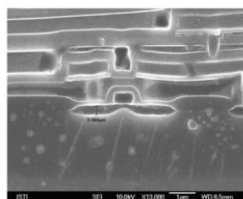
### 某 CPU 芯片失效：

讨论：某CPU芯片失效

- 失效情况：**芯片有好有坏（未使用），坏芯片输出引脚与电源引脚漏电严重、输出波形异常



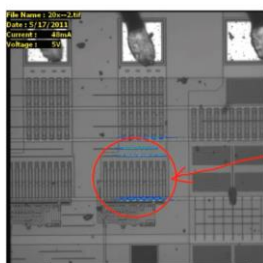
EMMI下芯片异常点



SEM剖面分析

讨论：某电源芯片ESD失效

- 失效情况：**某电源芯片其中一个输出引脚对地承受ESD冲击，结果HBM < 2KV失效，**如何进行失效分析并改进？**

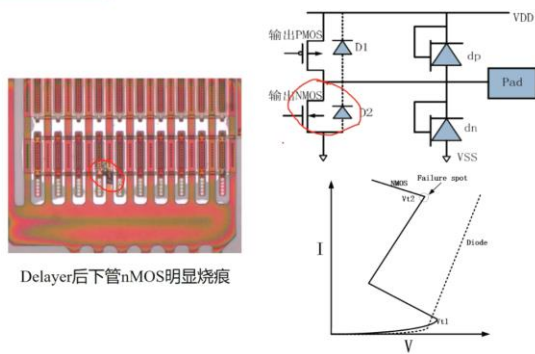


EMMI下芯片异常点



液晶测试下芯片异常点

## 讨论：某电源芯片ESD失效



## 可靠性指标体系：

- **可靠性**：产品在规定条件下和规定时间内，完成规定功能的能力。
- **可靠性特征量**：指对产品可靠性进行定量研究采用的一些数量指标，既可以表示产品现有的可靠性高低，又能表示产品在某一期限内必须达到的可靠性要求。

### 失效特征量：

#### 可靠度 $R(t)$ ：

- **可靠度**：在规定条件下和规定时间内，完成规定功能的概率。常记作 $R(t)$ ，也称为可靠度函数。

#### 失效概率 $F(t)$ ：

- **失效概率**：失效概率也叫累积失效概率或不可靠度(性)或分布函数，是指产品在规定的条件下，在时间  $t$  以前失效的概率，是寿命这一随机变量的分布函数，记作 $F(t)$ 。

#### 失效概率密度 $f(t)$ ：

- **失效概率密度**：也叫分布密度，指产品在 $t$ 时刻的单位时间内发生失效的概率，它用来描述在 $0 \sim +\infty$ 的整个时间轴上的失效分布情况。是寿命这一随机变量的密度函数 $f(t)$ 。

#### 瞬时失效率 $\lambda(t)$ ：

- **瞬时失效率**：产品在时刻 $t$ 尚未失效的器件在单位时间内失效的概率，它用来描述在各个时刻仍在正常工作的器件失效的可能性。记作 $\lambda(t)$ ，单位用**Fit**表示( $10^{-9}/h$ )，**1 Fit表示100万个器件工作1000h后出现1个失效**。



平均寿命 $\theta$ :

- 平均寿命:

对于不可修复的产品,是指产品发生失效前的工作  
或贮存的平均时间;通常记作 $t_{MTTF}$ ;

对于可修复的产品,寿命指的是两次相邻失效(故障)间的工作时间,而不是每个产品的报废的时间。对于这类产品,平均寿命指的是平均无故障工作时间,通常记作 $t_{MTBF}$ 。

两个定义在数学上的表达形式是一致的,故我们通称为平均寿命。

可靠寿命  $t_R$ , 中位寿命  $t_{0.5}$ , 特征寿命  $t_{1/e}$ :

- 可靠寿命: 使可靠度等于给定值 $R$ 的时间  $t$  称为可靠寿命, 记为 $t_R$ 。
- 中位寿命:  $R = 0.5$ 时的 $t_R$ , 记为 $t_{0.5}$
- 特征寿命:  $R = 1/e$ 时的 $t_R$ , 记为 $t_{1/e}$

