

§3. VLSI CAD的软件 内容

各阶段均有不同的CAD软件。

逻辑设计阶段：逻辑综合、逻辑模拟、逻辑图的自动输入；

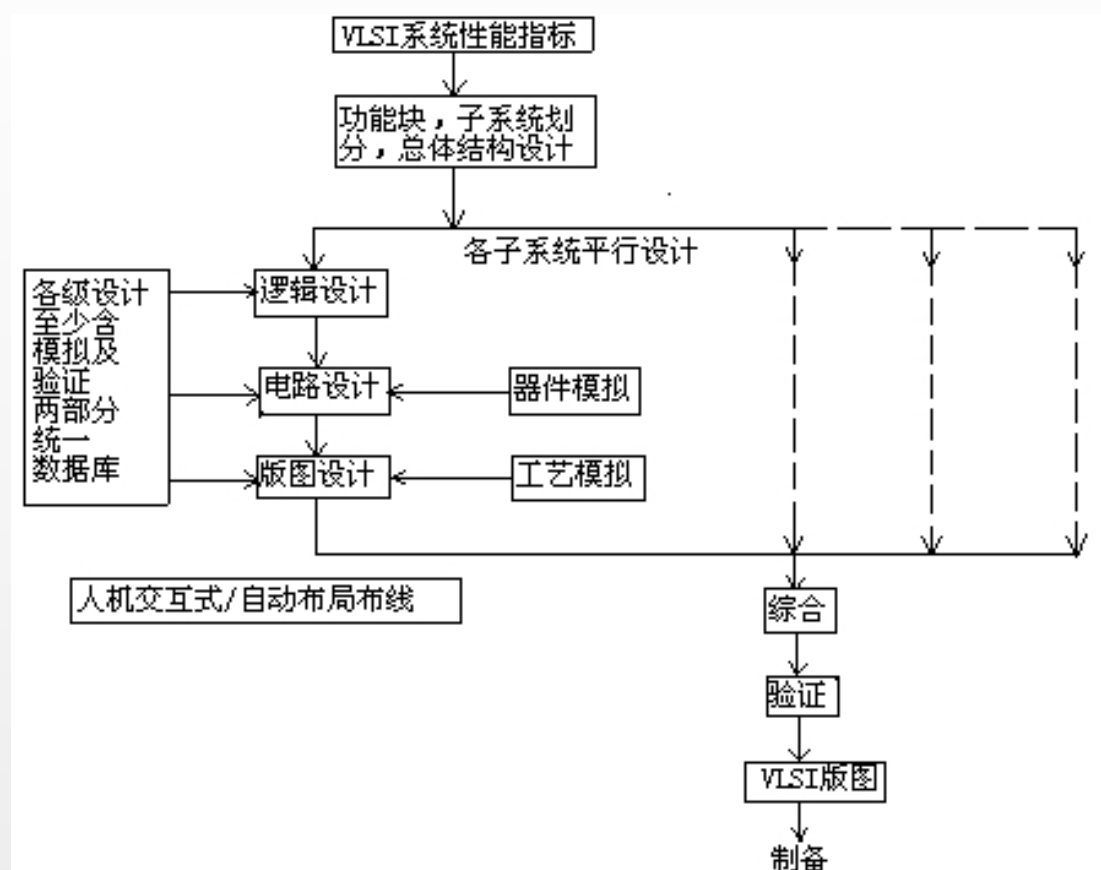
电路设计阶段：电路分析、时域分析；

版图设计阶段：逻辑划分、自动布局布线；

工艺设计阶段：工艺模拟、器件分析。



VLSI设计流程



一、逻辑设计阶段

1、逻辑处理

(1)将所要实现的数字系统中的组合逻辑部分最小化为两种网络表示，即“与非”和“或非”；

(2)将所要实现的数字系统用一些“宏结构”经过连接来实现；

(3)将高层次的系统描述逐步的转换成与实现技术相关的硬件。这种方法就是将数字系统看作一个功能部件图。



2、逻辑模拟

逻辑模拟主要有两个目的，一是验证逻辑设计的正确性；二是进行故障模拟，产生故障诊断的测试码。

逻辑模拟大至可分为门级、功能级、寄存器级三类。



Synopsys CAD工程

- Synopsys CAD工具提供一套高层次的设计手段，它百分之百的支持IEEE-1076VHDL标准，可以将设计转换成指定工艺的门级电路，从而缩短了设计周期。
- Synopsys(新思科技)公司1986年成立，总部设在美国加利福尼亚州Mountain View，有超过60家分公司分布在北美、欧洲、亚洲。
- 2002年并购Avant!公司后，Synopsys公司成为提供前后端完整IC设计方案的领先EDA工具供应商。



Synopsys CAD工程

- Synopsys CAD工具提供一套高层次的设计手段，它百分之百的支持IEEE-1076VHDL标准，可以将设计转换成指定工艺的门级电路，从而缩短了设计周期。
- Synopsys 的CAD工具包括三个方面的功能：
 - A、VHDL系统仿真：采用VHDL System Simulator在系统行为级、寄存器级和门级描述并验证电子系统设计。
 - B、VHDL综合与优化：采用VHDL Compiler将设计自动翻译成门级电路，再采用Design Compiler对设计进行优化。
 - C、测试：用Test Compiler实现电路的可测性设计并自动生成测试矢量。



Synopsys主要产品

- Astro是Synopsys为超深亚微米IC设计进行设计优化、布局、布线的设计环境。
- DFT Compiler提供独创的“一遍测试综合”技术和方案。
- TetraMAX ATPG是业界功能最强、最易于使用的自动测试向量生成工具。
- Vera验证系统满足了验证的需要，允许高效、智能、高层次的功能验证。
- VCS是编译型Verilog模拟器，它完全支持OVI标准的Verilog HDL语言、PLI和SDF。
- Power Compiler 提供简便的功耗优化能力，嵌入Design Compiler/Physical Compiler之上，是业界唯一的可以同时优化时序、功耗和面积的综合工具。



二、电路分析

- 电路分析的目的在于确定电路性能（如直流特性、开关特性等）的电路结构和元件参数。同时还应考虑由于环境变化，制造工艺偏差所引起的性能变化。电路分析是根据预先所设计的电路给定的元件参数，进行性能模拟和分析，并给出模拟结果，最后由设计者来确定是否修改设计。
- SPICE是主要的电路分析工具



SPICE

Simulation Program with Integrated Circuits Emphasis

四类主要功能

- A、直流分析
- B、交流小信号分析
- C、瞬态分析
- D、不同温度条件下的分析



三、版图设计

- 在逻辑设计和电路设计完成后，根据逻辑和电路功能要求以及工艺制造的约束条件如线宽、间距等工艺标准来设计掩膜版图。
- 版图的设计可以是人工、半人工和自动设计。
- L_EDIT, VIRTUOSO



四、工艺模拟

- 工艺模拟是对制造中所必须的各流程的工艺参数进行模拟，根据具体情况对不合格的设计进行修正。
- MEDICI (器件模拟)，SILVACO SUPREM
- Silvaco International是世界领先的电子设计自动化(EDA)软件供应商，提供用于模拟/混合信号集成电路设计的工具以及TCAD工具。
- Silvaco总部设于加利福尼亚州的圣塔克莱拉。



MEDICI(器件模拟)

- Medici 是先驱(AVANT!)公司的一个用来进行二维器件模拟的软件，它对势能场和载流子的二维分布建模，通过解泊松方程和电子、空穴的电流连续性等方程来获取特定偏置下的电学特性。



MEDICI(器件模拟)

- 可以对双极型、MOS型等半导体器件进行模拟，这个程序通过解二极管和双极型三极管以及和双载流子有关的电流效应(诸如闩锁效应)的电流连续性方程和泊松方程来分析器件。Medici 也能分析单载流子起主要作用的器件，例如:MOSFET, JFET, MESFET。另外，MEDICI 还可以被用来分析器件在瞬态情况下的变化。在亚微米器件模拟中，MEDICI 通过联解电子和空穴的能量平衡和其他的器件方程，可以对深亚微米的器件进行模拟。像热载流子和速度过冲等效应在MEDICI 中都已经考虑了，并能够对他们的影响进行分析。



五、SOC的设计方法

- SOC主要采用Top-down的设计方法，分为高层综合、逻辑综合、物理综合。其中高层综合包括行为级设计和结构级设计，逻辑综合包括逻辑设计和电路级设计，物理综合就是版图级设计。
- 现在习惯将设计流程分为前端设计和后端设计两个阶段。前端设计主要进行系统、功能以及结构、电路的设计，后端设计主要是版图设计。



六、可测性和可靠性

- 设计、试制和生产IC难免在各个环节会出现一些意想不到的差错，如何检测这些错误以保证产品的性能和质量，主要的手段还是借助于测试。为了在设计阶段把关，在必要时要加入可测性可可靠性设计的内容。



可测性(DFT)

design for testability

- IC测试包括三个最基本的测试项目，即直流特性测试，交流特性测试和逻辑功能测试。
- 直流特性测试是一种检验芯片好坏和考察芯片可靠性的简易途径。直流特性测试包括输入特性、输出特性、转移特性和功能项目。
- 交流特性测试又称动态特性测试，主要测试脉冲的传输特性。在给定的输入波形时，测出输出波形的上升、下降、延时等参数。
- 逻辑功能测试通过设计生成测试图形、测试码、测试矢量，得到实际测试结果。



- 常用的可测性设计方法包括基于扫描链(scan chain)的测试方法和内建自测试电路(built-in self-test, BIST)。
- 基于扫描链的测试方法是通过建立专门扫描链电路为每个寄存器提供可观察性和可控制性。分为两种：一种是芯片内部寄存器的扫描链，用于测试芯片内部制造缺陷，另一种是芯片I/O端口的扫描链，又称为边界扫描设计(boundary scandesign)，用于测试系统电路板级的制造缺陷。
- 内建自测试电路方法相当于把一个小巧专用的测试仪器集成到芯片内部，BIST方法常用于片内存储器的测试，与JTAG结合起来，通过有限I/O访问芯片内部信号。
- JTAG是联合测试工作组（Joint Test Action Group）。



可靠性(DFR)

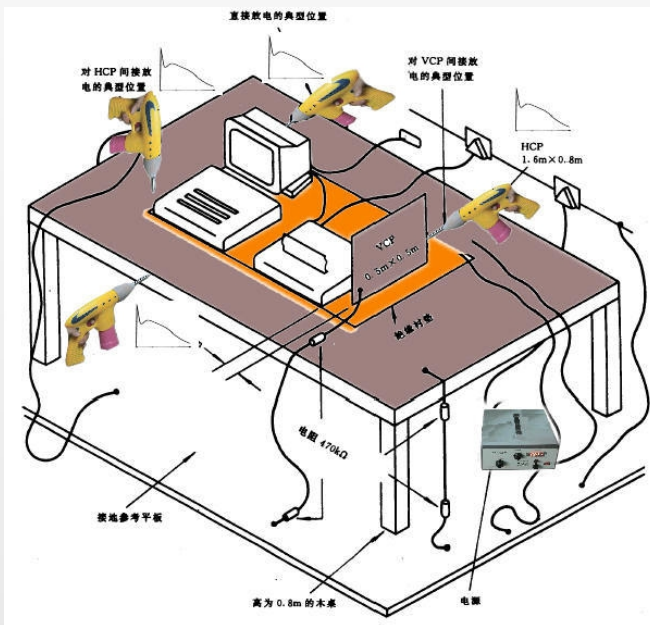
design for reliability

- 可靠性是指IC芯片在规定的条件下和规定的时间内，完成规定功能的概率。
- 可靠性设计就是研究如何从设计的角度去改善和保证IC的可靠性。
- 包括电路设计的元件和数值留有一定的冗余度；MEMORY电路的坏块处理；增加ESD保护电路；合理布局的热设计；合理布线以防止串扰和电迁移等等。



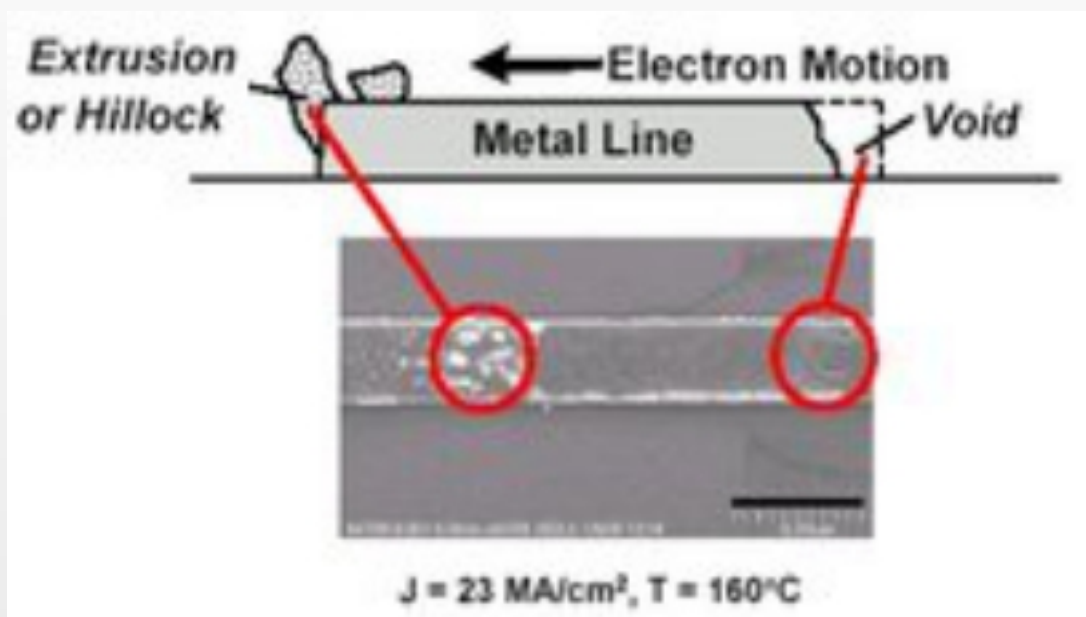
ESD

- ESD(Electro-Static discharge)的意思是"静电泻放"。
- 静电是一种客观存在的自然现象，产生的方式多种，如接触、摩擦、电器间感应等。静电的特点是长时间积聚、高电压、低电量、小电流和作用时间短的特点。



电迁移

- 电迁移 (Electromigration) 通常是指在电场作用下使金属离子发生迁移的现象。



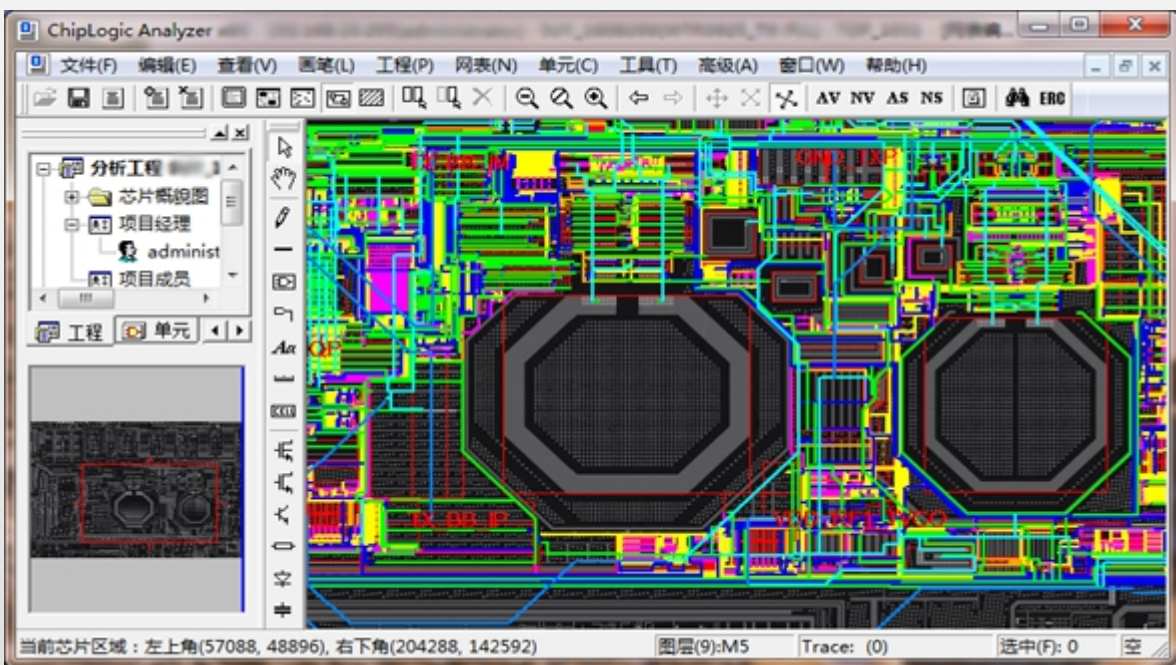
芯愿景软件有限公司

- 北京芯愿景软件技术有限公司成立于2002年，是国际领先的集成电路知识产权分析和芯片设计服务提供商。
- 自主研发了5套EDA软件系统，包含30多个软件，涵盖了集成电路技术分析、知识产权分析和保护的全流程。
- 图像采集处理系统Filmshop
- 集成电路自动化分析再设计系统ChipLogic Family
- 集成电路分析验证系统Hierux System
- 数字集成电路智能分析系统BoolSmart System
- 知识产权分析系统IPnumen Series



ChipLogic Family

- ChipLogic Family (CLF) 称为集成电路自动化分析再设计系统，主要用于集成电路的网表提取和电路分析。
- 可以在分层次扫描图上描线、打孔；数字、模拟单元提图；连线PIN、ERC检查；数据倒入到处Master版等。
- 输出数据格式：Verilog网表文件、EDIF200网表文件、GDSII版图文件和Hierux格式电路图。



思考题

- 1) VLSI的设计思想和设计方法。
- 2) CAD软件应涉及那些内容。
- 3) EDIF、CIF等格式分别适用于哪些方面。
- 4) VLSI设计流程及各设计阶段的内容。
- 5) 可靠性和可测性设计。

