

三、Tanner pro CAD 工具包

Tanner集成电路设计软件是由Tanner Research 公司开发的基于Windows平台的用于集成电路设计的工具软件。

安装 Tanner ToolsPro 系统的需求

| 个人计算机 | 规 格 |
|-------|-------------------|
| CPU | Pentium 100MHz 以上 |
| 内存 | 64MB 以上 |
| 硬盘空间 | 150MB 以上 |
| 操作系统 | Windows95/98/NT |
| 显卡 | 256 色 |
| 显示器 | 彩色 |
| 鼠标 | 最好是三键 |



- 集成电路版图编辑器L-Edit (Layout-Editor)在国内已具有很高的知名度。Tanner EDA Tools 也是在L-Edit的基础上建立起来的。
- 整个设计工具总体上可以归纳为电路设计级和版图设计级两大部分。
- 即以S-Edit为核心的集成电路设计、模拟、验证模块和以L-Edit为核心的集成电路版图编辑与自动布图布线模块。



- 电路设计级包括电路图编辑器 S-Edit、电路模拟器 T-Spice 和高级模型软件、波形编辑器 W-Edit、NetTran 网表转换器、门电路模拟器 GateSim, 以及工艺映射库、符合库 SchemLib、Spice 元件库等软件包, 构成一个完整的集成电路设计、模拟、验证体系, 每个模块互相关联又相对独立, 其中 S-Edit 可以把设计的电路图转换成 SPICE, VHDL, EDIF 和 TPR 等网表文件输出, 提供模拟或自动布图布线。



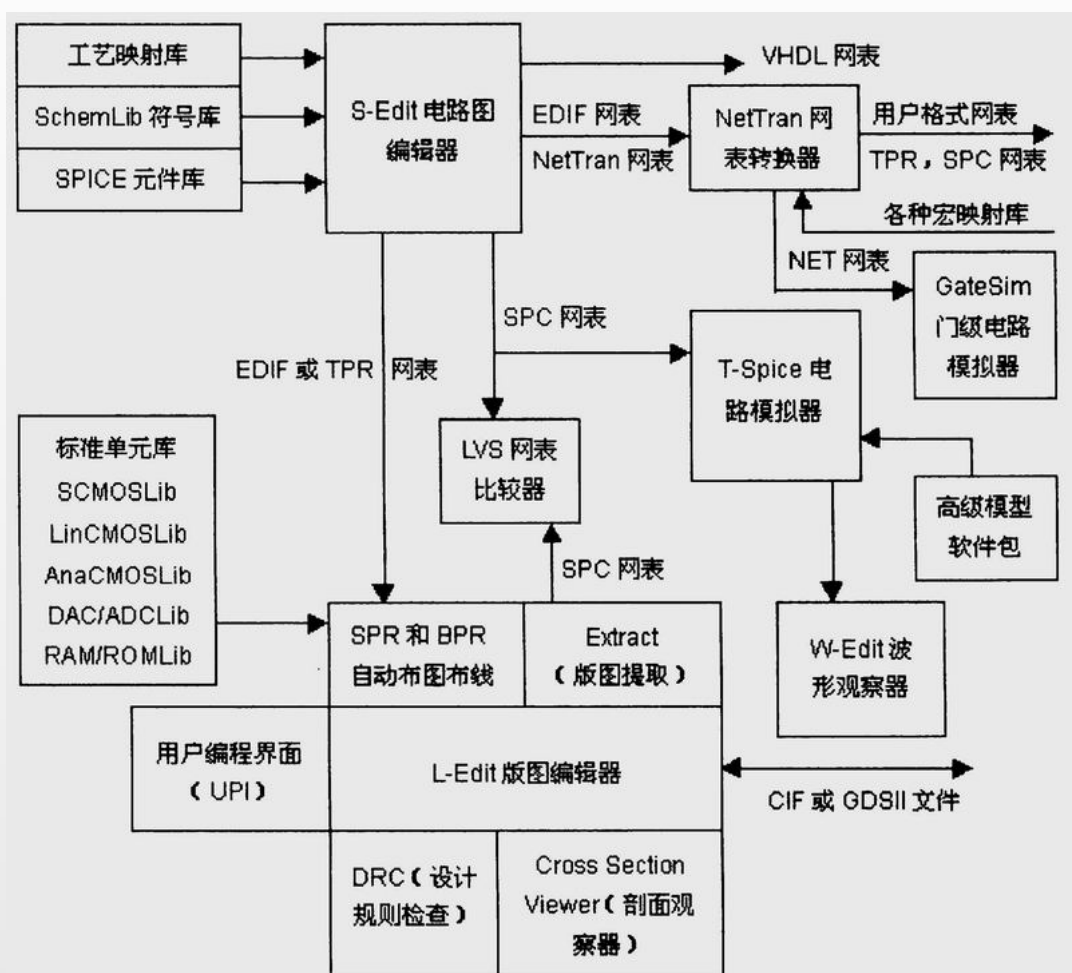
- 版图设计级包括集成电路版图编辑器L-Edit和用于版图检查的网表比较器LVS等模块。
- L-Edit本身又嵌入设计规则检查DRC、提供用户二次开发用的编辑界面UPI、标准版图单元库及自动布图布线 SPR、器件剖面观察器 (Cross Section Viewer)版图的SPICE网表和版图参数提取器Extract(LPE)等。
- 网表比较器LVS则用于把由L-Edit生成的版图反向提取的SPC网表和由S-Edit设计的逻辑电路图输出的SPC网表进行比较实现版图检查、对照分析。



- L-Edit除了拥有自己的中间图形数据格式(TDB格式)外，还提供了两种最常用的集成电路版图数据传递格式(CIF格式和GDSII格式)的输入、输出功能，可以非常方便地在不同的集成电路设计软件之间交换图形数据文件或把图形数据文件传递给光掩模制造系统。



Tanner集成电路设计中的各种CAD工具

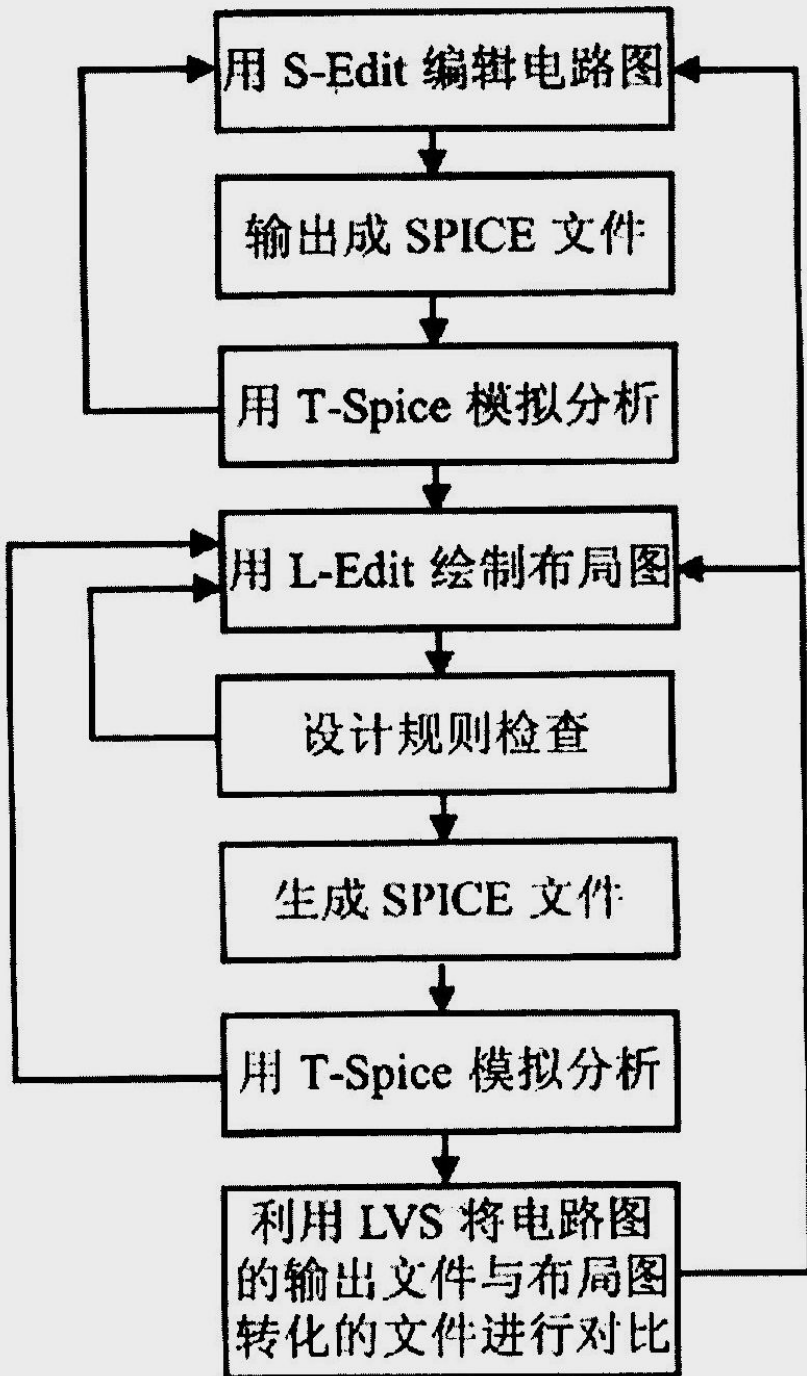


•Tanner Pro是一套集成电路设计软件，包括S - Edit, T - Spice, W-Edit,L-Edit与LVS。本次提供的工具缺少NetTran和GateSim。

| 软件 | 功能 |
|---------|--------------------------------|
| S-Edit | 编辑电路图 |
| T-Spice | 电路分析与模拟 |
| W-Edit | 显示T-Spice模拟结果 |
| L-Edit | 编辑布局图、自动配置与布线、设计规则检查、截面观察、电路转化 |
| LVS | 电路图与布图结果对比 |



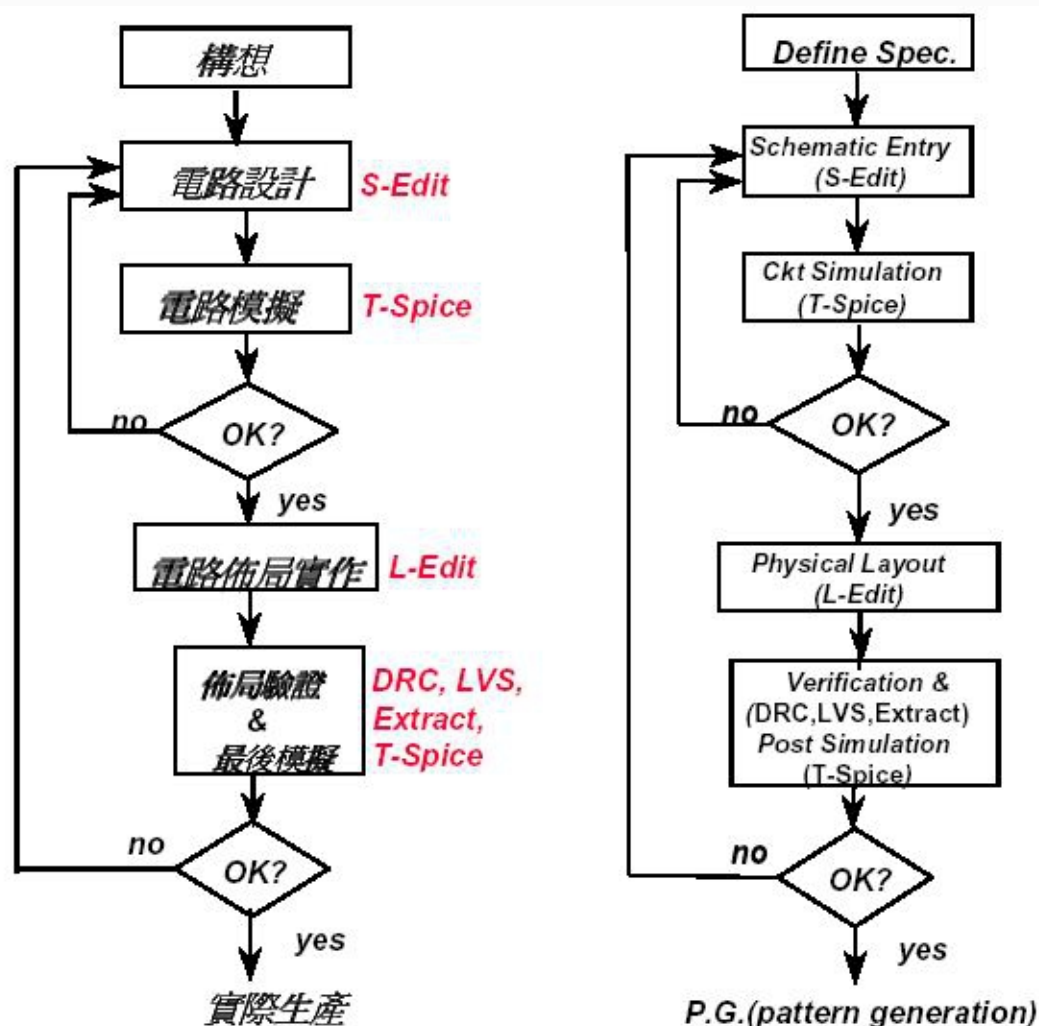
Tanner Pro的设计流程



首先用S-Edit编辑要设计电路的电路图，再将该电路图输出成SPICE文件。接着利用T-Spice将电路图模拟并输出成SPICE文件，如果模拟结果有错误，再回S-Edit检查电路图，如果T-Spice模拟结果无误，则以L-Edit进行布局图设计。用L-Edit进行布局图设计后要以DRC功能做设计规则检查，若违反设计规则，再将布局图进行修改直到设计规则检查无误为止。将验证过的布局图转化成SPICE文件，再利用T-Spice模拟，若有错误，再回到L-Edit修改布局图。最后利用LVS将电路图输出的SPICE文件与布局图转化的SPICE文件进行对比，若对比结果不相等，则回去修正L-Edit或S-Edit的图。直到验证无误后，将L-Edit设计好的布局图输出成GDSII文件类型，再交由工厂去制作半导体过程中需要的的光罩。



符合全定制电路的设计流程



四、Cadence简介

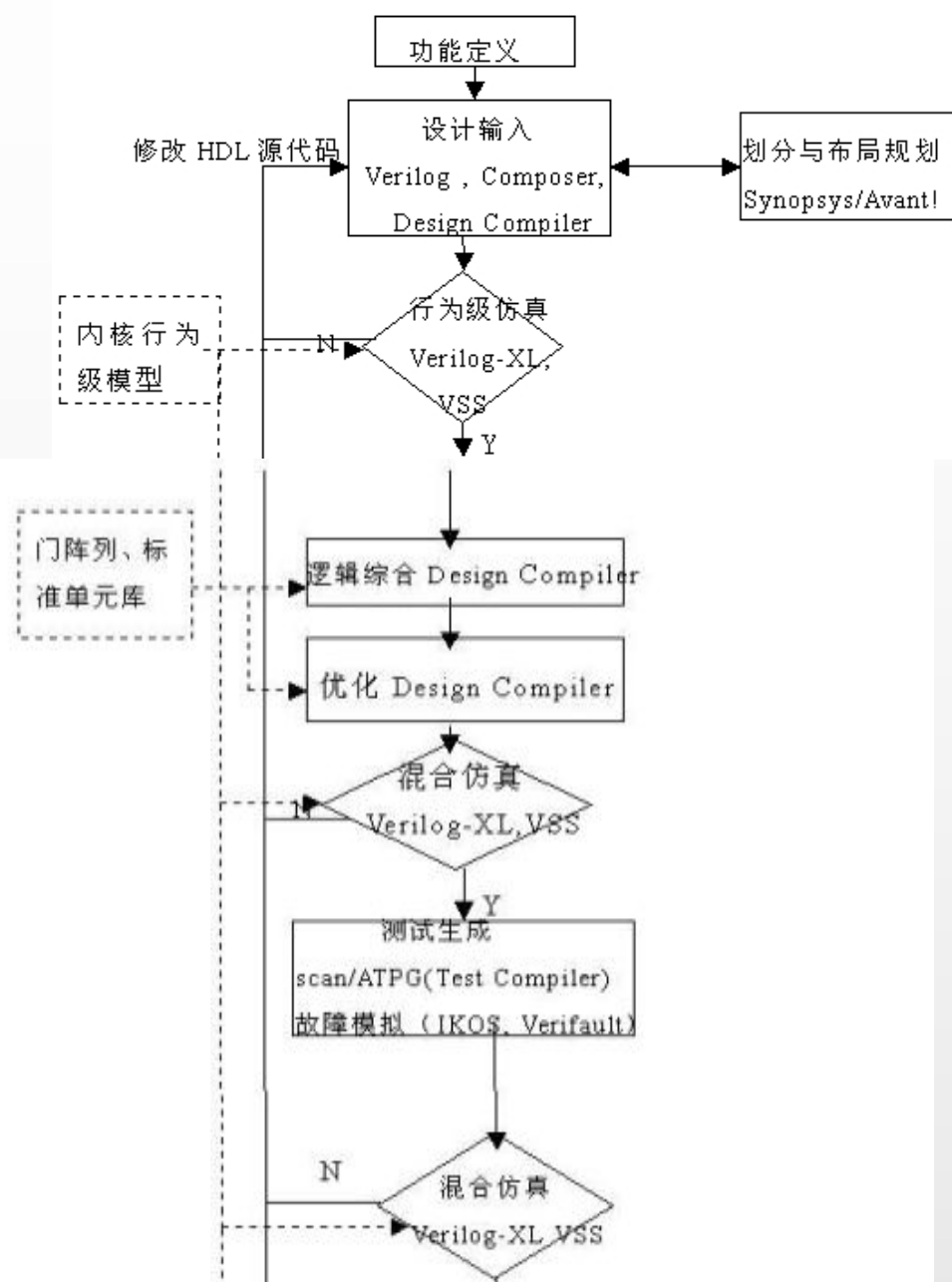
- 铿腾电子科技有限公司(Cadence Design Systems, Inc; NASDAQ:CDNS)是一个专门从事电子设计自动化(EDA)的软件公司, 由SDA Systems和ECAD两家公司于1988年兼并而成。是全球最大的电子设计技术(Electronic Design Technologies)、程序方案服务和设计服务供应商。其解决方案旨在提升和监控半导体、计算机系统、网络工程和电信设备、消费电子产品以及其它各类型电子产品的设计。产品涵盖了电子设计的整个流程, 包括系统级设计, 功能验证, IC综合及布局布线, 模拟、混合信号及射频IC设计, 全定制集成电路设计, IC物理验证, PCB设计和硬件仿真建模等。其总部位于美国加州圣何塞(San Jose)。



- Cadence是一个大型的CAD软件，与Synopsys的结合可以说是EDA设计领域的黄金搭档。
- Cadence包括：Verilog HDL仿真工具Verilog-xl，电路图设计工具Composer，电路模拟工具Analog Artist，版图设计工具Virtuoso Layout Editor，版图验证工具Dracula和Diva以及自动布局布线工具Preview和Silicon Ensemble。



ASIC的设计流程图 - 1



ASIC的设计流程图 - 2

