



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Московский государственный технический университет имени
Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»

Отчет по лабораторной работе №1 по курсу "Архитектура ЭВМ"

Тема Проектирование систем на кристалле на основе ПЛИС

Студент Прянишников А. Н.

Группа ИУ7-55Б

Оценка (баллы) _____

Преподаватели Ибрагимов С.В.

Цели работы

Целью данной лабораторной работы является изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы нужно:

- познакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС;
- получить навыки проектирования СНК в САПР Altera Quartus II;
- выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Ход работы

Функциональная схема разрабатываемой системы на кристалле

На рисунке 1 изображена функциональная схема разрабатываемой системы на кристалле.

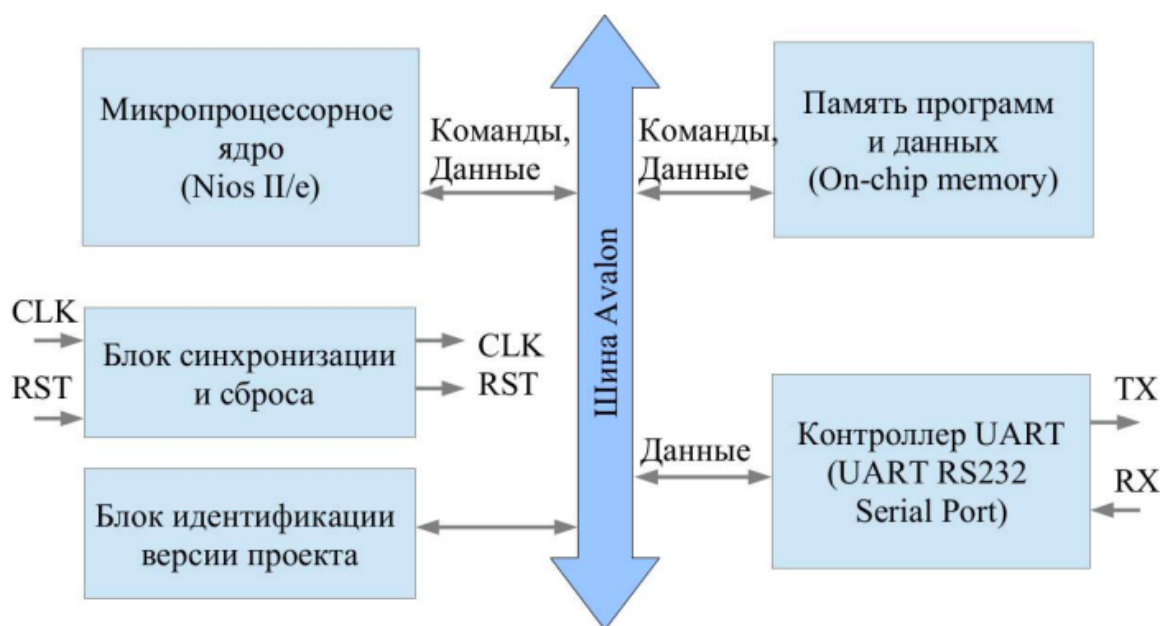


Рисунок. 1: Функциональная схема разрабатываемой системы на кристалле

Основные составляющие системы на кристалле:

1. Микропроцессорное ядро Nios II/e выполняет функции управления системой.
2. Внутренняя оперативная память СНК, используемая для хранения программы управления и данных;
3. Системная шина Avalon обеспечивает связность всех компонентов системы.
4. Блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе.

5. Блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы.
6. Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

Создание нового модуля системы на кристалле QSYS

Были проделаны следующие действия:

1. Создан новый модуль QSYS.
2. Установлена частота внешнего сигнала синхронизации – $5 * 10^7$ Гц.
3. Добавлен в проект модуль синхронизируемого микропроцессорного ядра Nios2.
4. Выбран тип ядра Nios2/e.
5. Добавлен в проект модуль ОЗУ программ и данных.
6. Добавлены компоненты Avalon System ID и Avalon UART.
7. Создана сеть синхронизации и сброса системы.
8. Все блоки подключены к системной шине.
9. Экспортированы сигналы TX и RX во внешние порты.
10. Выполнена настройка таблицы прерываний процессора.
11. Назначить базовые адреса устройств.

Конечное состояние окна модуля QSYS изображено на рисунке 2:

Use	Connections	Name	Description	Export	Clock	Base	End	IRQ	Opcode Name
<input checked="" type="checkbox"/>		<div>clk_0</div> <div>clk_in</div> <div>clk_in_reset</div> <div>clk</div> <div>clk_reset</div>	<div>Clock Source</div> <div>Clock Input</div> <div>Reset Input</div> <div>Clock Output</div> <div>Reset Output</div>	<div>clk</div> <div>reset</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0				
<input checked="" type="checkbox"/>		<div>nios2_qsys_0</div> <div>clk</div> <div>reset_n</div> <div>data_master</div> <div>instruction_master</div> <div>jtag_debug_module_reset</div> <div>jtag_debug_module_data</div> <div>custom_instruction_master</div>	<div>Nios II Processor</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Memory Mapped Master</div> <div>Avalon Memory Mapped Master</div> <div>Reset Output</div> <div>Avalon Memory Mapped Slave</div> <div>Custom Instruction Master</div>	<div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0 [clk] [clk] [clk] [clk]		IRQ 0	IRQ 31	
<input checked="" type="checkbox"/>		<div>onchip_memory2_0</div> <div>clk1</div> <div>s1</div> <div>reset1</div>	<div>On-Chip Memory (RAM or ROM)</div> <div>Clock Input</div> <div>Avalon Memory Mapped Slave</div> <div>Reset Input</div>	<div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0 [clk1] [clk1]	0x8800	0x8fff		
<input checked="" type="checkbox"/>		<div>uart_0</div> <div>clk</div> <div>reset</div> <div>s1</div> <div>external_connection</div>	<div>UART (RS-232 Serial Port)</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Memory Mapped Slave</div> <div>Conduit</div>	<div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0 [clk] [clk]	0x4000	0x6003		
<input checked="" type="checkbox"/>		<div>sysid_qsys_0</div> <div>clk</div> <div>reset</div> <div>control_slave</div>	<div>System ID Peripheral</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Memory Mapped Slave</div>	<div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0 [clk] [clk]	0x9020	0x903f		
<input checked="" type="checkbox"/>		<div>sysid_qsys_0</div> <div>clk</div> <div>reset</div> <div>control_slave</div>	<div>System ID Peripheral</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Memory Mapped Slave</div>	<div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0 [clk] [clk]	0x9048	0x904f		

Рисунок. 2: Конечное состояние окна модуля QSYS

Модуль Pin Planner

Портам проекта назначены контакты микросхемы.

На рисунке 3 изображён общий вид модуля Pin Planner.

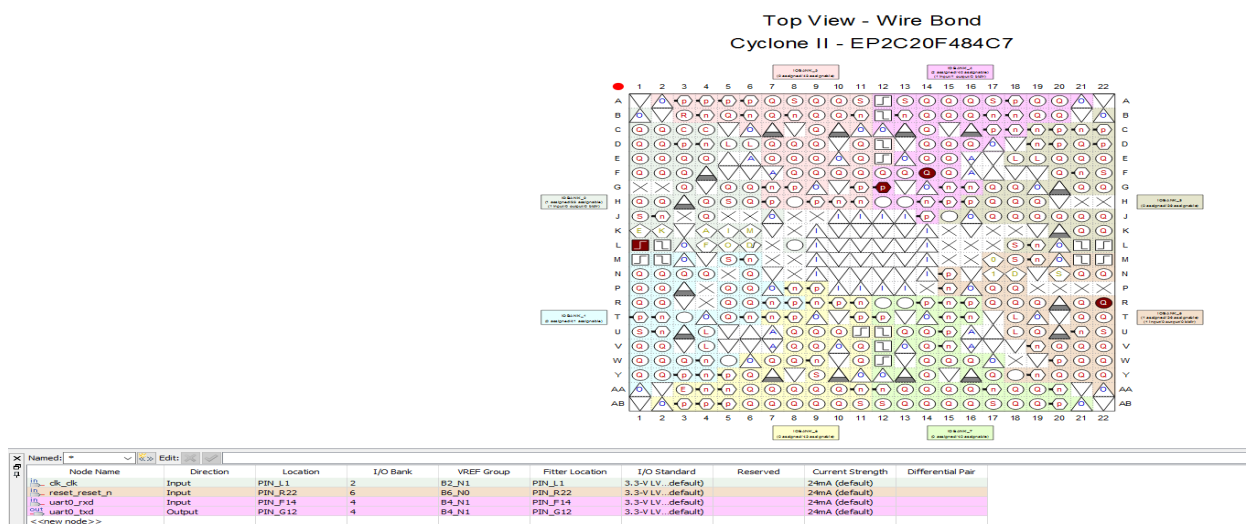


Рисунок. 3: Общий вид модуля Pin Planner

На рисунке 4 изображены назначения портам проекта контактов микросхемы.

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location
clk_clk	Input	PIN_L1	2	B2_N1	PIN_L1
reset_reset_n	Input	PIN_R22	6	B6_N0	PIN_R22
uart0_rxd	Input	PIN_F14	4	B4_N1	PIN_F14
uart0_bxd	Output	PIN_G12	4	B4_N1	PIN_G12

Рисунок. 4: Назначение портам проекта контактов микросхемы

Таблица распределения адресов

На рисунке 5 изображена таблица распределения адресов из программы.

	nios2_qsys_0.data_master	nios2_qsys_0.instruction_master
nios2_qsys_0.jtag_debug_module	0x8800 - 0x8fff	0x8800 - 0x8fff
onchip_memory2_0.s1	0x4000 - 0x6003	0x4000 - 0x6003
uart_0.s1	0x9020 - 0x903f	0x9020 - 0x903f
sysid_qsys_0.control_slave	0x9048 - 0x904f	0x9048 - 0x904f

Рисунок. 5: Таблица распределения адресов

Код программы

В файле `hello_world_small.c` находится доработанный код эхо-программы приёма-передачи по интерфейсу RS232.

Также был создан образ ОС HAL с драйверами устройств, используемых в аппаратном проекте.

На листинге 1 приведён код программы по заданию.

Листинг 1: Код для выполнения задания

```
#include "sys/alt_stdio.h"
#include "system.h"
#include "altera_avalon_sysid_qsys.h"
#include "altera_avalon_sysid_qsys_regs.h"

int main()
{
    char ch;
    alt_putstr("Hello from System on Chip\n");

    int SystemID = IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_0_BASE)
        ;
    alt_printf("%x", SystemID);

    return 0;
}
```

В результате получилось окно, представленное на рисунке 6.

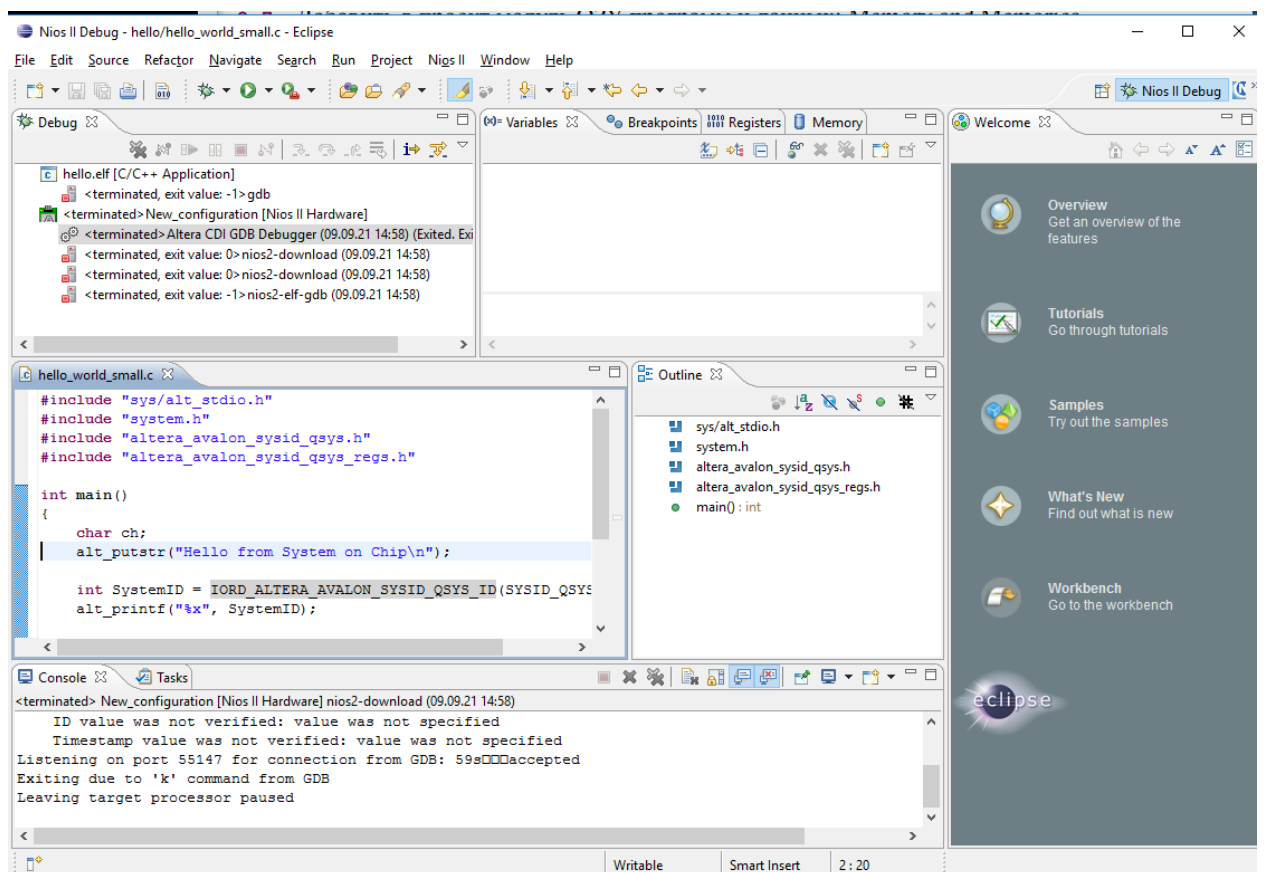


Рисунок. 6: Итоговый результат проекта Nios II

Выполнение задания

Изначально был изменён параметр SystemID в QSYS. Мой вариант – 6, группа – 55.

Результат представлен на рисунке 7.

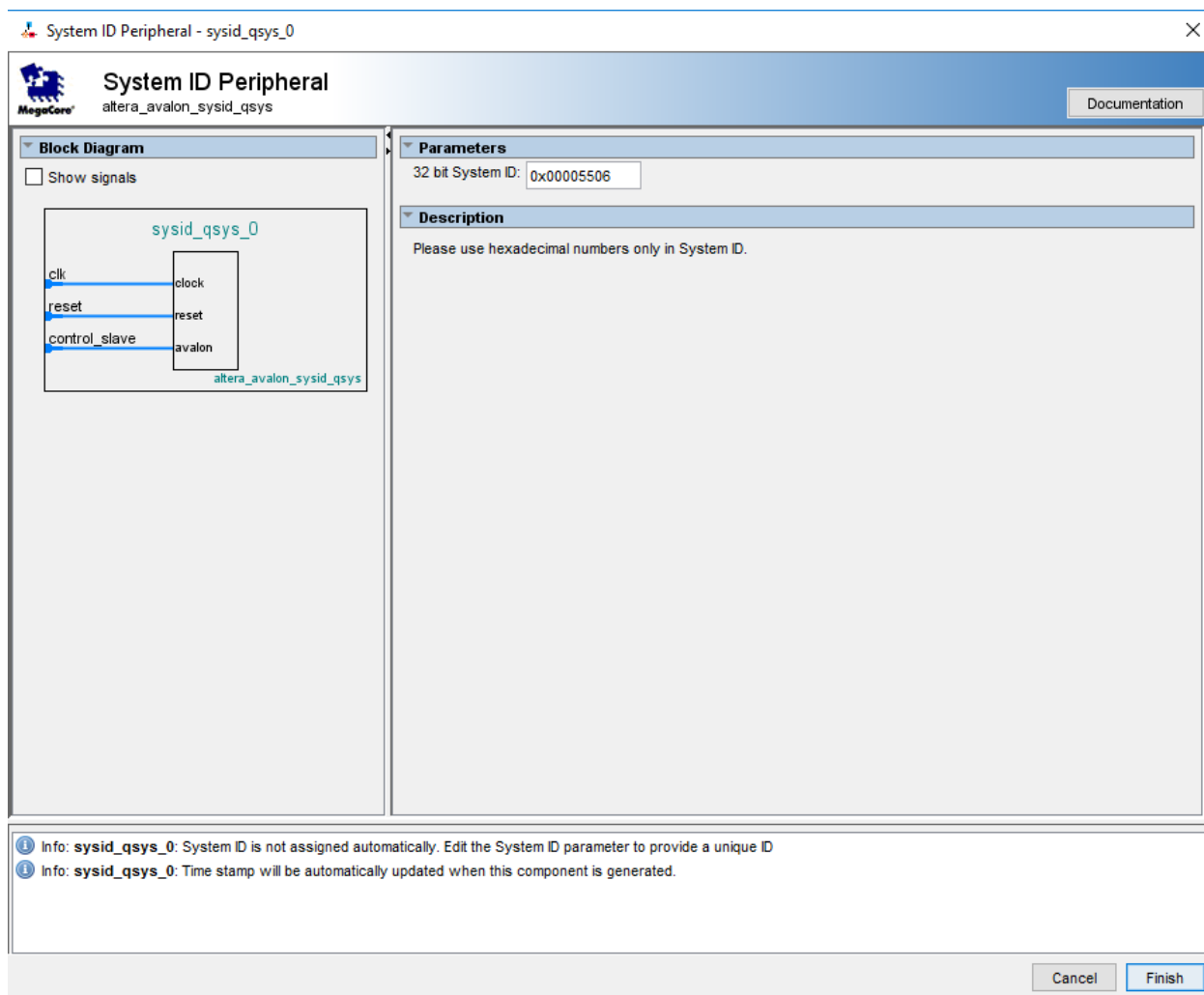


Рисунок. 7: Назначение параметра SystemID в соответствии с вариантом

Затем к ПК была подключена отладочная плата с ПЛИС EPC2C20. Была выполнена верификация проекта с использованием программы терминала.

Параметры для терминала представлены на рисунке 8.

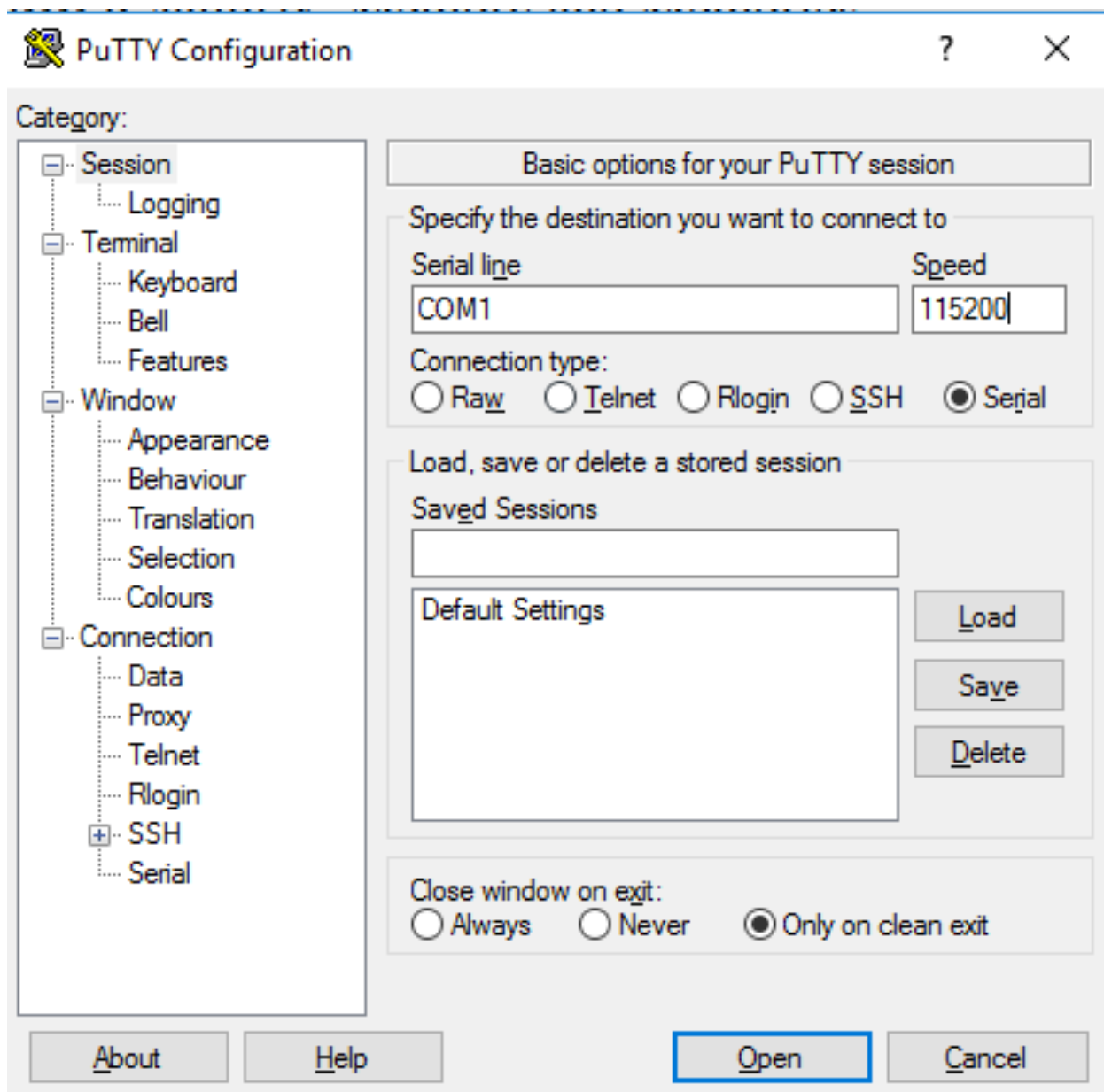


Рисунок. 8: Параметры для терминала

Итоговый вывод представлен на рисунке 9.

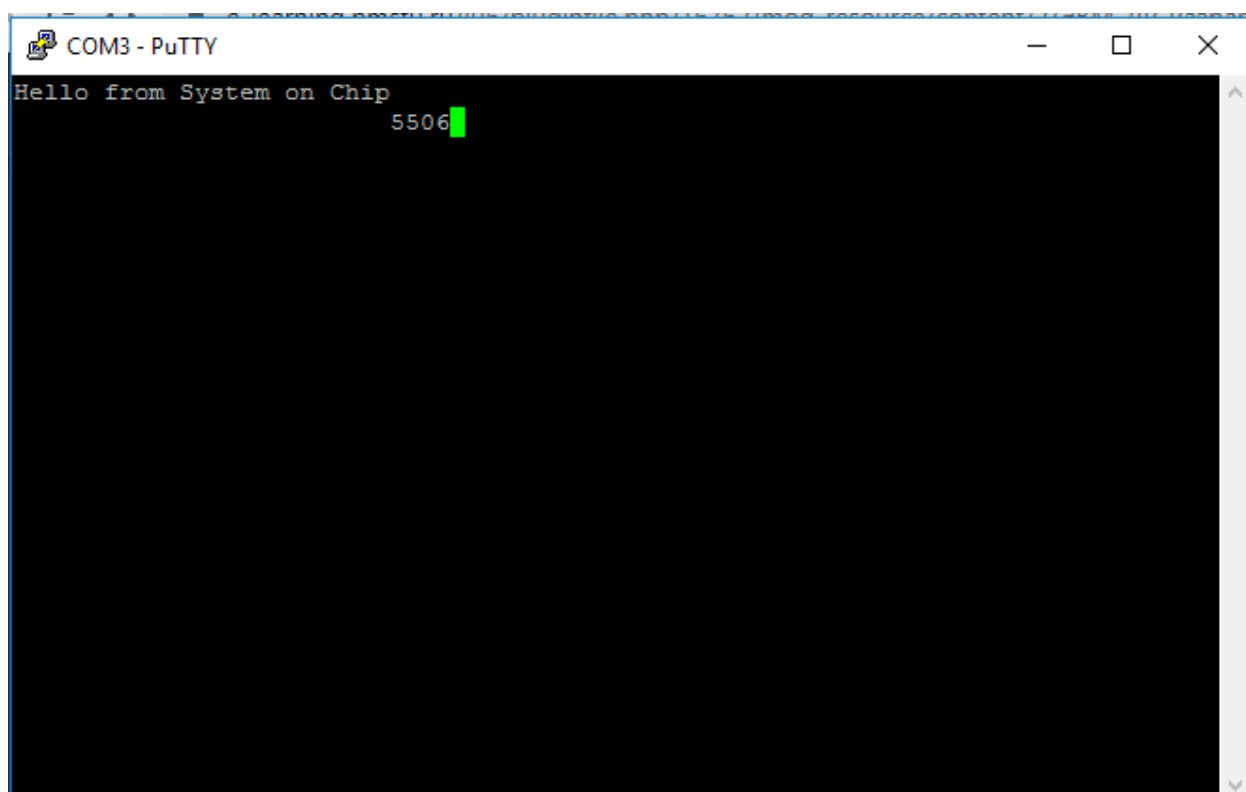


Рисунок. 9: Итоговый вывод

Выводы

В ходе данной лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС. Удалось получить навыки проектирования СНК в САПР Altera Quartus II, познакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС, выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Все поставленные цели были достигнуты. Индивидуальное задание также выполнено, удалось получить вывод, соответствующий моей группе и моему варианту.