

LAPORAN FINAL EXAM POWER ELECTRONICS (TKE215204)

TASK 1: MOSFET SWITCHING BEHAVIOR & GATE DRIVER ANALYSIS

Nama: Prima Nafisman

NIU: 22/493817/TK/54121

Tanggal: 7 Desember 2025

Dosen Pengampu: Dr.-Ing. Ir. Yohan Fajar Sidik, S.T., M.Eng.

Github: https://github.com/primanafisman/Prima-Nafisman_493817_UAS-Elday.git/

1. Deskripsi Proyek

Tujuan dari tugas ini adalah untuk mengamati dan menganalisis perilaku switching (peralihan) pada Power MOSFET dengan beban resistif. Eksperimen dilakukan menggunakan simulasi LTspice untuk membandingkan dua metode penggerak gerbang (gate driver):

- 1. Direct Drive:** Menggunakan sumber tegangan pulsa dengan resistor gate seri (R_g).
- 2. Low-Side Totem-Pole Driver:** Menggunakan konfigurasi transistor BJT push-pull untuk memperkuat arus penggerak.

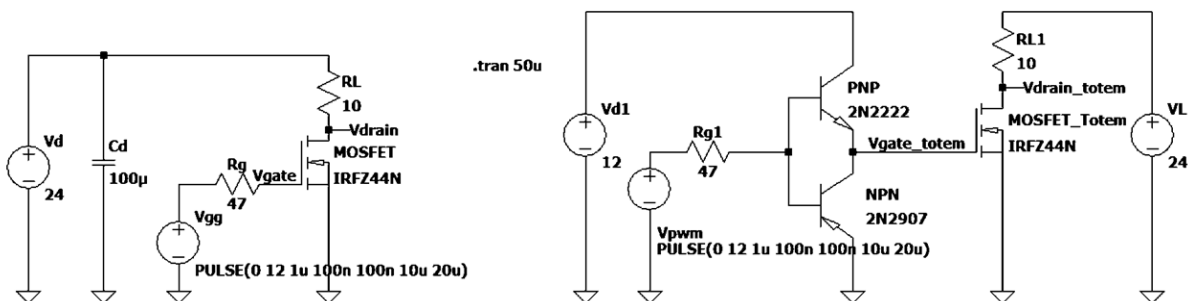
Analisis difokuskan pada parameter transien seperti *delay time*, *rise time*, *fall time*, fenomena *Miller Plateau*, serta pengaruh resistansi gate (R_g) terhadap efisiensi dan kecepatan switching.

2. Konfigurasi Simulasi

Simulasi dilakukan menggunakan perangkat lunak **LTspice**. Berikut adalah spesifikasi komponen yang digunakan:

- **MOSFET:** IRFZ44N
- **Load (R_L):** $10\ \Omega$
- **Supply Voltage (V_d):** 24 V
- **Gate Driver Supply:** 12 V
- **PWM Frequency:** 50 kHz
- **Totem-Pole BJTs:** 2N2222 (NPN) & 2N2907 (PNP)

Skematik Rangkaian:



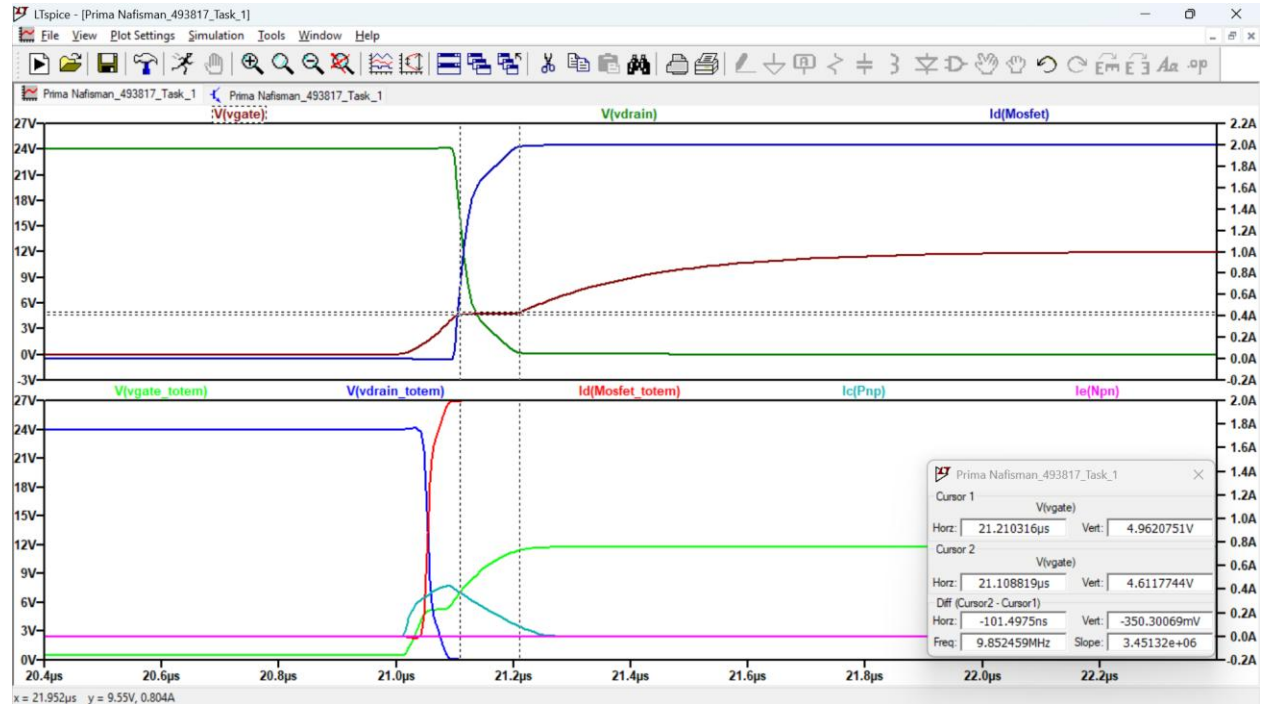
3. Hasil Simulasi

Bagian ini menyajikan bentuk gelombang $V_{gs}(t)$, $I_d(t)$, dan $V_{ds}(t)$ untuk mengidentifikasi karakteristik switching.

A. Direct Drive (Figure 1)

Pada konfigurasi ini, Gate MOSFET dikendalikan langsung oleh sumber tegangan melalui resistor R_g .

Gambar 3.1: Grafik Switching Figure 1 (Direct Drive)



Anotasi Parameter Switching:

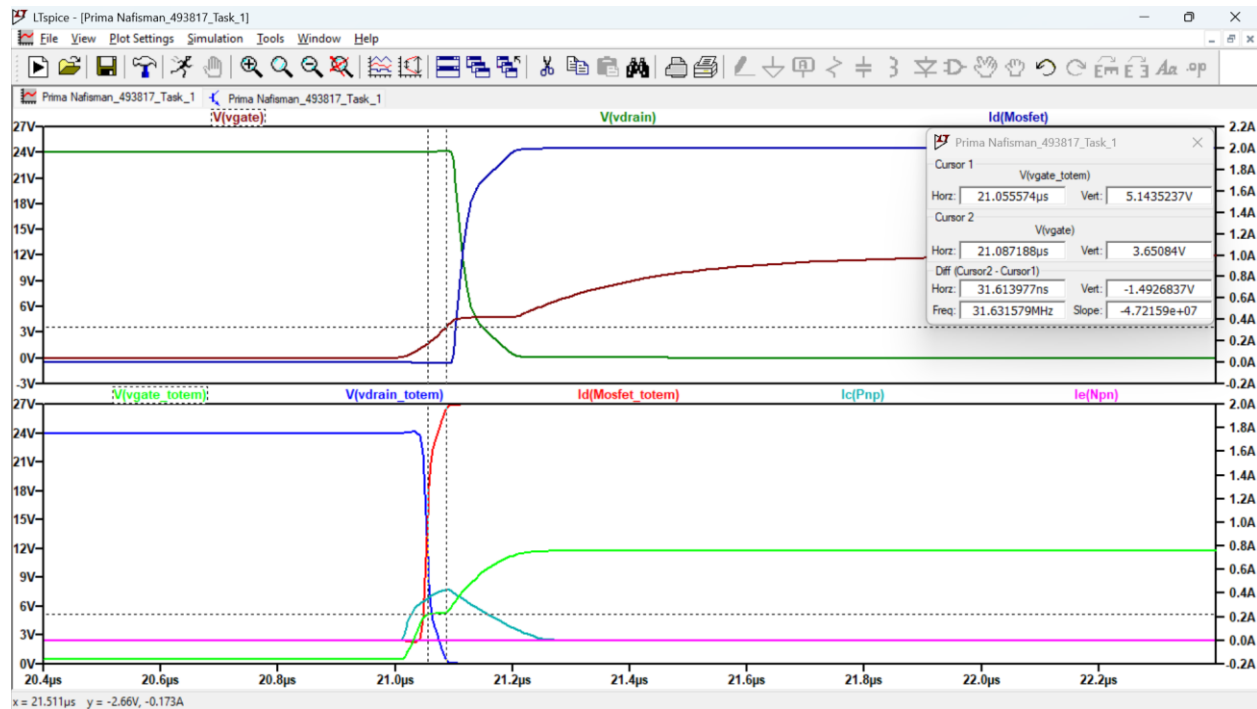
Berdasarkan Gambar 3.1, parameter switching terukur adalah:

- **Delay Time (t_d):** 206.32 ns (Waktu dari V_{gs} naik hingga I_d mulai mengalir)
- **Rise Time (t_r):** 68.71 ns (Waktu I_d naik 10% ke 90%)
- **Miller Plateau:** Terlihat datar pada tegangan Gate sekitar 4.747 V.
- **Fall Time (t_f):** 124.62 ns (Waktu I_d turun 90% ke 10%)

B. Totem-Pole Gate Driver (Figure 2)

Pada konfigurasi ini, driver BJT digunakan untuk meningkatkan arus *sourcing* dan *sinking*.

Gambar 3.2: Grafik Switching Figure 2 (Totem-Pole)



Observasi:

Berdasarkan Gambar 3.2, parameter switching terukur adalah:

- **Delay Time (t_d):** 30.05 ns (Waktu dari V_{gs} naik hingga I_d mulai mengalir)
- **Rise Time (t_r):** 26.39 ns (Waktu I_d naik 10% ke 90%)
- **Miller Plateau:** Terlihat datar pada tegangan Gate sekitar 5.13 V.
- **Fall Time (t_f):** 65.98 ns (Waktu I_d turun 90% ke 10%)

Dibandingkan dengan Direct Drive, rangkaian Totem-Pole menghasilkan transisi yang jauh lebih tajam. Miller plateau menjadi sangat singkat, mengindikasikan pengisian C_{gd} yang sangat cepat.

4. Analisis & Pembahasan

1. Perbandingan Performa: Totem-Pole vs Direct Drive

Pertanyaan: How does the totem-pole driver improve MOSFET switching performance compared to using only a gate resistor and voltage source?

Analisis:

Topologi	t_{rise}	t_{fall}	t_{delay}	Durasi Plateau
Direct Drive	68.71 ns	124.62 ns	206.32 ns	101.49 ns
Totem Pole	26.39 ns	65.98 ns	30.05 ns	31.61 ns

Rangkaian Totem-Pole meningkatkan performa switching secara signifikan melalui mekanisme Current Buffering (Penyangga Arus).

- **Limitasi Direct Drive:** Pada rangkaian Figure 1, arus pengisian kapasitansi input MOSFET (C_{iss}) dibatasi oleh impedansi internal sumber sinyal (PWM generator) dan resistor gate R_g . Hal ini menyebabkan konstanta waktu $\tau = R \times C_{iss}$ menjadi besar, sehingga *rise time* dan *fall time* menjadi lambat.
- **Keunggulan Totem-Pole:** Driver Totem-Pole memiliki impedansi output yang sangat rendah saat transistor NPN atau PNP dalam kondisi ON. Rangkaian Totem-Pole meningkatkan performa

switching secara signifikan melalui mekanisme Current Buffering. Konfigurasi ini mampu menyuplai arus puncak (peak current) yang jauh lebih besar untuk mengisi kapasitansi gerbang MOSFET (C_{iss}) dibandingkan sumber PWM biasa (Rashid, 2013). Arus besar ini ($I_g = \frac{V_{drive}}{R_{path\ kecil}}$) memungkinkan pengisian dan pengosongan muatan Gate (Q_g) terjadi dalam waktu singkat. Akibatnya, durasi transisi berkurang drastis, mengurangi waktu MOSFET berada di *linear region* (zona aktif) yang disipatif.

2. Pengaruh Sourcing dan Sinking Current

Pertanyaan: *Explain how the sourcing and sinking currents of the BJTs affect the switching speed.*

Kecepatan switching MOSFET sangat bergantung pada seberapa cepat muatan pada kapasitor parasit (C_{gs} dan C_{gd}) dapat dipindahkan.

- **Sourcing Current (Turn-ON):** Transistor NPN pada bagian atas Totem-Pole bertugas mengalirkan arus dari sumber tegangan driver menuju Gate (**Sourcing**). Semakin besar kemampuan *sourcing current*, semakin cepat tegangan gate (V_{gs}) mencapai ambang *Miller Plateau* dan melewatinya. Ini secara langsung memperpendek **Rise Time** (t_r).
- **Sinking Current (Turn-OFF):** Transistor PNP pada bagian bawah bertugas mengalirkan arus dari Gate menuju Ground (**Sinking**). Transistor ini menyediakan jalur resistansi rendah untuk membuang muatan gate dengan cepat. Semakin besar kemampuan *sinking current*, semakin cepat V_{gs} ditarik ke nol, yang secara langsung memperpendek **Fall Time** (t_f).

3. Analisis Pengaruh Resistansi Gate (R_g)

Pertanyaan: *Analyze the effect of gate resistance R_g on switching speed, di/dt , dv/dt , and losses.*

Nilai R_g mengontrol laju arus gate (I_g), yang berdampak langsung pada karakteristik berikut:

(a) Switching Speed

Hubungan antara R_g dan kecepatan switching adalah berbanding terbalik.

- **R_g Tinggi:** Membatasi arus pengisian gate. Konstanta waktu τ meningkat, menyebabkan *delay time*, *rise time*, dan *fall time* menjadi lebih lama (switching lambat).
- **R_g Rendah:** Memungkinkan arus gate maksimum mengalir, menghasilkan switching yang sangat cepat.

(b) $\frac{dv}{dt}$ dan $\frac{di}{dt}$

- **R_g Rendah (Cepat):** Menghasilkan perubahan arus ($\frac{di}{dt}$) dan tegangan ($\frac{dv}{dt}$) yang sangat tinggi dalam waktu singkat. Meskipun efisien, nilai $\frac{di}{dt}$ yang terlalu tinggi dapat menyebabkan lonjakan tegangan (*voltage overshoot*) akibat induktansi parasit ($V = L \times \frac{di}{dt}$) dan osilasi dalam simulasi menggunakan $R_g = 47 \Omega$ memiliki overshoot 27.71mV. Hal tersebut membuktikan bahwa pemilihan $R_g = 47 \Omega$ sempurna sehingga menghasilkan damping yang sempurna.
- **R_g Tinggi (Lambat):** Memperhalus transisi $\frac{dv}{dt}$ dan $\frac{di}{dt}$, mengurangi risiko *ringing* dan EMI (*Electromagnetic Interference*), namun mengorbankan kecepatan.

(c) Switching Energy/Losses (E_{sw})

Rugi-rugi daya switching terjadi saat tegangan (V_{ds}) dan arus (I_d) memiliki nilai signifikan secara bersamaan (overlap region) selama transisi.

- **R_g Besar:** Memperlebar area *overlap* karena transisi lambat. Integral daya terhadap waktu ($\int v \times i \, dt$) menjadi besar, menghasilkan **High Switching Losses** (Panas berlebih).

- R_g **Kecil**: Mempersempit area *overlap*. Energi yang hilang selama transisi menjadi minimal (**Low Switching Losses**), meningkatkan efisiensi sistem secara keseluruhan.

5. Kesimpulan

Dari percobaan simulasi Task 1, dapat disimpulkan bahwa:

1. Rangkaian Gate Driver Totem-Pole sangat efektif untuk mempercepat waktu switching MOSFET dibandingkan metode *direct drive* karena kemampuannya menyediakan arus *sourcing* dan *sinking* yang besar.
2. Fenomena Miller Plateau terlihat jelas pada simulasi beban resistif, di mana tegangan gate tertahan sementara (rata) akibat efek kapasitansi Miller (C_{gd}) saat tegangan drain mengalami transisi (Baliga, 2008).
3. Resistansi gate (R_g) merupakan parameter kompromi (trade-off). Nilai R_g yang kecil meningkatkan kecepatan switching dan efisiensi, namun meningkatkan risiko osilasi tegangan (voltage overshoot) dan interferensi elektromagnetik (EMI) akibat tingginya $\frac{di}{dt}$ (Mohan et al., 2003). Sedangkan R_g yang besar mengurangi *noise* tetapi meningkatkan rugi-rugi panas.

TASK 2: TOPOLOGI INVERTER

Plot Output Voltage in Time and Frequency Domains

1. Konfigurasi Simulasi

Simulasi dilakukan menggunakan software PLECS dengan parameter sistem sebagai berikut:

- Tegangan DC Bus (V_d): 400 V
- Frekuensi Fundamental (f_o): 50 Hz
- Frekuensi Switching (f_{sw}): 5000 Hz
- Beban Resistif (R_L): 50 Ω

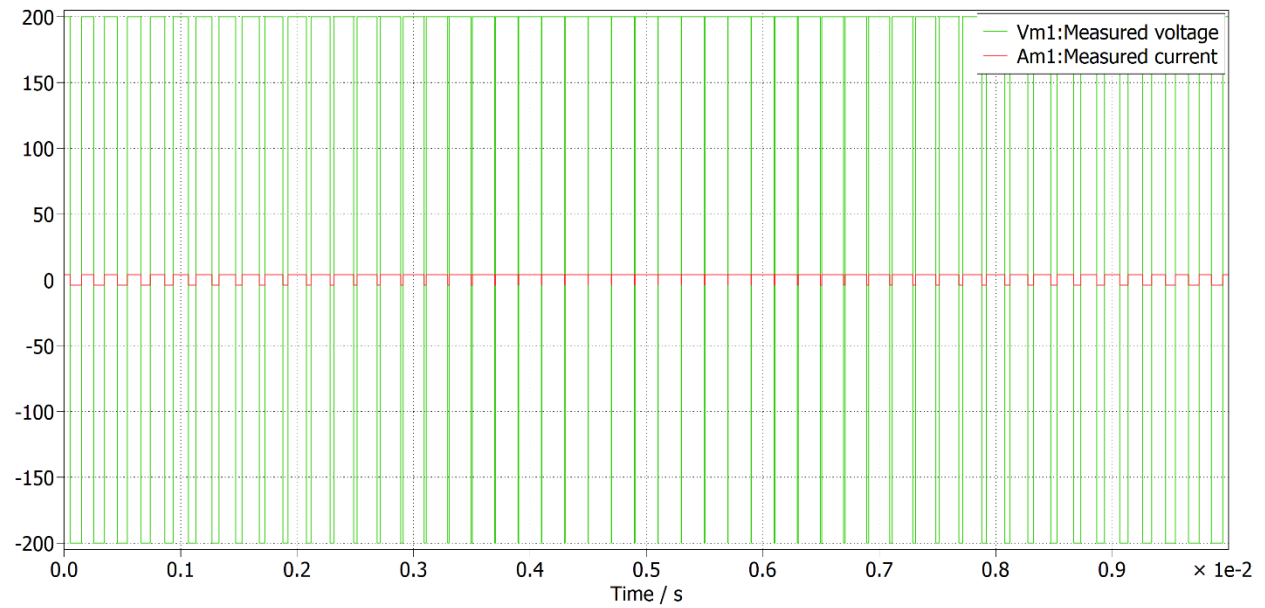
2. Half-Bridge Single-Phase Inverter

Pada topologi ini, tegangan output $v_o(t)$ berayun antara $+\frac{V_d}{2}$ dan $-\frac{V_d}{2}$ yaitu ± 200 V).

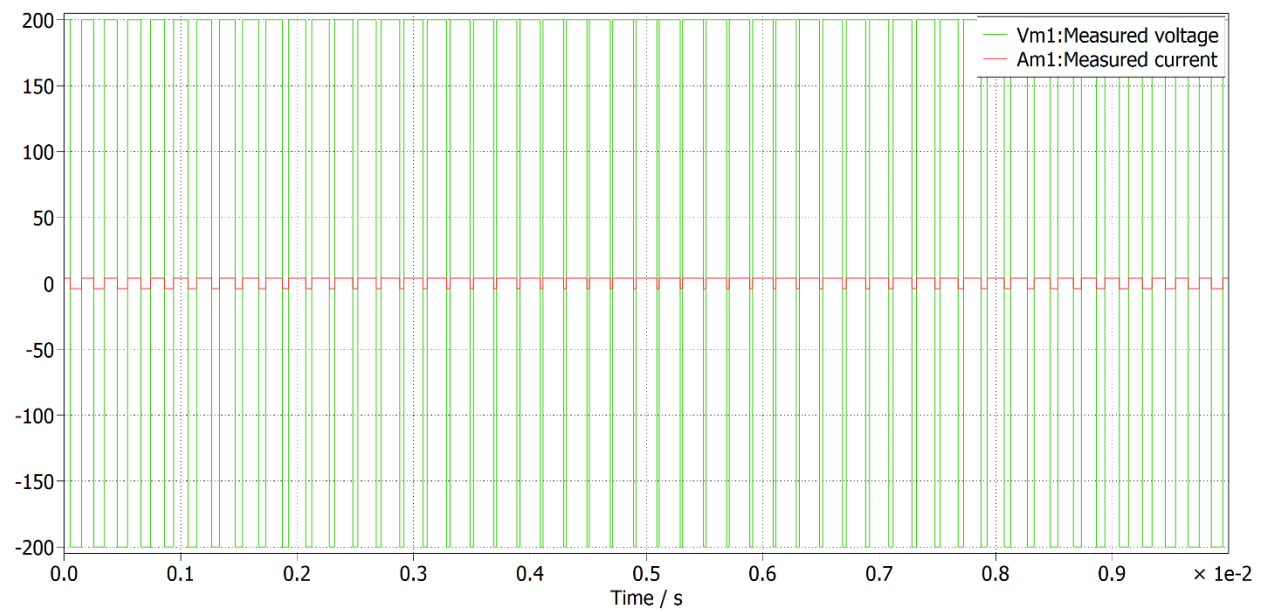
A. Analisis Domain Waktu (Time Domain)

Gambar berikut menunjukkan bentuk gelombang tegangan output PWM sebelum filter pada variasi indeks modulasi (m_a).

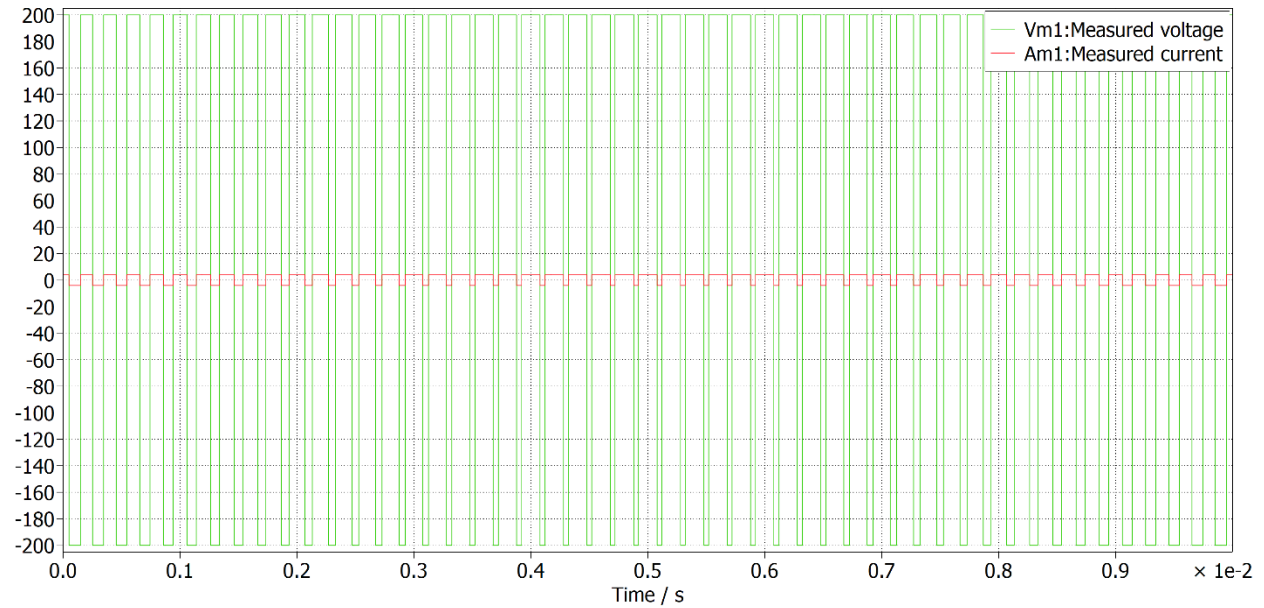
- Plot 1: Gelombang saat $m_a = 0.6$



- Plot 2: Gelombang saat $m_a = 0.8$



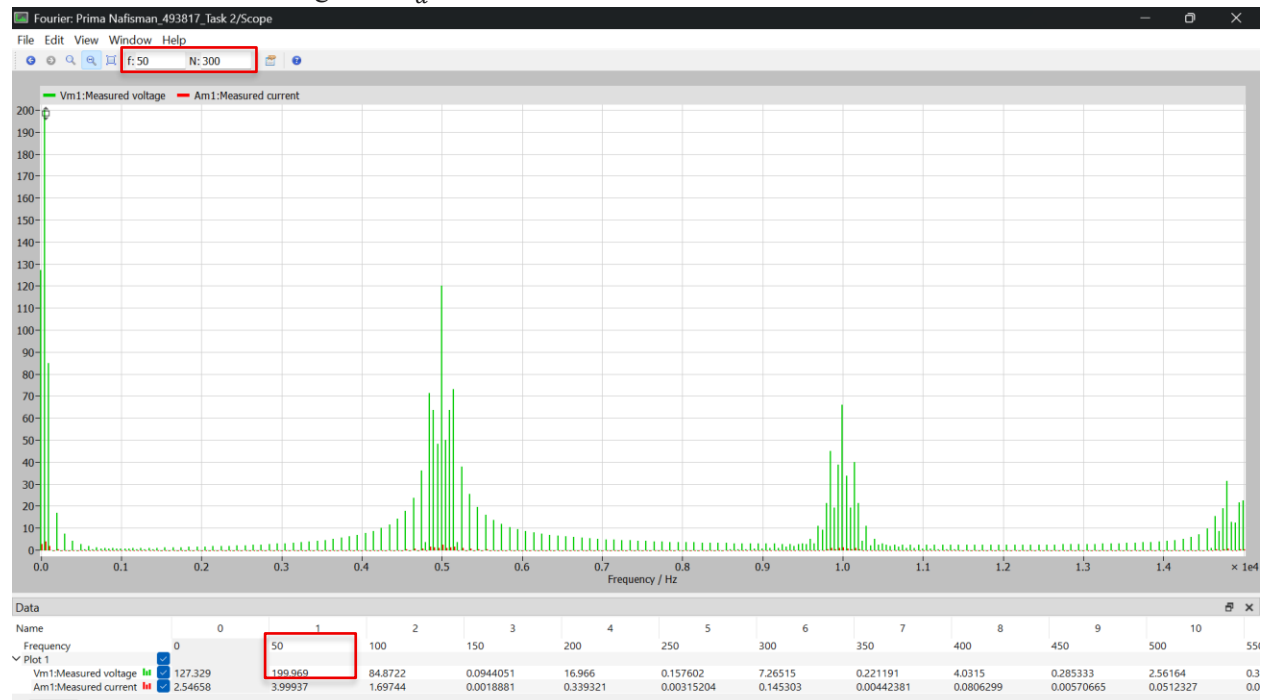
- Plot 3: Gelombang saat $m_a = 1.0$



B. Analisis Domain Frekuensi (FFT)

Analisis Fourier dilakukan untuk mengidentifikasi komponen fundamental dan harmonisa switching.

- Plot 1: Gelombang saat $m_a = 1.0$



Tabel 1. Data Hasil Pengukuran Half-Bridge

Indeks Modulasi (ma)	Tegangan Fundamental (V_{peak}) [Simulasi]	Tegangan Teoritis ($ma \times 200V$)
0.6	119.969V	$0.6 \times 200 = 120 V$

Indeks Modulasi (m_a)	Tegangan Fundamental (V_{peak}) [Simulasi]	Tegangan Teoritis ($m_a \times 200V$)
0.8	159.969V	$0.8 \times 200 = 160 V$
1.0	199.969V	$1.0 \times 200 = 200 V$

Sesuai dengan teori Sinusoidal PWM (SPWM), amplitudo tegangan output fundamental pada daerah linear ($m_a \leq 1.0$) berbanding lurus dengan indeks modulasi (m_a), mengikuti persamaan $V_{peak} = m_a \times V_{dc}$ (Hart, 2011). Harmonisa dominan muncul di sekitar frekuensi switching ($f_{sw} = 5 \text{ kHz}$) dan kelipatannya.

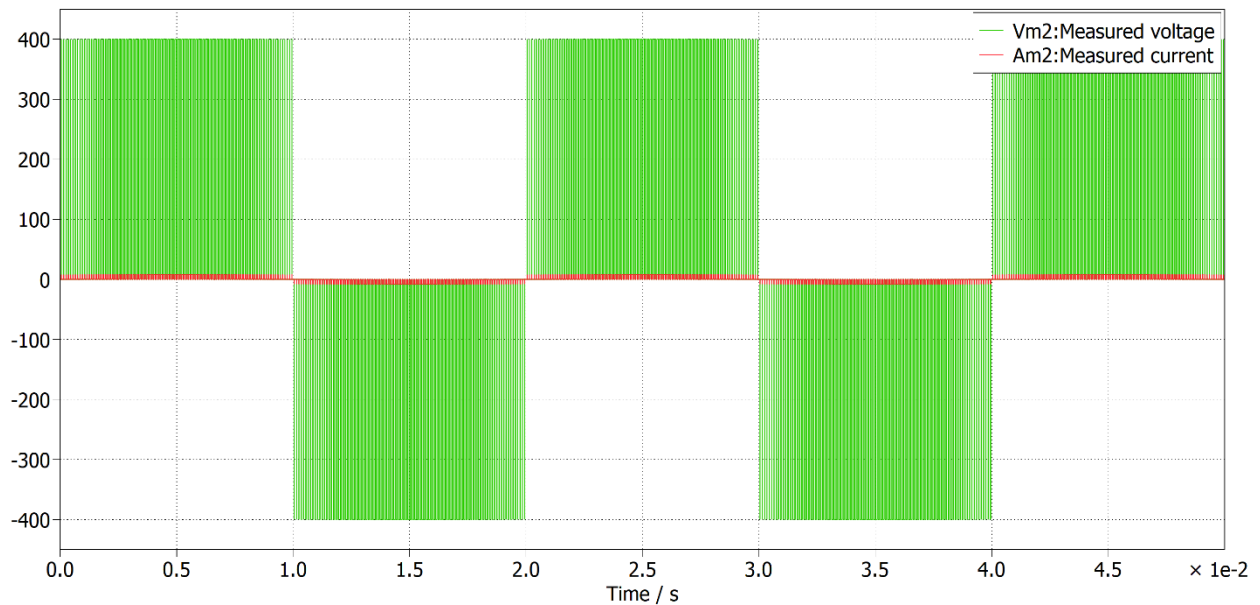
3. Full-Bridge Single-Phase Inverter

Pada topologi ini, tegangan output $v_o(t)$ memanfaatkan tegangan DC bus penuh, berayun antara $+V_d$ dan $-V_d$ yaitu $\pm 400 \text{ V}$.

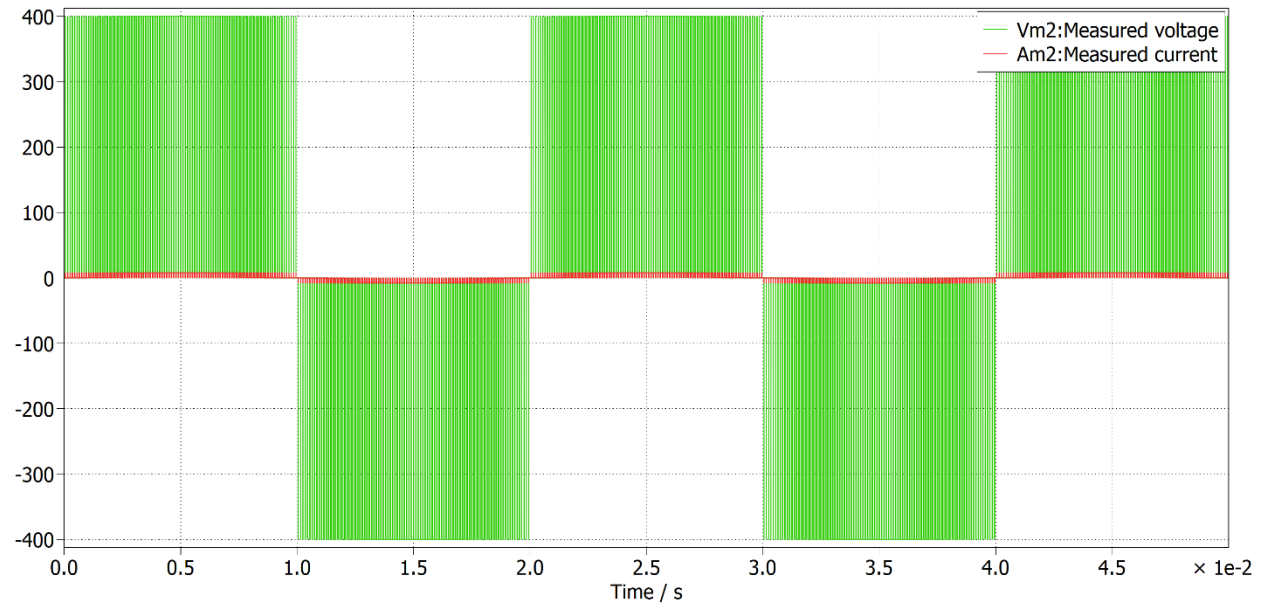
A. Analisis Domain Waktu (Time Domain)

Gambar berikut menunjukkan bentuk gelombang tegangan output PWM sebelum filter pada variasi indeks modulasi (m_a).

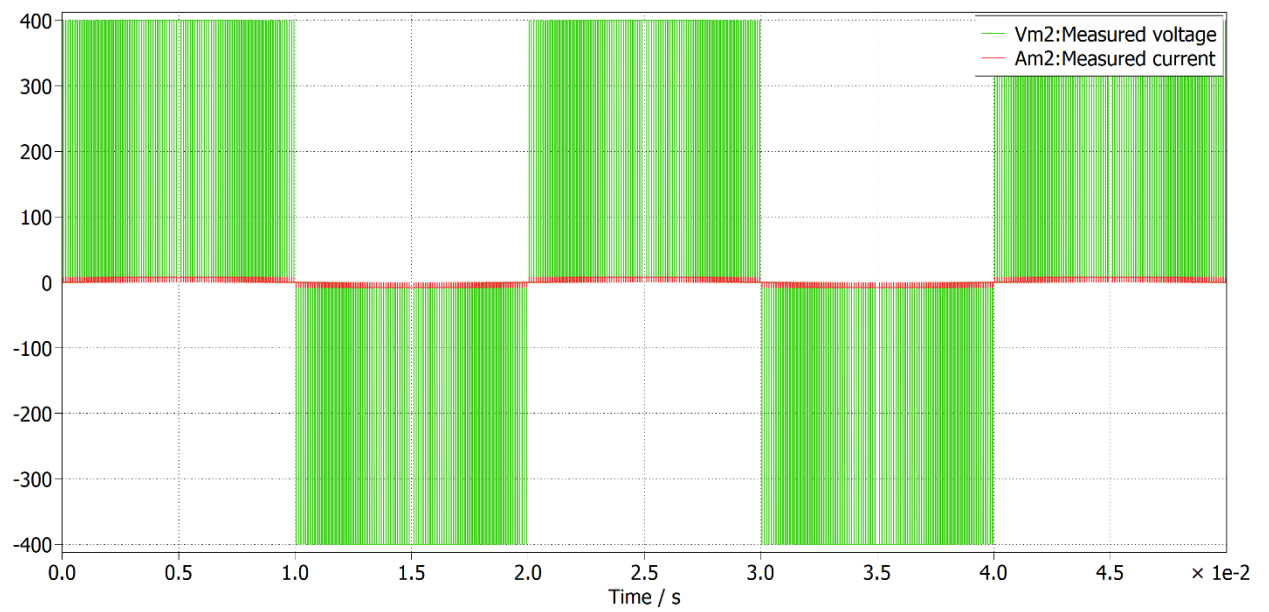
- Plot 1: Gelombang saat $m_a = 0.6$



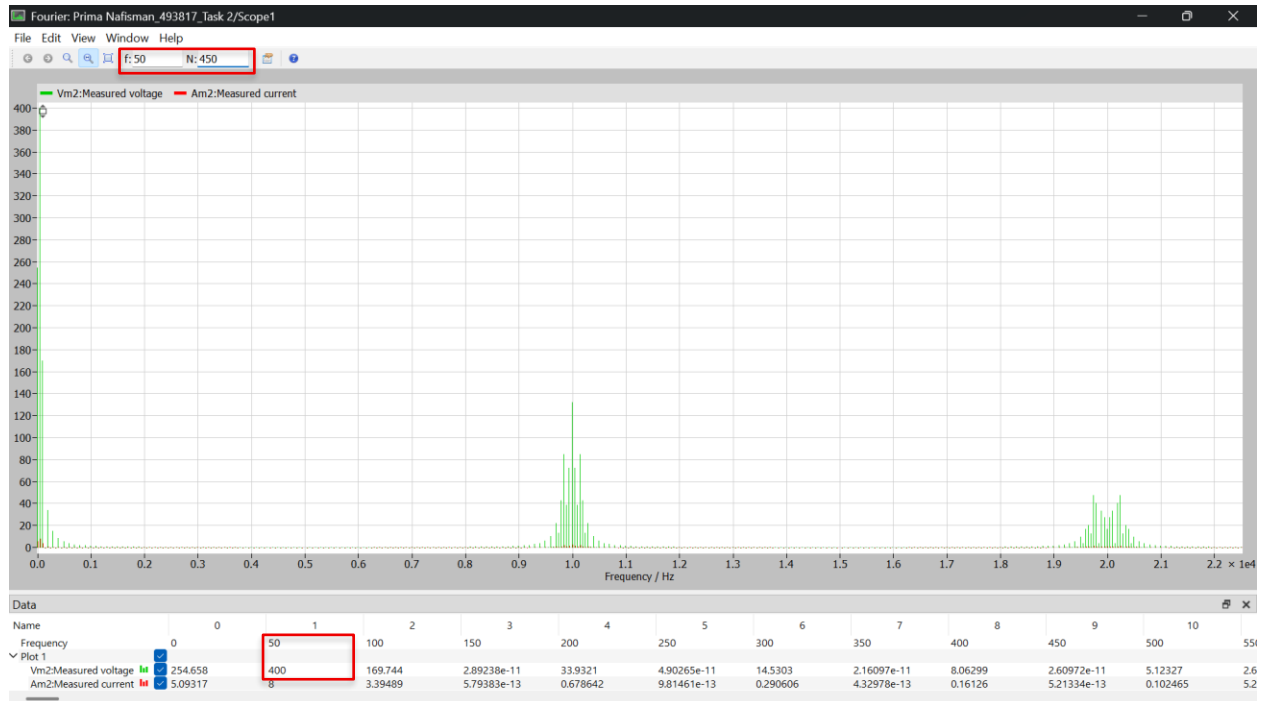
- Plot 2: Gelombang saat $m_a = 0.8$



- Plot 3: Gelombang saat $m_a = 1.0$



B. Analisis Domain Frekuensi (FFT)



Tabel 2. Data Hasil Pengukuran Full-Bridge

Indeks Modulasi (m_a)	Tegangan Fundamental (V_{peak}) [Simulasi]	Tegangan Teoritis ($m_a \times 240V$)
0.6	240V	$0.6 \times 400 = 240 V$
0.8	320V	$0.8 \times 400 = 320 V$
1.0	400V	$1.0 \times 400 = 400 V$

Analisis Singkat:

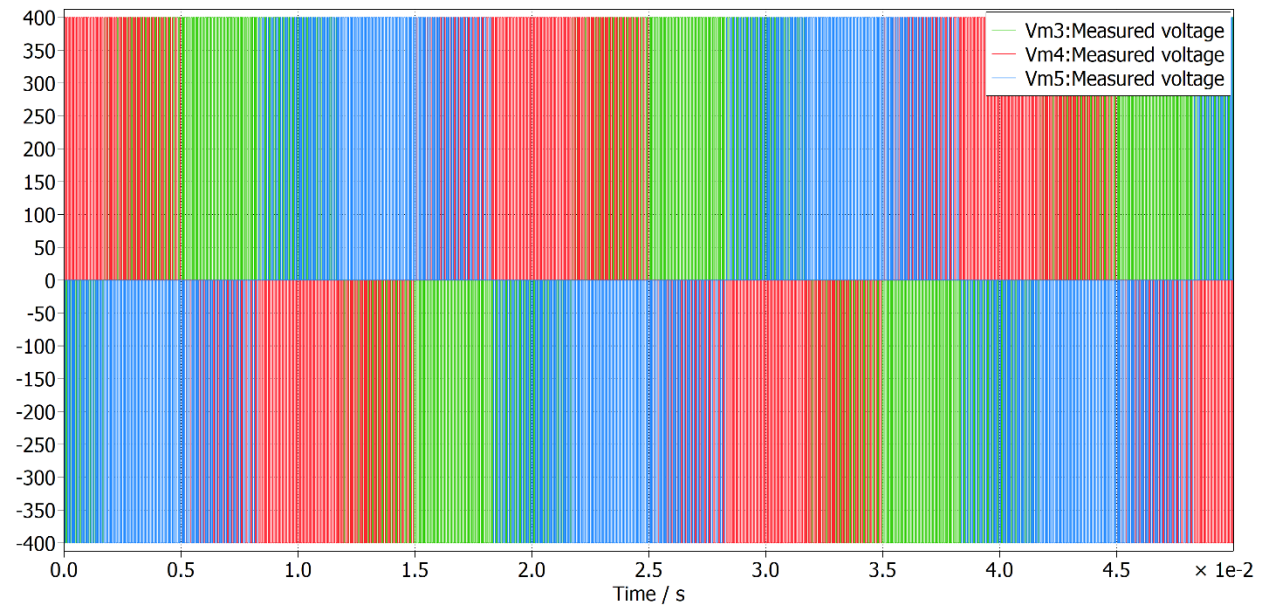
Full-Bridge menghasilkan tegangan fundamental dua kali lebih besar dibandingkan Half-Bridge pada V_d yang sama. Harmonisa switching tetap muncul di sekitar $2f_{sw}$.

4. Three-Phase Inverter

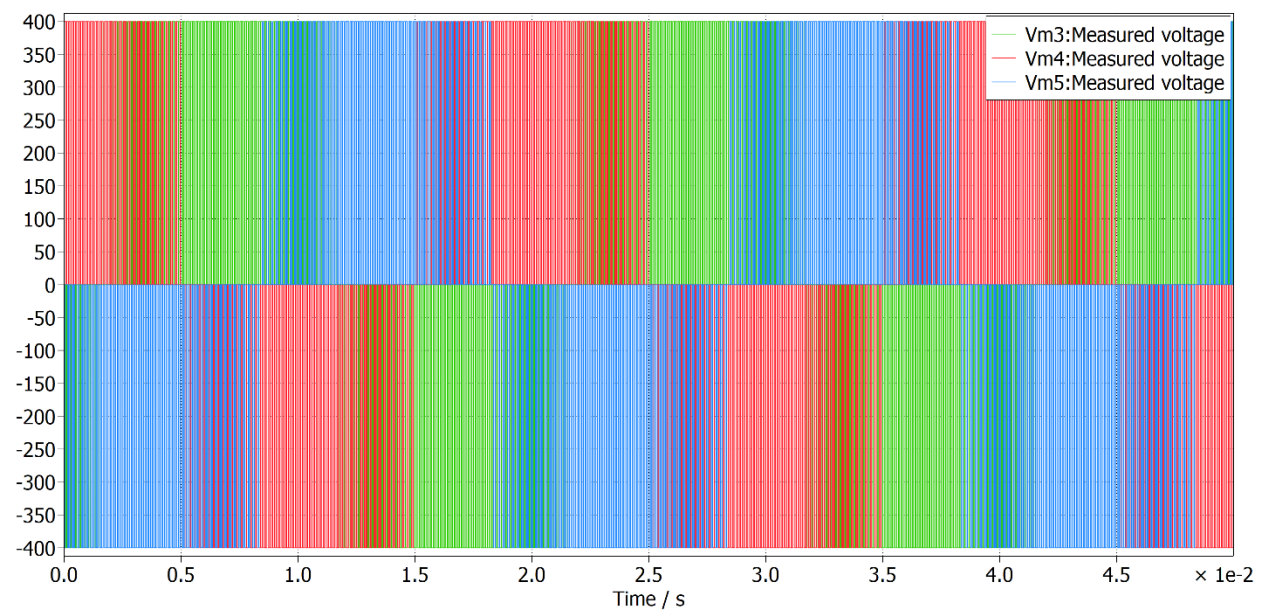
Pengukuran dilakukan pada tegangan antar-fasa (Line-to-Line Voltage, V_{AB}).

A. Analisis Domain Waktu (Time Domain)

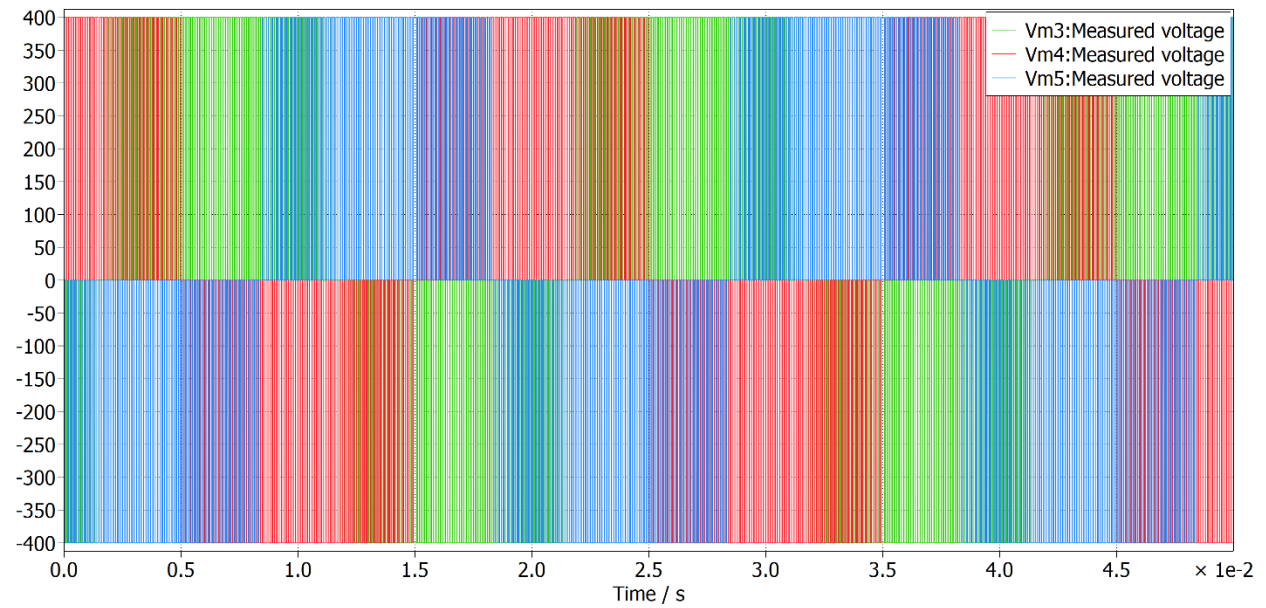
- Plot 1: Gelombang saat $m_a = 0.6$



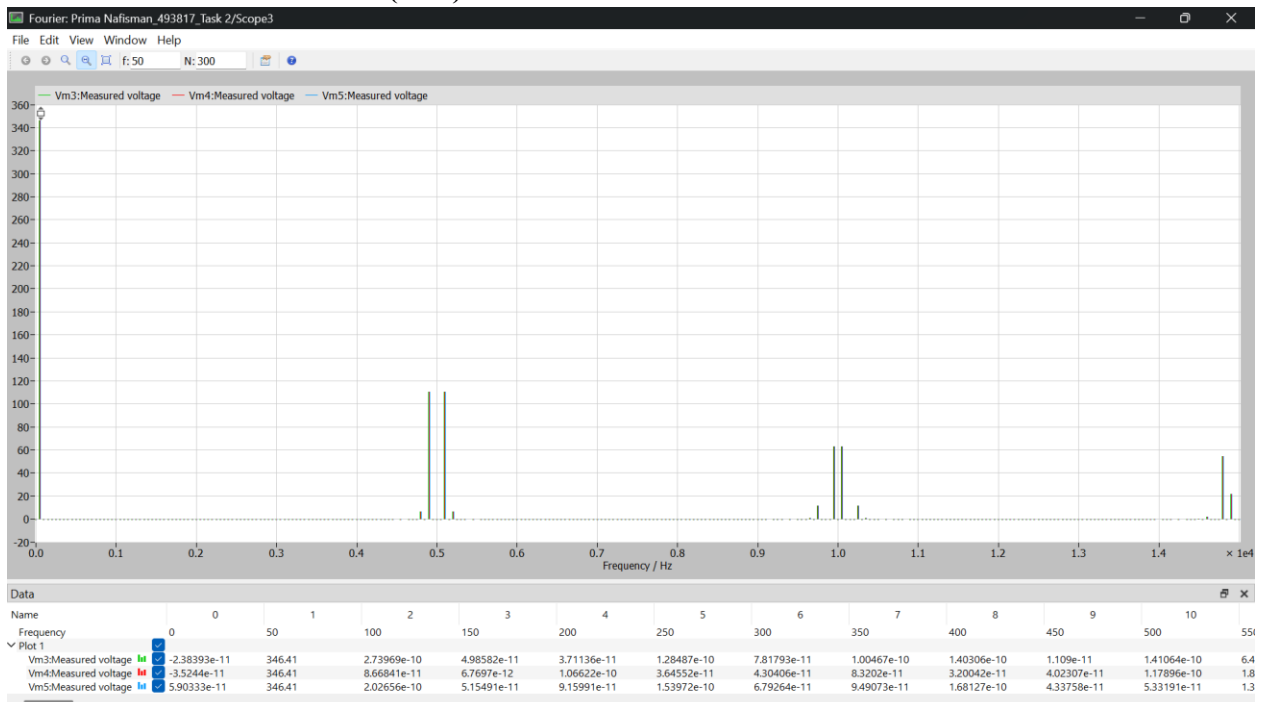
- Plot 2: Gelombang saat $m_a = 0.8$



- Plot 3: Gelombang saat $m_a = 1.0$



B. Analisis Domain Frekuensi (FFT)



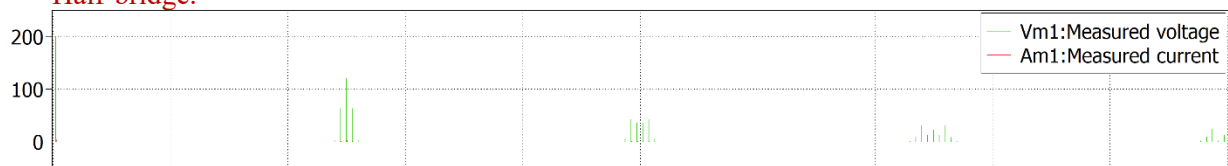
Tabel 3. Data Hasil Pengukuran Three-Phase ($V_{Line-Line}$)

Indeks Modulasi (ma)	Tegangan Fundamental (V_{peak}) [Simulasi]	Tegangan Teoritis ($\frac{\sqrt{3}}{2} ma \times 400V$)
0.6	207.846V	207.8V
0.8	277.128V	277.1V
1.0	346.41V	346.4V

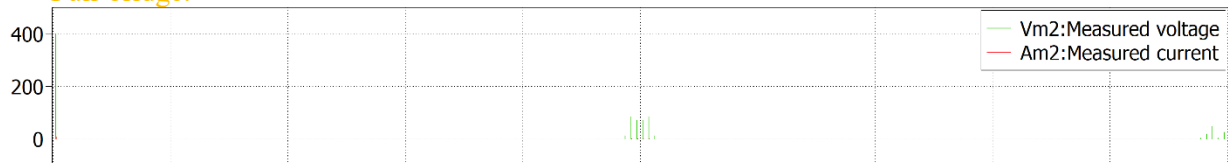
5. Komparasi Spektrum Harmonisa (Objective 1.c)

Bagian ini membandingkan kualitas spektrum antar topologi.

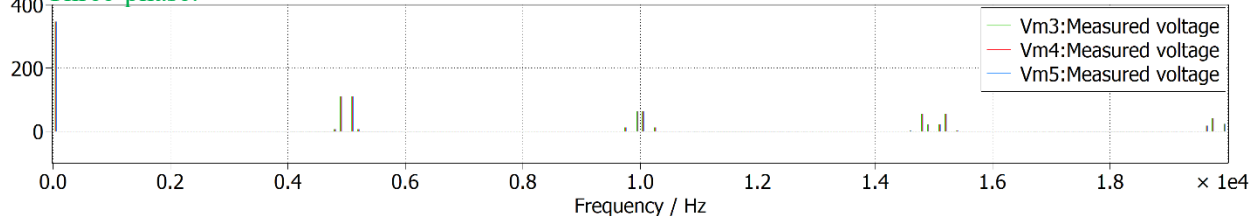
Half-bridge:



Full-bridge:



Three-phase:



Name	0	1	2	3	4	5	6	7	8	9	10	55
Frequency	0	50	100	150	200	250	300	350	400	450	500	550
Plot 1												
Vm1:Measured voltage	-5.12645e-12	200	1.88618e-10	1.08299e-10	4.50145e-11	1.77076e-10	6.6354e-11	6.5844e-11	1.04457e-10	1.04119e-10	5.1609e-11	6.2
Am1:Measured current	-1.02696e-13	4	3.77398e-12	2.16634e-12	9.0013e-13	3.54169e-12	1.32703e-12	1.31671e-12	2.08891e-12	2.08183e-12	1.03207e-12	1.2
Plot 2												
Vm2:Measured voltage	-1.62564e-11	400	1.89552e-10	3.48912e-10	1.38217e-10	3.29033e-10	1.10191e-10	2.13966e-10	1.11702e-10	1.20418e-10	1.45143e-10	1.0
Am2:Measured current	-3.26822e-13	8	3.79235e-12	6.97842e-12	2.76564e-12	6.58076e-12	2.20351e-12	4.27867e-12	2.23354e-12	2.40881e-12	2.90244e-12	2.0
Plot 3												
Vm3:Measured voltage	-2.38393e-11	346.41	2.73969e-10	4.98582e-11	3.71136e-11	1.28487e-10	7.81793e-11	1.00467e-10	1.40306e-10	1.109e-11	1.41064e-10	6.4
Vm4:Measured voltage	-3.5244e-11	346.41	8.66841e-11	6.7697e-12	1.06622e-10	3.64552e-11	4.30406e-11	8.3202e-11	3.20042e-11	4.02307e-11	1.17896e-10	1.8
Vm5:Measured voltage	5.90333e-11	346.41	2.02656e-10	5.15491e-11	9.15991e-11	1.53972e-10	6.79264e-11	9.49073e-11	1.68127e-10	4.33758e-11	5.33191e-11	1.3

B. Diskusi Perbandingan:

- Fundamental:** Full-Bridge memberikan amplitudo fundamental tertinggi (V_d), sedangkan Half-Bridge terendah ($0.5 V_d$). Three-phase memberikan $\approx 0.866 V_d$.
- Harmonisa Switching:**
 - Pada Single-Phase (Half & Full Bridge), harmonisa switching muncul kuat di sekitar f_{sw} .
 - Pada topologi tiga fasa, harmonisa 'triplen' (orde ke-3, 9, 15, dst.) pada tegangan antar-fasa (line-to-line) akan saling menghilangkan (cancelled out), sehingga distorsi harmonisa total (THD) menjadi lebih rendah dibandingkan topologi satu fasa (Hart, 2011; Rashid, 2013).

Kesimpulan

Simulasi pada ketiga topologi inverter (Half-Bridge, Full-Bridge, dan Three-Phase) menggunakan teknik

SPWM mengonfirmasi bahwa amplitudo tegangan output fundamental berbanding lurus dengan indeks modulasi (m_a). Analisis FFT menunjukkan bahwa komponen fundamental muncul pada frekuensi 50 Hz, sedangkan harmonisa dominan terkonsentrasi di sekitar frekuensi switching ($f_{sw} = 5 \text{ kHz}$) dan kelipatannya. Secara khusus, topologi Three-Phase Inverter menghasilkan spektrum tegangan antar-fasa (*Line-to-Line*) yang lebih bersih dibandingkan topologi satu-fasa karena adanya penghilangan harmonisa urutan ke-3 (triplen harmonics) secara alami.

Design a second-order output filter

1. Metodologi Desain Filter

Tujuan dari desain filter ini adalah untuk merancang filter Low-Pass orde-2 (LC) yang mampu meredam harmonisa frekuensi switching (f_{sw}) yang dihasilkan oleh inverter 3-fasa, sekaligus mempertahankan komponen tegangan fundamental (f_{fund}) agar lolos tanpa atenuasi yang berarti.

A. Penentuan Cut-off Frequency (f_c)

Frekuensi cut-off (f_c) dipilih agar berada cukup jauh di atas frekuensi fundamental untuk menghindari atenuasi sinyal utama, namun tetap efektif meredam frekuensi switching. Kriteria desain filter orde-2 yang umum digunakan adalah menempatkan f_c satu dekade di atas frekuensi fundamental dan satu dekade di bawah frekuensi switching (Mohan et al., 2003).

Kriteria desain yang digunakan:

$$10 \times f_{fund} < f_c < \frac{1}{5} \times f_{sw}$$

Diketahui parameter sistem:

- $f_{fund} = 50 \text{ Hz}$
- $f_{sw} = 5000 \text{ Hz}$

Maka rentang f_c yang ideal adalah $50 \text{ Hz} < f_c < 5000 \text{ Hz}$.

Berdasarkan rentang tersebut, dipilih Cut-off Frequency (f_c) sebesar 750 Hz.

- **Alasan:** Frekuensi ini memberikan margin yang aman dari resonansi filter terhadap frekuensi kerja 50 Hz, sekaligus memberikan atenuasi yang signifikan (-40 dB/decade) pada frekuensi switching 5 kHz.

B. Perhitungan Komponen L dan C

Nilai induktor (L_f) dan kapasitor (C_f) dihitung menggunakan persamaan resonansi filter LC:

$$f_c = \frac{1}{2\pi\sqrt{L_f C_f}}$$

Langkah 1: Penentuan Nilai Kapasitor (C_f)

Dipilih nilai kapasitor standar yang tersedia di pasaran dan tidak terlalu besar untuk meminimalkan arus reaktif yang ditarik dari inverter.

Dipilih $C_f = 10 \mu F$

Langkah 2: Perhitungan Nilai Induktor (L_f)

$$L_f = \frac{1}{(2\pi f_c)^2 C_f}$$

$$L_f = \frac{1}{(2\pi \times 750)^2 \times 10 \times 10^{-6}} \approx 4.5 \text{ mH}$$

C. Spesifikasi Final Filter

Berikut adalah nilai komponen yang digunakan untuk setiap fasa (per leg) pada topologi 3-fasa:

- **Induktor (L_f):** 4.5 mH (dipasang seri pada output inverter).

- **Kapasitor (C_f):** $10\ \mu F$ (dipasang paralel beban, konfigurasi Wye).
- **Beban (R_{load}):** $50\ \Omega$.

2. Justifikasi Desain & Trade-offs

Dalam pemilihan nilai komponen di atas, terdapat beberapa pertimbangan teknis (trade-offs) sebagai berikut:

1. Redaman Harmonisa vs Ukuran Komponen:

Dengan $f_c = 750\text{ Hz}$ pada sistem orde-2, redaman pada frekuensi switching 5000 Hz dapat diestimasi sebesar:

$$\text{Atenuasi} \approx -40 \log\left(\frac{5000}{750}\right) \approx -33\text{ dB}$$

Ini berarti harmonisa switching diredam sangat signifikan, menghasilkan gelombang sinus yang halus. Konsekuensinya adalah diperlukannya induktor 4.5 mH yang secara fisik cukup besar dan berat.

2. Damping & Resonansi:

Filter LC tanpa beban cenderung berosilasi (ringing) di frekuensi resonansinya (750 Hz). Namun, dengan adanya beban resistif $R_{load} = 50\ \Omega$, sistem memiliki passive damping yang cukup untuk mencegah osilasi berlebih saat kondisi steady state.

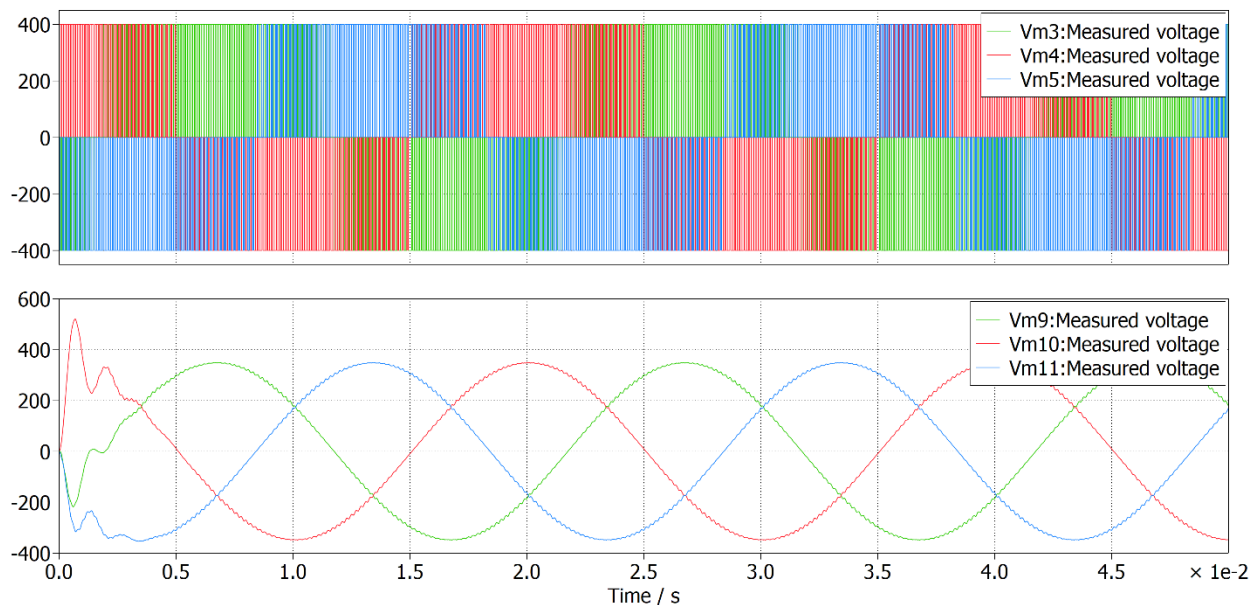
3. Voltage Drop:

Induktor memiliki reaktansi pada 50 Hz ($X_L = 2\pi \times 50 \times 0.0045 \approx 1.4\ \Omega$). Dibandingkan dengan resistansi beban 50 Ohm, $1.41\ \Omega$ relatif kecil dibanding 50 Ω , sehingga tegangan drop tidak signifikan dan filter tidak merusak tegangan fundamental.

3. Hasil Simulasi dan Analisis

Simulasi dilakukan untuk membandingkan tegangan output Line-to-Line (V_{AB}) sebelum filter dan sesudah filter.

A. Perbandingan Bentuk Gelombang (Time Domain)



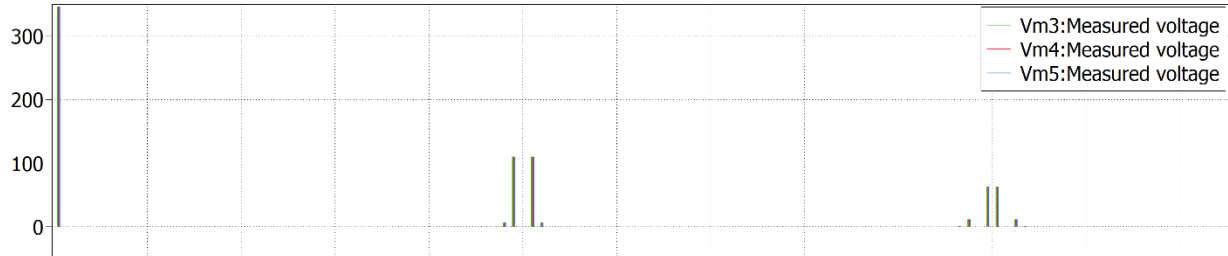
Analisis:

Gambar di atas memperjelas perbaikan kualitas gelombang. Sinyal PWM yang sebelumnya berupa pulsa

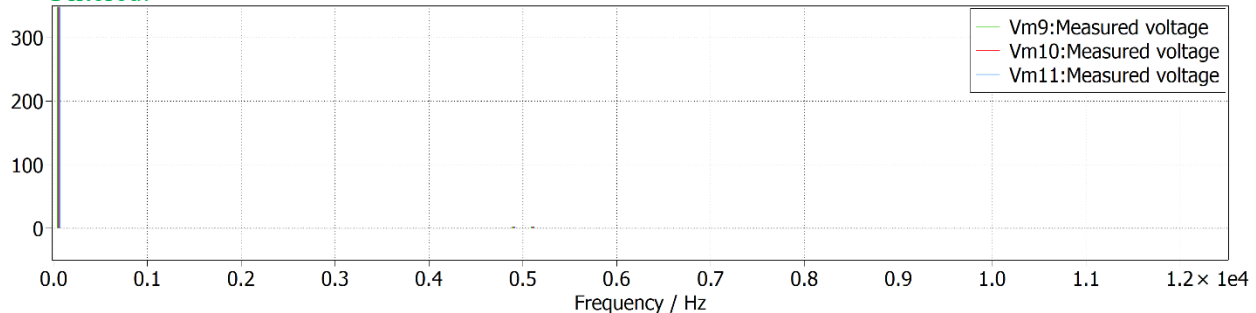
kotak tajam dengan $\frac{dv}{dt}$ tinggi berhasil dikonversi menjadi gelombang sinusoidal kontinyu. Distorsi transien terlihat pada awal simulasi ($t < 0.02s$) akibat pengisian energi L dan C, namun setelah itu gelombang mencapai kondisi steady-state yang stabil.

B. Perbandingan Spektrum Frekuensi (FFT)

Unfiltered:



Filtered:



Name	0	1	2	3	4	5	6	7	8	9	10	51
Frequency	0	50	100	150	200	250	300	350	400	450	500	51
Plot 1												
Vm3:Measured voltage	-2.38393e-11	346.41	2.73969e-10	4.98582e-11	3.71136e-11	1.28487e-10	7.81793e-11	1.00467e-10	1.40306e-10	1.109e-11	1.41064e-10	6.
Vm4:Measured voltage	-3.5244e-11	346.41	8.66841e-11	6.7697e-12	1.06622e-10	3.64552e-11	4.30406e-11	8.3202e-11	3.20042e-11	4.02307e-11	1.17896e-10	1.
Vm5:Measured voltage	5.90333e-11	346.41	2.02656e-10	5.15491e-11	9.15991e-11	1.53972e-10	6.79264e-11	9.49073e-11	1.68127e-10	4.33758e-11	5.33191e-11	1.
Plot 2												
Vm9:Measured voltage	-0.000357798	348.082	0.0003896	0.16029	0.000753888	0.182825	0.000609099	0.0862955	0.000742082	0.0255092	0.000427846	0.
Vm10:Measured voltage	0.000714991	347.932	0.000570762	0.0277042	0.00116413	0.165374	0.000384516	0.122841	0.000262134	0.0257222	0.000886205	0.
Vm11:Measured voltage	-0.000357193	348.084	0.000774212	0.155031	0.000465623	0.167052	0.00073922	0.0571419	0.0009767	0.0138293	0.000676787	0.

Kesimpulan

Perancangan filter LC orde-2 dengan frekuensi cut-off $f_c = 750\text{Hz}$ (menggunakan $L = 4.5\text{ mH}$ dan $C = 10\mu\text{F}$) terbukti efektif dalam memperbaiki kualitas daya output inverter 3-fasa. Hasil simulasi memperlihatkan perubahan drastis bentuk gelombang dari pulsa PWM kasar menjadi gelombang sinusoidal murni pada sisi beban. Filter berhasil memberikan atenuasi signifikan terhadap harmonisa switching frekuensi tinggi (5 kHz) tanpa menyebabkan penurunan (atenuasi) yang berarti pada komponen tegangan fundamental 50 Hz, sehingga memenuhi kriteria desain filter yang diinginkan.

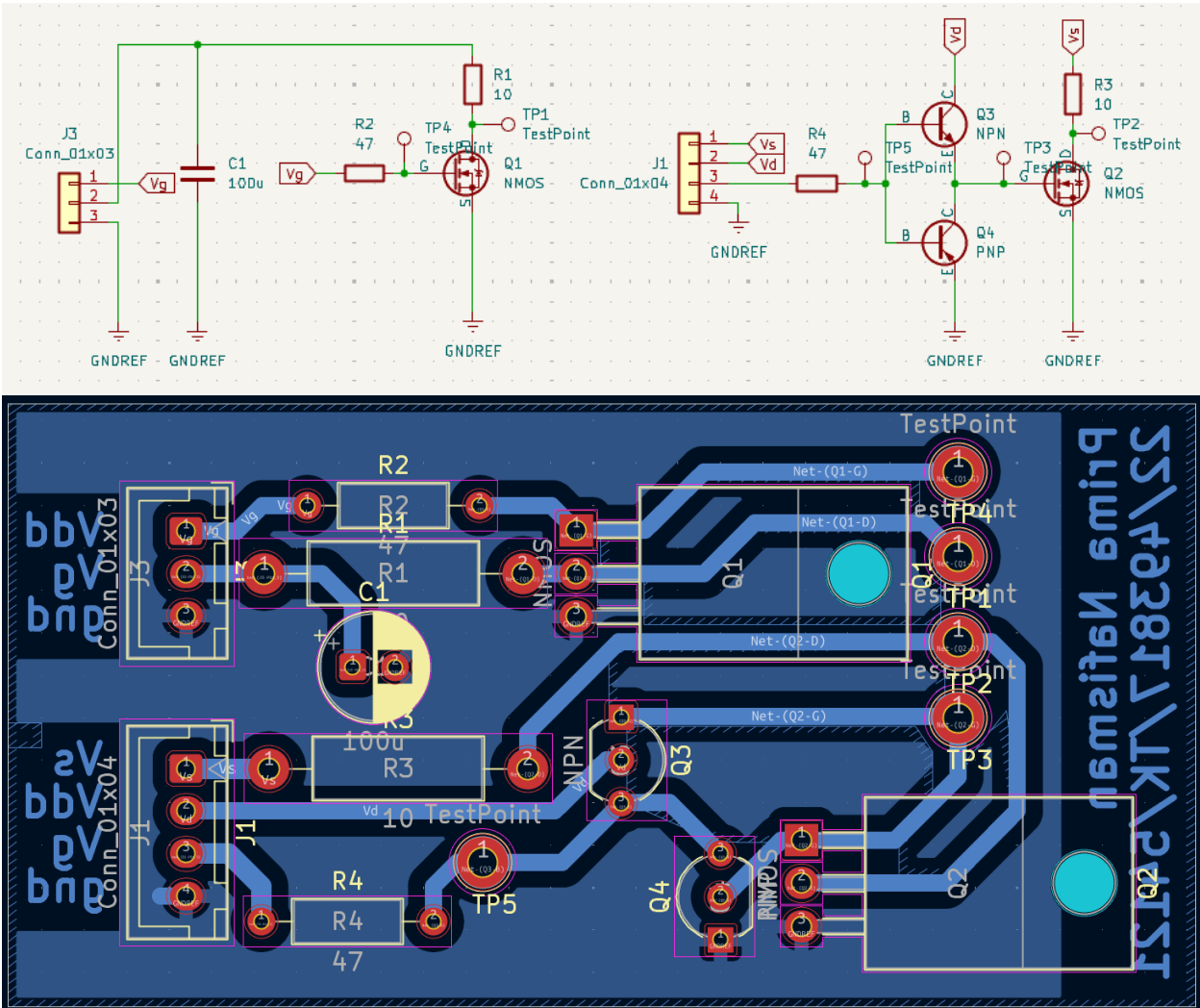
PENGUJIAN LABORATORIUM MILLER PLATEU

Desain PCB

Komponen yang digunakan yaitu sesuai dengan simulasi LtSpice, terdapat penyesuaian terkait pemilihan komponen transistor. Transistor yang digunakan adalah BD139 (NPN) dan BD140 (PNP) karena ketersediaan di laboratorium. Selain itu, percobaan ini hanya untuk membuktikan perbedaan plateu pada kedua topologi secara eksperimental. Walaupun menggunakan komponen yang sama, durasi nilai plateu tetap akan berbeda dan tidak secara tepat dapat diestimasi karena setiap komponen memiliki toleransi nilai saat manufaktur. Pada simulasi, telah dilakukan simulasi LtSpice menggunakan BD139 (NPN) dan BD140 (PNP), tapi miller plateu tidak terlihat (transistor simulasi terlalu ideal), sehingga mempersulit

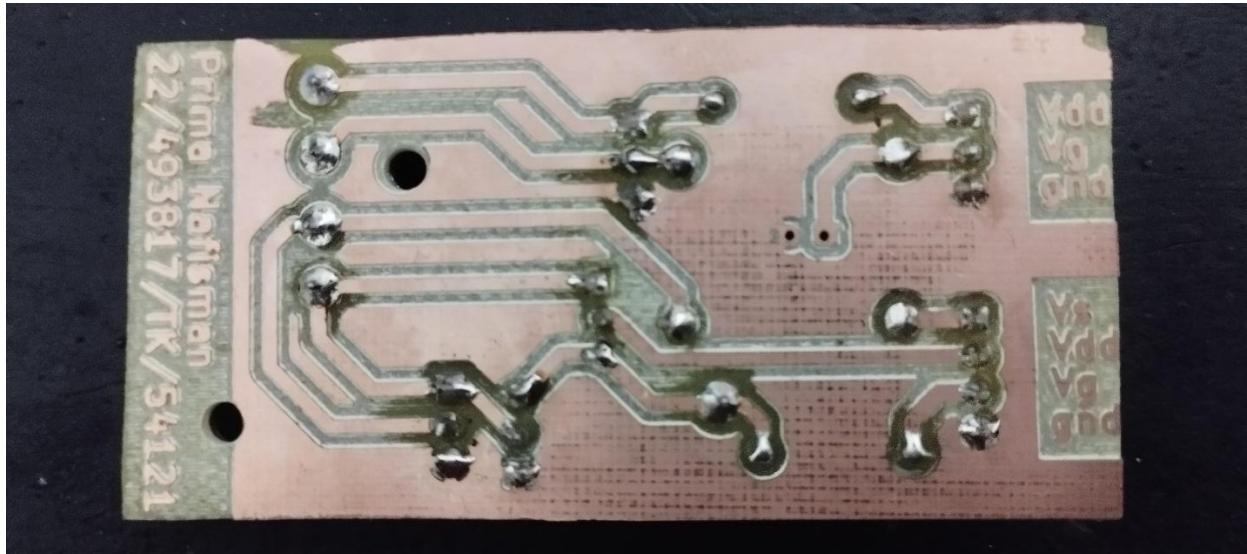
mengambil kesimpulan antara kedua topologi dengan metode simulasi.

1. Rangkaian Skematik dan Routing PCB



Hasil PCB Cetak:

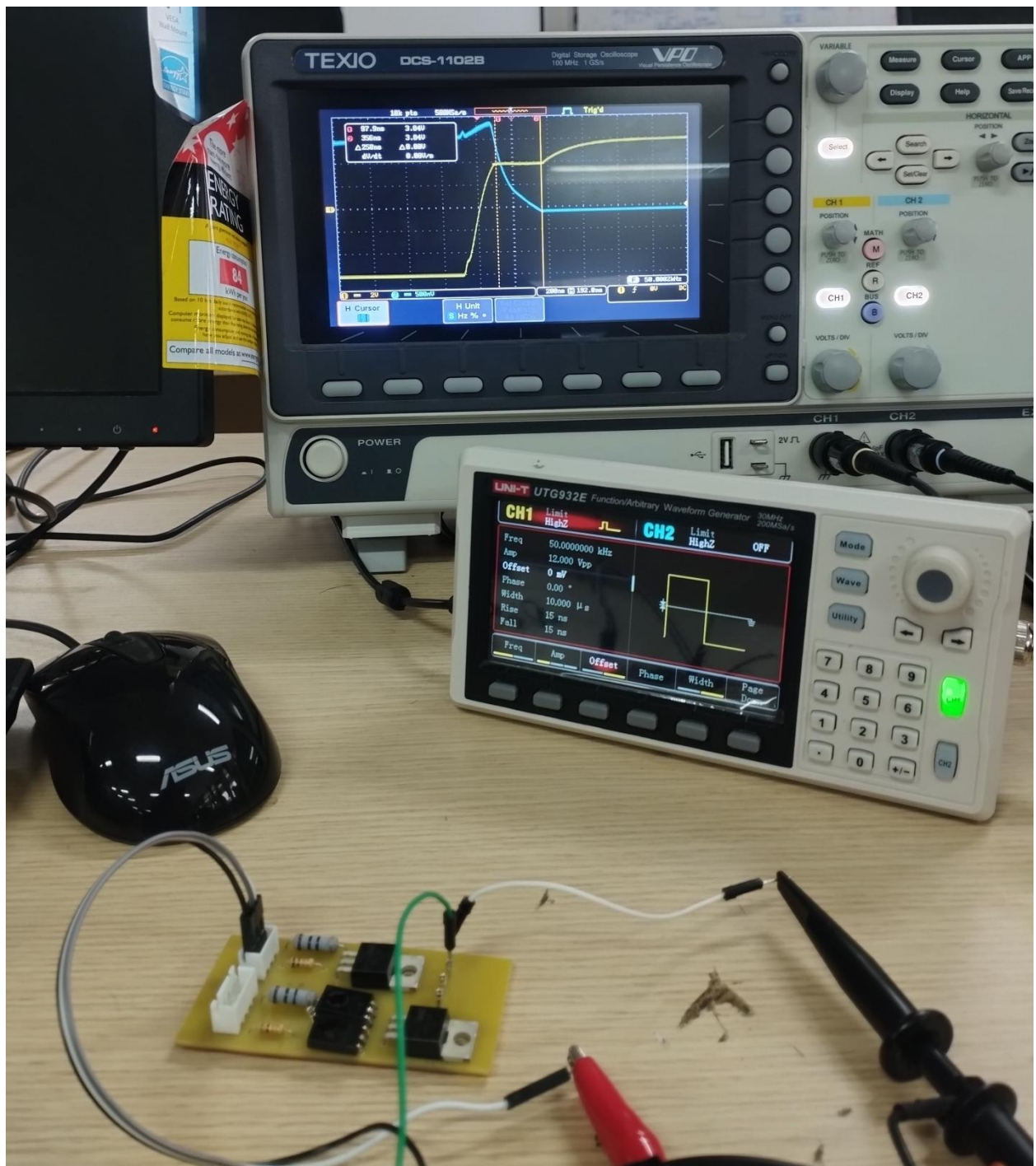


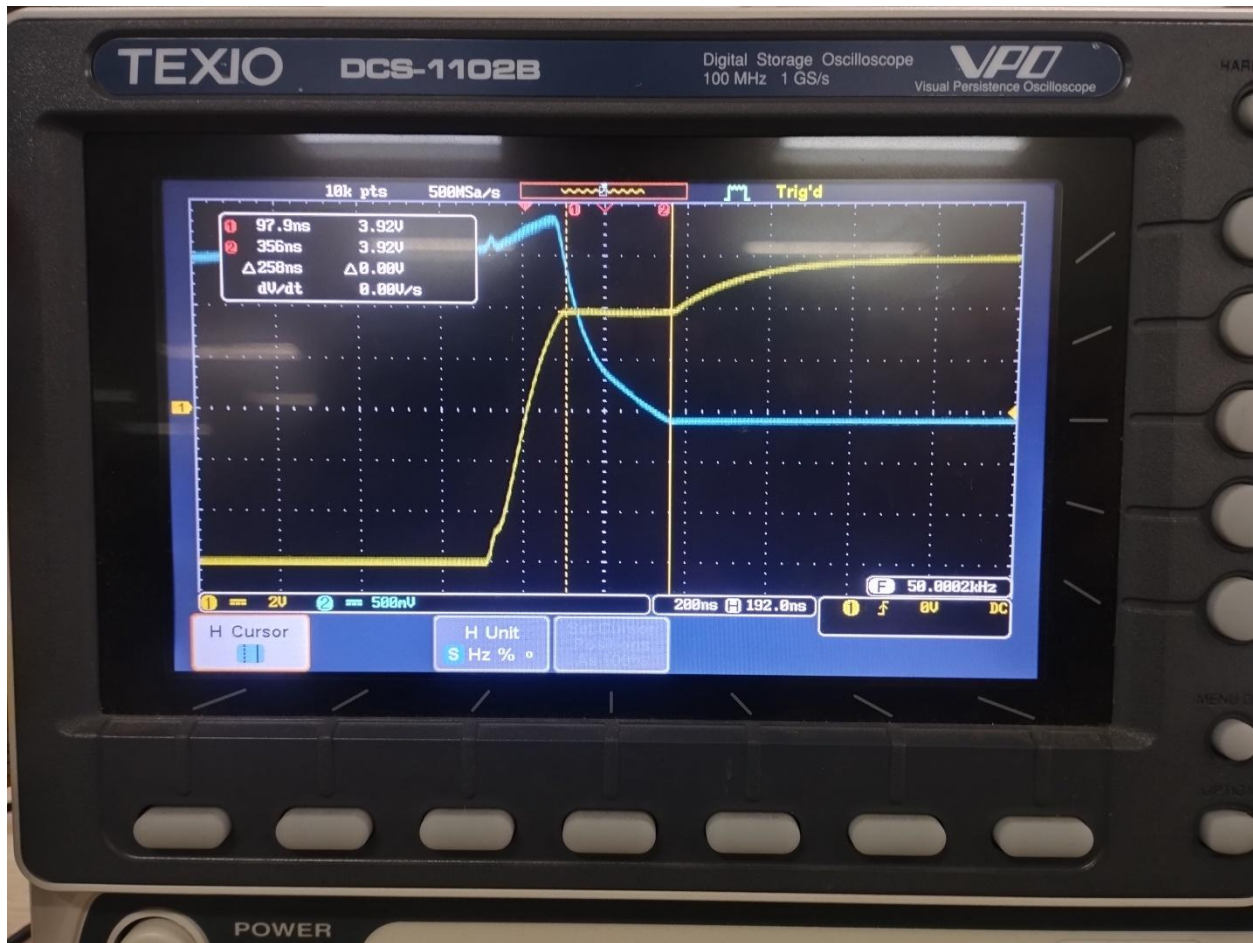


2. Hasil Percobaan Laboratorium

Percobaan pada laboratorium menggunakan AFG sebagai input PWM, Power Supply untuk menyuplai beban, serta osiloskop untuk mengetahui miller plateau pada masing-masing topologi.

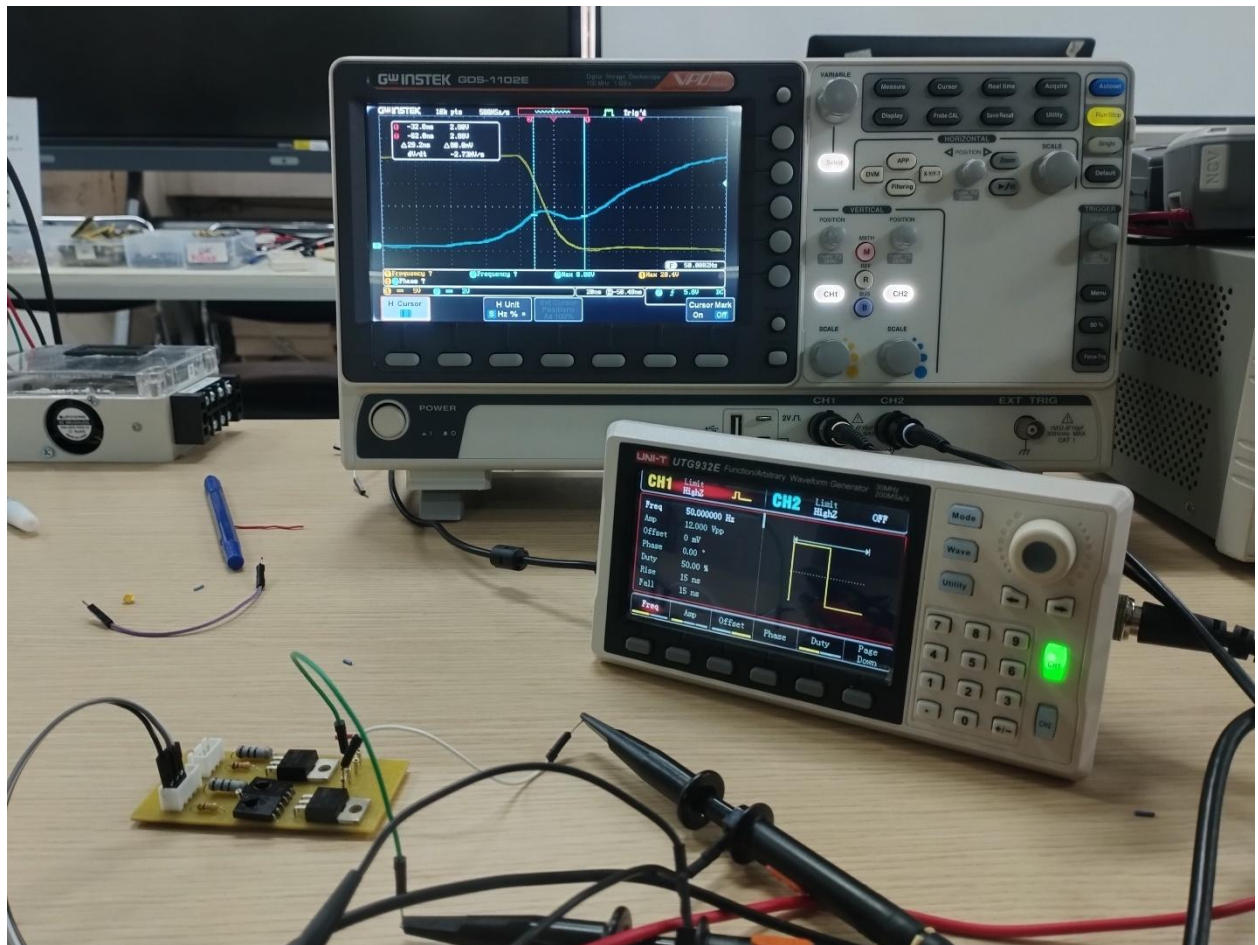
A. Topologi Direct Mosfet





Pada topologi direct mosfet terlihat bahwa V_{gs} mengalami plateau selama 258ns. Karakteristik tersebut sesuai dengan hasil simulasi LtSpice walaupun terdapat perbedaan karena toleransi nilai komponen dan error penggunaan alat.

B. Topologi Totem-Pole Mosfet





Pada topologi totem pole mosfet terlihat bahwa V_{gs} mengalami plateau selama 29.2ns. Karakteristik tersebut sesuai dengan hasil simulasi LtSpice walaupun terdapat perbedaan karena toleransi nilai komponen dan error penggunaan alat.

3. Kesimpulan

Percobaan pada laboratorium menggunakan AFG sebagai input PWM, Power Supply untuk menyuplai beban, serta osiloskop untuk mengetahui miller plateau pada masing-masing topologi berhasil dilakukan. Konfigurasi totem pole terbukti memiliki durasi plateau lebih singkat hingga 10 kali daripada direct mosfet.

REFERENSI

- Baliga, B. J. (2008). Fundamentals of power semiconductor devices. Springer.
- Hart, D. W. (2011). Power electronics. McGraw-Hill.
- Mohan, N., Undeland, T. M., & Robbins, W. P. (2003). Power electronics: Converters, applications, and design (3rd ed.). Wiley.
- Rashid, M. H. (2013). Power electronics: Devices, circuits, and applications (4th ed.). Pearson.