

# 纳米晶非挥发性存储器研究进展

管伟华, 刘 明, 龙世兵, 李志刚, 刘 琦, 胡 媛, 贾 锐

(中国科学院微电子研究所 纳米加工与新器件集成技术实验室, 北京 100029)

摘要: 介绍了纳米晶非挥发性存储器的发展状况和基本工作原理, 比较了纳米晶非挥发性存储器所涉及到的各种不同的电荷输运机制, 系统介绍了纳米晶非挥发性存储器在纳米晶材料设计、纳米晶晶体生长控制方法、隧穿/控制介质层工程和新型存储器器件结构等方面的一些最新研究进展, 对纳米晶非挥发性存储器的研究趋势进行了展望。

关键词: 纳米晶; 非挥发性存储器; 分立电荷存储; 纳米晶存储器

中图分类号: TP333.5 文献标识码: A 文章编号: 1671-4776 (2007) 05-0225-06

## Advances in Nanocrystal Nonvolatile Memory

GUAN Wei-hua, LIU Ming, LONG Shi-bing, LI Zhi-gang, LIU Qi, HU Yuan, JIA Rui

(Key Laboratory of Nano-Fabrication and Novel Devices Integrated Technology,

Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: The development and the basic working principle of nanocrystal nonvolatile memory are introduced. The different mechanisms of charge transportation are compared. The latest development and progress of nanocrystal nonvolatile memory on nanocrystal material design, nanocrystal formation, tunneling/control dielectric material engineering and novel device structure are systematically discussed. Future research direction of nanocrystal nonvolatile memory is given.

Key words: nanocrystal; nonvolatile memory; discrete charge storage; nanocrystal memory

## 1 引言

自 S.Tiwari 首次提出采用 Si 纳米晶作为存储介质的概念后<sup>[1]</sup>, 纳米晶非挥发存储器作为替代传统浮栅存储器的有力竞争者, 引起了研究者的广泛兴趣<sup>[2-4]</sup>。

传统 Flash 存储器是采用多晶硅薄膜浮栅结构的硅基非挥发存储器, 其局限主要与器件隧穿介质层 (一般是氧化层) 的厚度有关: 一方面要求隧穿介质层比较薄, 以实现快速有效的 P/E 操作, 另

一方面要求具备较好的数据保持性能以保持电荷存储 10 年以上。出于折衷考虑, 隧穿介质层的厚度为 9~11 nm, 在工艺节点由 1  $\mu\text{m}$  降到 0.13  $\mu\text{m}$  的过程中, 此厚度几乎保持不变。作为改进, 提出了 SONOS (Poly-Si/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si) 结构 (图 1) 的硅基非挥发性存储器, 它是以 Si<sub>3</sub>N<sub>4</sub> 层中的电荷陷阱作为电荷存储介质, 在一定程度上减小了隧穿介质层的厚度。但是随着集成电路的工艺节点向 65 nm 推进, 进一步缩小隧穿介质层的厚度遇到了困难。根据 2005 版 ITRS 指南<sup>[5]</sup>, 未来 (以 2010

收稿日期: 2006-12-13

基金项目: 国家重点基础研究发展计划资助项目 (2006CB302706); 国家自然科学基金资助项目 (90607022, 90401002, 90207004, 60236010, 60506005, 60390071)

年为例) 的 Flash 存储器要求具备更高的集成密度 ( $0.015 \mu\text{m}^2/\text{单元}$ )、更低的写入/擦除 (P/E) 电压 (5 V 左右)、更快的 P/E 速度、更高的耐受性 ( $10^8$  次 P/E 操作)、更强的数据保持特性、多位存储 (2 bit/单元) 的能力。

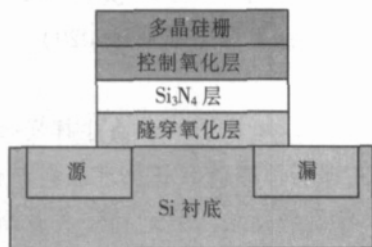


图1 SONOS结构存储器示意图

在 SONOS 结构基础上提出的纳米晶浮栅存储器具有满足这些要求的潜力。纳米晶浮栅存储器利用纳米晶作为电荷存储介质，每一个纳米晶粒与周围晶粒绝缘且只存储少量几个电子，从而实现分立电荷存储 (图 2)。图 2 对于传统的浮栅结构，隧穿介质层上的一个缺陷即会形成致命的放电通道；而分立电荷存储可以降低此问题的危害，因为隧穿介质层上的缺陷只会造成局部纳米晶上的电荷泄漏，使电荷的保持更稳定。纳米晶存储器还具有优良的抗辐照性能，提供了宇航应用的潜力<sup>[6]</sup>。目前在纳米晶浮栅存储器的研究上已经取得了一系列成果：2003 年，Motorola 公司利用 90 nm 常规工艺，首次制作了可实际工作的 6 V 工作电压的 4 Mb 硅纳米晶非挥发性存储器阵列<sup>[2]</sup>；2006 年，Freescale 报道了一个单元双位存储的实际存储阵列<sup>[3]</sup>；此外，Cornell 大学的 Liu 等人在金属纳米晶方面也进行了一系列的工作，提出了金属纳米晶功函数工程的概念，并进行了一系列理论和实验研究<sup>[7]</sup>。

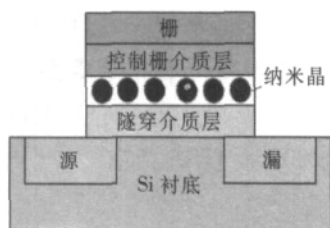


图2 纳米晶存储器结构示意图

通过介绍纳米晶浮栅存储器基本工作原理和电荷输运机制及讨论纳米晶存储器单元的材料结构，并对几种新型单元结构作简要介绍，总结出纳米晶浮栅存储器的特点及发展趋势。

## 2 纳米晶存储器的工作原理和电荷输运机制

### 2.1 基本工作原理

图 3 是纳米晶浮栅存储器在写入、保持和擦除状态时的能带示意图。写入时，电子从沟道反型层中通过各种机制进入纳米晶 (将在下文中介绍)，纳米晶颗粒荷电后会引起器件阈值电压  $V_{th}$  的变化，每个纳米晶俘获一个电子引起的  $V_{th}$  变化可以近似表示为<sup>[1]</sup>

$$V_{th} = \frac{qD_{nano}}{\alpha} \left( t_{oxl} + \frac{1}{2} \cdot \frac{\alpha}{s} t_{nano} \right)$$

式中： $D_{nano}$  是纳米晶的密度； $t_{nano}$  是纳米晶的直径； $t_{oxl}$  是栅介质层的厚度； $\alpha$  和  $s$  分别是隧穿介质层和 Si 的介电常数。显然，如果想得到较大的存储窗口，则需要较大密度的纳米晶。纳米晶存储单元在擦除时，存储在纳米晶上的电子通过各种机制从纳米晶释放出来。由于纳米晶上有无电子会造成器件阈值电压  $V_{th}$  的变化，MOS 结构的亚阈值电流对于  $V_{th}$  这个变化非常灵敏，这样通过外围电路的电流检测就可以很容易判断 '0' 和 '1' 两种状态。

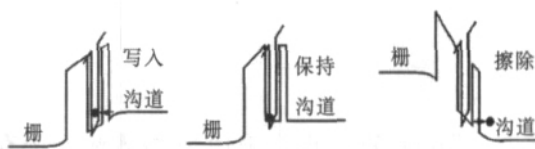


图3 纳米晶存储器在写入、保持和擦除时的能带示意图

### 2.2 电荷输运机制

为实现纳米晶浮栅存储器的 P/E 操作，电荷必须要移动穿过隧穿介质层 (相当于一个高的势垒)。纳米晶浮栅存储器的 P/E 操作主要有以下几种机制：FN 隧穿、热电子注入、直接隧穿和修正 FN 隧穿，不同的 P/E 机制对纳米晶浮栅存储器性能有很大的影响<sup>[8]</sup>。Compagnoni 等人仔细研究了纳米晶存储器中的隧穿过程，指出纳米晶上的电荷

存储是一个动态平衡的过程<sup>[9]</sup>，即当电子隧穿进出纳米晶颗粒达到平衡时，器件阈值电压的变化达到饱和，此时即使再加大栅电压也不再能够加大存储窗口。

### 2.2.1 FN 隧穿

FN 隧穿是指电子在强电场 ( $F > 15 \text{ MV/cm}$ ) 下隧穿过一个高势垒的现象，是一种重要的量子力学效应。对 FN 隧穿来说，其势垒的形状是三角形的<sup>[10]</sup>。FN 隧穿机制既可用于器件的写入，也可用于器件的擦除。用 FN 隧穿方式对纳米晶存储器进行写入操作时，需要在绝缘介质层上加一个高的电场 ( $15 \text{ MV/cm}$ )。具体的实现方法是，栅加上一个正电压，源和漏以及衬底都接地。FN 隧穿方式写入的优点是电子注入比较均匀；缺点是它对隧穿介质层施加的应力很大，影响器件的可靠性。为了弥补此缺陷，Puzilli 等人提出一种脉冲 FN 隧穿的编程方法<sup>[10]</sup>，可以在不恶化器件性能的前提下快速编程；用 FN 方式进行擦除操作时，可以对电极作适当的配置<sup>[8]</sup>，使得纳米晶上的电子隧穿回沟道。另外也可以通过上擦除的方法实现擦除操作，上擦除的方式在存储器的阵列结构上有显著的优势，因为在行译码线上只需要使用正电压<sup>[2]</sup>。

### 2.2.2 热电子注入 (HCE)

上面提到的 FN 隧穿，为使电子隧穿进出纳米晶，需要  $15 \text{ MV/cm}$  量级的注入电场，这会导致隧穿介质层的老化，降低存储器的可靠性。在沟道热电子注入方式中，当沟道中的电子被加速到一个足以克服势垒的能量时，就会发生热电子的注入。这种加速作用主要来自于沟道中横向电场的作用。根据电极的配置，热电子可以在源端或者漏端产生。

对热电子注入来说，电子的注入是不均匀的，只有小部分沟道对编程是有效的，因此编程的效率比较低。其优点是不会对隧穿介质层施加很大的应力，同时为纳米晶浮栅存储器双位存储提供了一种机制。对纳米晶存储单元而言，采用热电子注入机制编程并进行正向/反向读操作就可以实现双位存储<sup>[3]</sup>，图 4 是纳米晶浮栅存储器双位存储示意图。

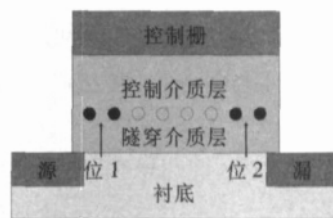


图 4 纳米晶存储器双位存储示意图

### 2.2.3 直接隧穿和修正 FN 隧穿

在隧穿介质层比较薄 (小于  $3 \text{ nm}$ ) 的情况下，写操作中，电子进入纳米晶可以有两种方式：一是从衬底导带只越过隧穿介质层的势垒，另一种是越过隧穿介质层和纳米晶的势垒，前者被称为直接隧穿 (DT)，后者被称为修正 FN 隧穿，具体是哪一种情况，与隧穿介质层的电场和厚度有很大的关系。直接隧穿方式的优点是 P/E 速度快、操作电压低。但是相对较薄的隧穿层使得电荷的保持性能较差。

在以上讨论的几种存储器的 P/E 机制中，最主要的是 FN 隧穿和热载流子注入 (HCE) 方式。对于纳米晶非挥发性存储器，最常见的写入/擦除操作的组合是 FN/FN 和 HCE/FN<sup>[8]</sup>。表 1 总结了各种 P/E 机制的优缺点及其应用。

表 1 各种 P/E 机制的比较

编程机制	热载流子注入 (HCE)	FN 隧穿	直接隧穿 (DT)	修正 FN 隧穿
电场 $E/(MV \cdot cm^{-1})$		$>15$	10	4~10
优点	对隧穿介质层损伤小	低电压	低电压，速度快	低电压，速度快
缺点	注入不均匀，电压高	损伤隧穿介质层	数据保持性能差	数据保持性能差
应用	电荷写入	电荷写入、擦除	电荷写入、擦除	电荷写入、擦除

## 3 纳米晶存储单元的材料和结构设计

纳米晶存储器单元的性能与材料体系的优化设

计有着密切的关系<sup>[11]</sup>。因此为了提高纳米晶存储器的性能，需要对器件的材料体系结构进行精心设计。目前对于纳米晶存储器材料结构的研究主要集

中在隧穿介质层、栅介质层和纳米晶上面。另外除了纳米晶和介质层外，器件的几何尺寸对存储单元的性能也有比较大的影响<sup>[12]</sup>。

### 3.1 纳米晶

对纳米晶非挥发存储器而言，纳米晶的质量控制是最重要的一个方面，纳米晶的大小、分布<sup>[13]</sup>、密度和类型等对器件性能的影响都是研究的热点。一般而言，典型的纳米晶的优化设计参数如下：尺寸 5 nm<sup>[11]</sup>、密度  $10^{12}/\text{cm}^2$ <sup>[14]</sup>。

在各种纳米晶浮栅存储器中，Si 纳米晶是目前研究得最多、最深入的一种材料。此外，还有采用 Ge 纳米晶作为存储介质的<sup>[15]</sup>。采用半导体纳米晶的优势是形成半导体纳米晶的手段较多，其工艺参数相对容易控制，并且不会引入和传统 CMOS 工艺不兼容的物质。而与半导体纳米晶相比，金属纳米晶主要有以下优点：在费米能级附近具有更高的态密度、与沟道具有更好的耦合作用、功函数可调（采用不同的金属就可以得到不同的功函数）以及由于载流子局域而微扰较小，可以得到更小尺寸的纳米晶颗粒、较强的电荷保持性能、低压 P/E 操作。从我们目前的理论分析工作来看，较大功函数的金属具有较好的数据保持性能，尤其是在材料体系上引入高 k 材料之后<sup>[16]</sup>。因此，金属纳米晶是一种很有应用前景的纳米晶材料。除了上述半导体和金属纳米晶外，还有人提出使用异质复合纳米晶，如  $\text{TiS}_2/\text{Si}$  复合纳米晶<sup>[17]</sup>，其特点是在电荷存储的纳米晶上，形成一个复合的势垒结构以改善存储单元的性能。但是这种复合纳米晶的生长方法还是一个难点，因此实用的可能性不大。

目前，针对不同的纳米晶材料已经提出了许多生长纳米晶的方法。

(1) 胶体法：Blauwe 等人提出了一种三步生长 Si 纳米晶的方法<sup>[18]</sup>，即稀释的硅烷在 950 °C 分解产生硅纳米晶体气溶胶，气相成核后再进一步凝结生长；随后在 1000 °C，纳米颗粒的表面生长 1.5~2 nm 的高质量热氧化层，以形成晶粒间的绝缘界面。这种加工方法的工艺参数比较难控制。

(2) 低能离子注入：采用 500 eV 到 1 keV 的能量进行离子注入，然后利用热诱导自组织过程就可以得到纳米晶颗粒<sup>[19]</sup>。但是低能离子注入的方

法很难控制纳米晶在垂直方向的分布。

(3) CVD 直接生长：利用 LPCVD 设备，用  $\text{SiH}_4$  作为载气，在 600 °C 条件可获得纳米晶。此方法通过调整 CVD 沉积条件和衬底表面处理步骤，可以在较大范围内调节纳米晶体的粒径和密度。Kim 等人报道采用这种方法制作的 Si 纳米晶的平均尺寸为 4.5 nm，密度  $5 \times 10^{11}/\text{cm}^2$ <sup>[20]</sup>。该方法使用现有半导体生产设备，因此是最有希望获得应用的技术。此外，原子层淀积 (ALD) 由于其自限的薄膜生长机制，可以更好地对成核和生长进行控制<sup>[21]</sup>。

(4) 金属薄膜凝结法：利用电子束蒸发设备，蒸发一层很薄的金属薄膜，然后升高温度到接近金属的共熔点进行退火处理，就可以把金属膜层转变为金属纳米晶颗粒。这种生长金属纳米晶的方法完全是一种自组装的过程，工艺过程非常简单。

(5) 模板自组装：采用有机物作为模板，利用自组织的过程，可以得到质量很高的纳米晶。Tang 报道了利用蛋白质伴侣晶格 (chaperonin protein lattice) 作为模板来生长纳米晶阵列<sup>[22]</sup>，其生长的 PbSe 纳米晶和 Co 纳米晶的密度分别达到  $9.5 \times 10^{11}/\text{cm}^2$  和  $1.6 \times 10^{12}/\text{cm}^2$ ，但是这种方法工艺复杂，很难大规模应用。

在上述生长方法中，由于与传统工艺兼容，CVD 直接生长和金属薄膜凝结法是两种被广泛采用的生长纳米晶的方法，这也是我们实际研究中所应用的两种生长方法。

### 3.2 介质层

如前所述，一个相对较厚的隧穿介质层可以减小隧穿漏电流，但是却会带来较大的功耗和较长的写入/擦除时间；一个较薄的隧穿介质层可以加快读写速度和降低操作电压，但会导致泄漏电流过大。所以对隧穿介质层的厚度进行折衷优化是一个比较重要的问题。

目前对隧穿介质层的研究重点在于寻找可以替代隧穿氧化层的高 k 介质材料。高 k 介质的引入可以在一定程度上解决上述矛盾。相比较  $\text{SiO}_2$  隧穿层，高 k 介质在相同厚度情况下得到更大的电容耦合，在保持高击穿电压和低泄漏电流不变的情况下，可以得到更大的驱动电流，从而带来存储器性



能的全面提升。另外，也有一部分研究着眼于在栅介质层上使用高  $k$  介质，其主要目的是增强栅极和纳米晶之间的电场耦合以及在 FN 隧穿编程中避免通过栅介质层的电流泄漏。栅介质层的高  $k$  材料主要有  $\text{Si}_3\text{N}_4$  和 ANO ( $\text{Al}_2\text{O}_3\text{—Si}_3\text{N}_4\text{—SO}_2$ )。目前有希望应用的高  $k$  材料主要是  $\text{HfO}_2$  [23]， $\text{HfAlO}$  [24]， $\text{HfSON}$  等 Hf 基介质。另外，还有文献提出了各种其他的隧穿介质层材料和结构，Baik 等人提出采用无定形碳- $\text{SO}_2$  以及 NON (nitride/oxide/nitride) 结构作为隧穿介质层 [25-26]，其主要的目的都是为了改善 P/E 速度和 Retention 性能之间的矛盾。

### 3.3 新型结构

为了减小器件的尺寸以及增加器件的可靠性，人们还提出了一系列的新型器件结构。Yater 等人 [4] 提出了分裂栅结构的纳米晶存储器，具有良好的性能，同时为电压和单元的可缩小性提供了可能。Yanagidaira 等人 [27] 提出了一种具有超薄体结构的双栅纳米晶存储器，由于体电势的增强，这种结构的纳米晶存储单元具有优良的性能。Kim 等人 [28] 在上述双栅结构的基础上进一步提出了 FinFET 结构应用于纳米晶存储器的概念。制作了栅长为 100 nm 的 FinFET 纳米晶存储器，可有效地抑制短沟道效应。上述几种结构分别如图 5, 6, 7 所示。这些新型的器件结构为纳米晶存储器的发展提供了新的思路。

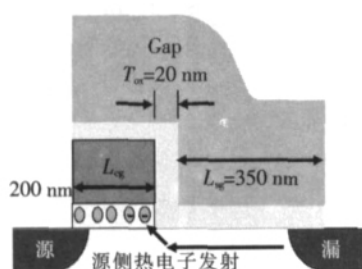


图 5 分裂栅纳米晶存储单元示意图

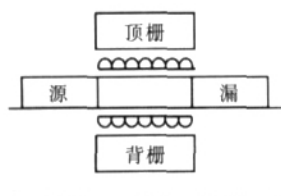


图 6 双栅纳米晶存储单元示意图

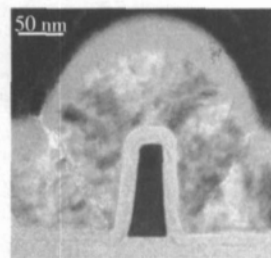


图 7 FinFET 硅纳米晶浮栅存储器 TEM 剖面图

## 4 结论与展望

与传统浮栅存储器相比，利用纳米晶作为电荷存储的介质，可以实现分立电荷存储，提高存储器单元的可靠性；编程可采用直接隧穿，编程速度加快，耐受性更好，电荷的横向流动被限制，工作电压进一步降低。开展纳米晶浮栅存储器技术的研究，对开发 65 nm 技术节点及以后的低压、低功耗、高速、高密度非挥发存储器具有十分重要的意义。

目前困扰纳米晶非挥发存储器发展的一个重要因素就是如何生长出高质量（分布均匀、尺寸可控）的纳米晶，因此在高质量的纳米晶生长工艺条件上需要做进一步的探索和研究。随着存储器器件尺寸的缩小和对低压低功耗、高密度集成的要求，纳米晶非挥发存储器进一步的研究趋势可能会有以下几方面：高  $k$  介质的引入以改善器件的总体性能、自底向上自组装生长纳米晶体以提高纳米晶的质量 [29]、各种新型结构如 FinFET 等、多位存储能力的开发以提高集成的密度等。

### 参考文献：

- [1] TIWARI S, RANA F, CHAN F, et al. Volatile and non-volatile memories in silicon with nano-crystal storage [C] IEDM Tech Dig. USA, 1995: 521-524.
- [2] MURALIDHAR R, STEIMLE R E, SADD M, et al. A 6 V embedded 90 nm silicon nanocrystal nonvolatile memory [C] IEDM Tech Dig. USA, 2003: 601-604.
- [3] PRINZ E J, YATER J A, STEIMLE R, et al. A 90 nm embedded 2-bit per cell nanocrystal flash EEPROM [C] IEEE NVSMW. USA, 2006: 62-63.
- [4] YATER J A, KIRICHENKO T, PRINZ E J, et al. 90 nm split-gate nanocrystal non-volatile memory with reduced threshold voltage [C] IEEE NVSMW. USA, 2006: 60-61.
- [5] International Technology Roadmap For Semiconductors [EB/

- EL] . (2005) <http://www.itrs.net>.
- [ 6 ] OLDHAM T R, SUHAIL M, KUHN P, et al. Effects of heavy ion exposure on nanocrystal nonvolatile memory [ J ] . IEEE Trans Nucl Sci, 2005, 52 ( 6 ): 2366-2371.
- [ 7 ] LIU Z, LEE C, NARAYANAN V, et al. Metal nanocrystal memories (Part ) : device design and fabrication [ J ] . IEEE Trans Electron Devices, 2002, 49: 1606-1613.
- [ 8 ] NG C Y, CHEN T P, YANG M, et al. Impact of programming mechanisms on the performance and reliability of non-volatile memory devices based on Si nanocrystals [ J ] . IEEE Trans Electron Devices, 2006, 53 ( 4 ): 663-667.
- [ 9 ] COMPAGNONI C M, IELMINI D, SPINELLI A S, et al. Modeling of tunneling P/E for nanocrystal memories [ J ] . IEEE Trans Electron Devices, 2005, 52 ( 4 ): 569-576.
- [ 10 ] PUZZILLI G, CAPUTO D, IRRERA F. Fast and reliable tunnel programming of nanocrystal nonvolatile memories [ J ] . IEEE Trans Electron Devices, 2004, 51 ( 7 ): 1205-1207.
- [ 11 ] SHE M, KING T J. Impact of crystal size and tunnel dielectric on semiconductor nanocrystal memory performance [ J ] . IEEE Trans Electron Devices, 2003, 50 ( 9 ): 1934-1940.
- [ 12 ] SAITOH M, NAGATA E, HIRAMOTO T. Effects of ultranarrow channel on characteristics of MOSFET memory with silicon nanocrystal floating gates [ C ] IEDM Tech Dig, USA, 2002: 181-184.
- [ 13 ] PERNIOLA L, BERNARDINI S, IANACCONI G, et al. Analytical model of the effects of a nonuniform distribution of stored charge on the electrical characteristics of discrete-trap nonvolatile memories [ J ] . IEEE Trans Electron Devices, 2005, 52 ( 3 ): 360-368.
- [ 14 ] GUSMEROLI R, SPINELLI A S, MONZIO COMPAGNONI C, et al. A Monte carlo investigation of nanocrystal memory reliability [ C ] 7th Int Conf on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems. 2006: 1-5.
- [ 15 ] KING Y C, KING T J, HU C. Charge-trap memory device fabricated by oxidation of  $\text{Si}_{1-x}\text{Ge}_x$  [ J ] . IEEE Trans Electron Devices, 2001, 48: 696-700.
- [ 16 ] LEE J J, KWONG D L. Metal nanocrystal memory with high-k tunneling barrier for improved data retention [ J ] . IEEE Trans Electron Devices, 2005, 52 ( 4 ): 507-511.
- [ 17 ] ZHU Y, LI B, LIU J, et al.  $\text{TiSi}_2/\text{Si}$  heteronanocrystal metal-oxide-semiconductor-field-effect-transistor memory [ J ] . Appl Phys Lett, 2006, 89: 233113.
- [ 18 ] DE BLAUWE J, OSTRAAT M, GREEN M L, et al. A novel, aerosol-nanocrystal floating-gate device for nonvolatile memory applications [ C ] IEDM Tech Dig. USA, 2000: 683-686.
- [ 19 ] CHOI S, CHOI H, KIM T W, et al. High density silicon nanocrystal embedded in SiN prepared by low energy (500 eV)  $\text{SiH}_4$  plasma immersion ion implantation for non-volatile memory applications [ C ] IEDM Tech Dig. USA, 2005: 166-169.
- [ 20 ] KIM I, HAN S, HAN K, et al. Room temperature single electron effects in a Si nano-crystal memory [ J ] . IEEE Electron Device Letter, 1999, 20: 630-631.
- [ 21 ] YIM S S, LEE M S, KIM K S, et al. Formation of Ru nanocrystals by plasma enhanced atomic layer deposition for nonvolatile memory applications [ J ] . Appl Phys Lett, 2006, 89: 093115.
- [ 22 ] TANG S, MAO C, LIU Y, et al. Nanocrystal flash memory fabricated with protein-mediated assembly [ C ] IEDM Tech Dig. USA, 2005: 174-177.
- [ 23 ] PUNCHAIPETCH P, URAOKA Y, FUYUKI T, et al. Enhancing memory efficiency of Si nanocrystal floating gate memories with high-k gate oxides [ J ] . Appl Phys Lett, 2006, 89: 093502.
- [ 24 ] CHEN J H, WANG Y Q, YOO W J, et al. Nonvolatile flash memory device using Ge nanocrystals embedded in  $\text{HfAlO}$  high-k tunneling and control oxides: Device fabrication and electrical performance [ J ] . IEEE Electron Dev Lett, 2004, 51 ( 11 ): 1840-1848.
- [ 25 ] BAIK S J, LIM K S. Characteristics of silicon nanocrystal floating gate memory using amorphous carbon/ $\text{SiO}_2$  tunnel barrier [ J ] . Appl Phys Lett, 2002, 81: 5186-5188.
- [ 26 ] BAIK S J, CHOI S, CHUNG U I, et al. Nonvolatile nanocrystal floating gate memory with NON tunnel barrier [ C ] 33rd Conf European Solid-State Device Research. Estoril, Portugal, 2003: 509-511.
- [ 27 ] YANAGIDAIRA K, SAITOH M, HIRAMOTO T. Enhancement of charge storage performance in double-gate silicon nanocrystal memories with ultrathin body structure [ J ] . IEEE Electron Device Letter, 2005, 26 ( 7 ): 473-475.
- [ 28 ] KIM S S, CHO W J, AHN C G, et al. Fabrication of fin field-effect transistor silicon nanocrystal floating gate memory using photochemical vapor deposition [ J ] . Appl Phys Lett, 2006, 88: 223502.
- [ 29 ] MOLAS G, DE SALVO B. New modules, materials and architectures for Flash Memory scaling [ C ] ICICDT '06. Padova, Italy, 2006: 1-4.

作者简介:

管伟华 (1983—), 男, 江苏人, 中国科学院微电子研究所在读研究生, 主要研究方向为纳米电子器件;

刘明 (1964—), 女, 江西人, 研究员, 博士生导师, 中科院微电子所纳米加工与新器件集成技术研究室主任, 目前正在开展纳米电子器件、有机半导体器件和下一代光刻技术的研究。