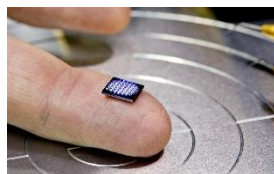


ПУТИ РАЗВИТИЯ ВС

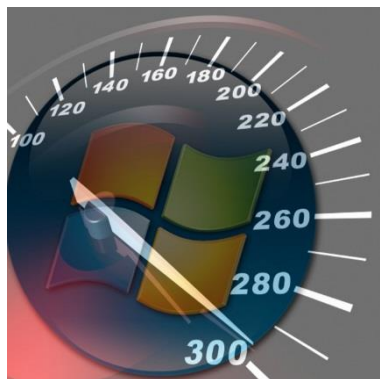
Повышение
производительности



Невидимые
компьютеры



- 1. Высокая скорость вычислений*
- 2. Большая вычислительная ёмкость*



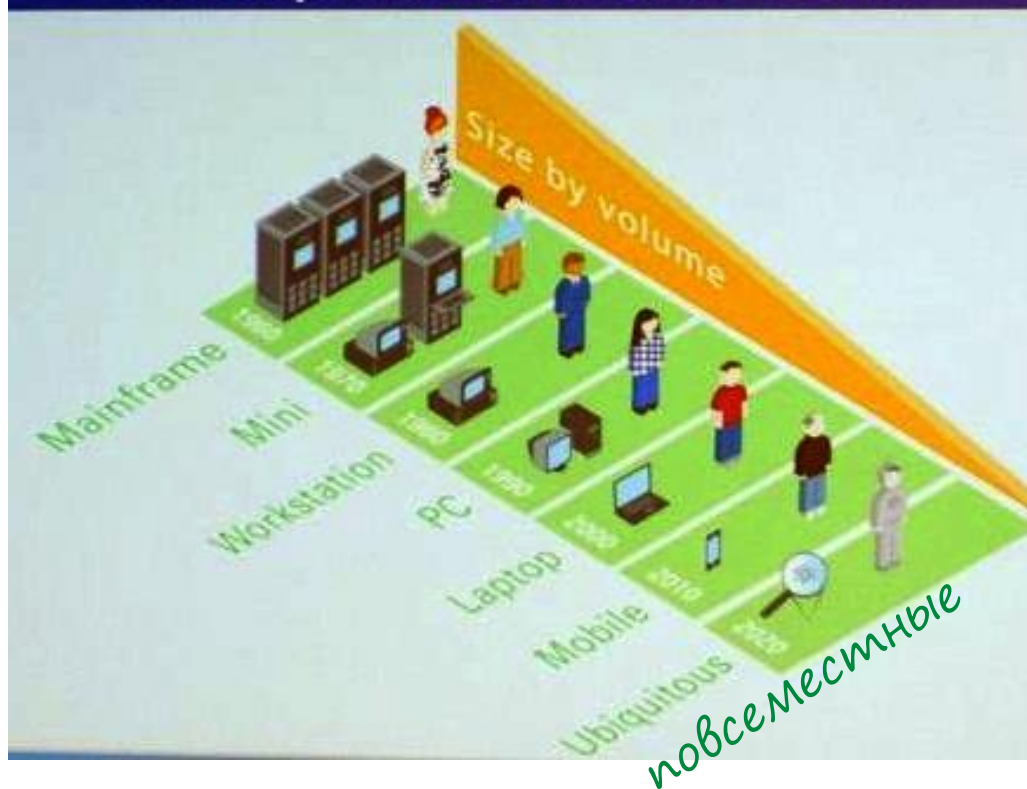
- 1. Миниатюризация и встраиваемые повсеместно компьютеры-чипы*

- в бытовую и промышленную технику*
- в одежду*
- в тело человека/животного*

- 2. Умные облака –*

технология нахождения на постоянной связи с удаленным компьютером, который собирает информацию и предлагает ответы на любой вопрос с учетом индивидуальных предпочтений

Compute Moves to Zero



Невидимые компьютеры

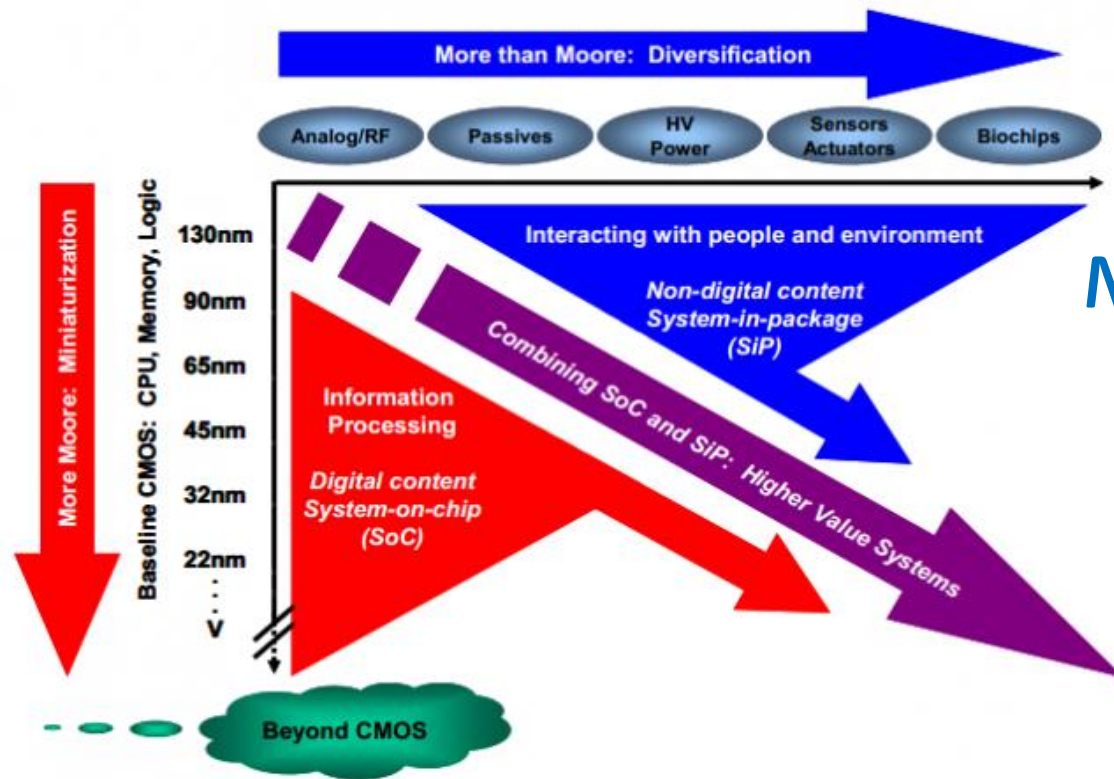
Главные тенденции развития микро-ВС :

1. миниатюризация,
2. уменьшение энергопотребления для вычислительных операций.

- Повсеместное присутствие вычислительных устройств (сенсоры, микрочипы)
- Ультра-миниатюрные размеры
- Встраиваемость в объекты окружающей человека среды
- Питание за счёт окружающей энергии:
 - вибрация предметов,
 - механическое движение носителя,
 - разность потенциалов на человеческом теле, химические реакции в ликворе
 - солнечная энергия и т.д. (http://www.thg.ru/howto/solar_pc_i/onepage.html)

<https://www.extremetech.com/computing/136043-intel-predicts-ubiquitous-almost-zero-energy-computing-by-2020>

Невидимые компьютеры



миниатюризация



- Комбинация SoC и SiP технологий за счет эффективных технологий производства
- Повышение эффективности (near-zero cost of calculation): вычислительной эффективности, энерго-эффективности, стоимостной эффективности...

Невидимые компьютеры

Умные облака

- Мультиплатформенная инфраструктура
- Масштабируемые облачные сервисы
- Интернет вещей
- Технология больших данных
- Распределенные аналитика и системы поддержки принятия решений
- Дистанционное управление устройствами
- Функции машинного обучения (выявление потенциальных угроз и репутационных рисков организации)
- Виртуальные машины с мощными графическими процессорами для визуализации, высокоэффективных вычислений
- Создание и управление решений на основе контейнеров (изоляция приложений и защищенность данных)



Облачные сервисы

по типу функциональности

облачные вычисления

модель обеспечения удобного сетевого доступа по требованию к некоторому общему фонду конфигурируемых вычислительных ресурсов (серверам, приложениям и сервисам)



облачные хранилища данных

модель онлайн-хранилища (виртуального сервера), в котором данные хранятся на многочисленных распределённых в сети серверах, предоставляемых в пользование клиентам.



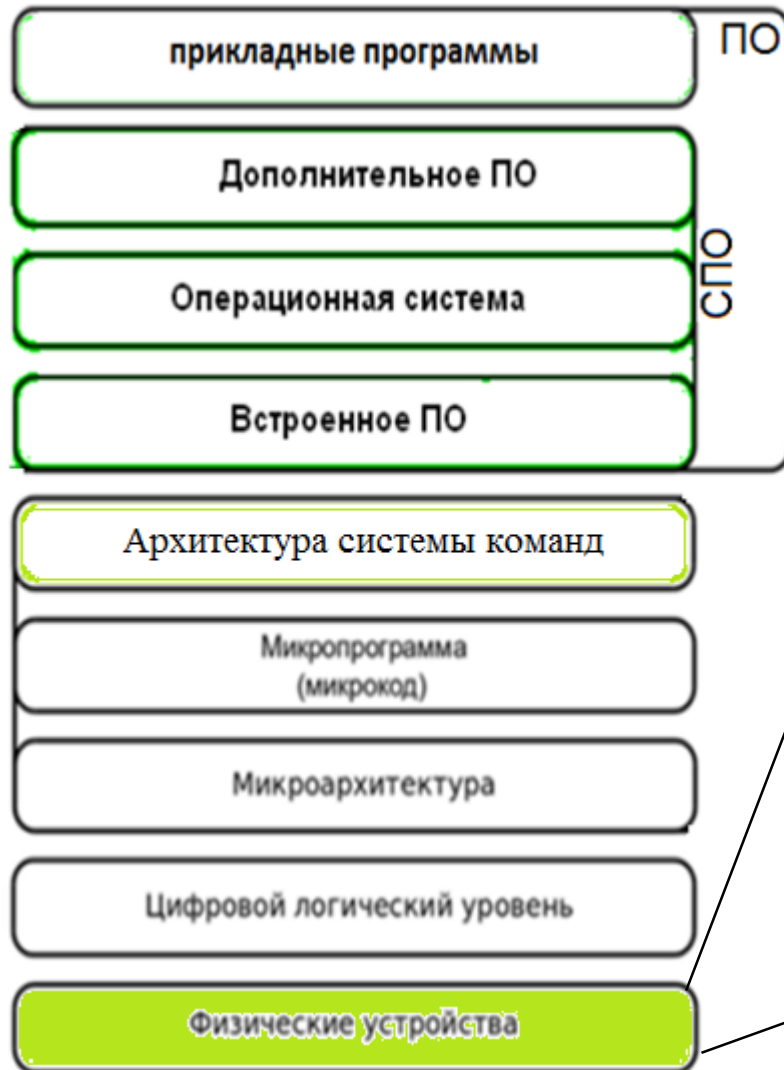
ПОВЫШЕНИЕ СКОРОСТИ ВЫСЧИСЛЕНИЙ

путём совершенствования ВС на каждом архитектурном уровне



Совершенствование архитектуры ВС

Совершенствовать ВС с целью улучшения технико-эксплуатационных характеристик (быстродействия) можно на каждом уровне архитектуры



на физическом уровне:

- совершенствование технологии производства кремниевых ИС,
- использование новых материалов (high-k, обедненный кремний, металлизированный затвор...)
- Использование новой элементной базы: полимеры, оптика, органические молекулы...
- использование новых условий эксплуатации – сверхпроводимость при сверхнизких температурах

СОВЕРШЕНСТВОВАНИЕ АРХИТЕКТУРЫ ВС НА ФИЗИЧЕСКОМ УРОВНЕ

На физическом уровне архитектуры рассматриваются различные физические и химические явления. Здесь основное направление - 1)совершенствование технологии производства ИС (техпроцесса).

В качестве характеристики технологического процесса производства микросхем указывают минимальные контролируемые размеры топологии фотоборудования **и, как следствие, размеры транзисторов (и других элементов) на кристалле** (<https://www.ixbt.com/cpu/microelectronics.shtml>)

Годы производства	1970-е	1980-е	1990-е	2000-е	2010-сегодня
Параметр техпроцесса	8-2 мкм	2-0,5 мкм	0,6-0,09 мкм (90 нм)	90-45 нм	32-28-22- 14 -12(10)- <u>7-3(2)</u>

← Самые продаваемые ← Отдельные образцы ← Разрабатывается

Следствие

- сокращение пути прохождения электромагнитного сигнала
- сокращение длительности такта – времени, за которое завершаются переходные процессы в схемах,
- увеличение числа тактов в единицу времени = **увеличение тактовой частоты.**
- уменьшение площади занимаемой транзистором
- увеличение числа транзисторов при аналогичном размере кристалла (**степень интеграции**),
- возможность усложнить структуру процессора, увеличив число ядер и объём КЭШей, что косвенно увеличивает скорость вычислений.

ПРОЕКТНЫЕ НОРМЫ ТЕХПРОЦЕССА

Считается, что «проектные нормы \approx длина канала транзистора»

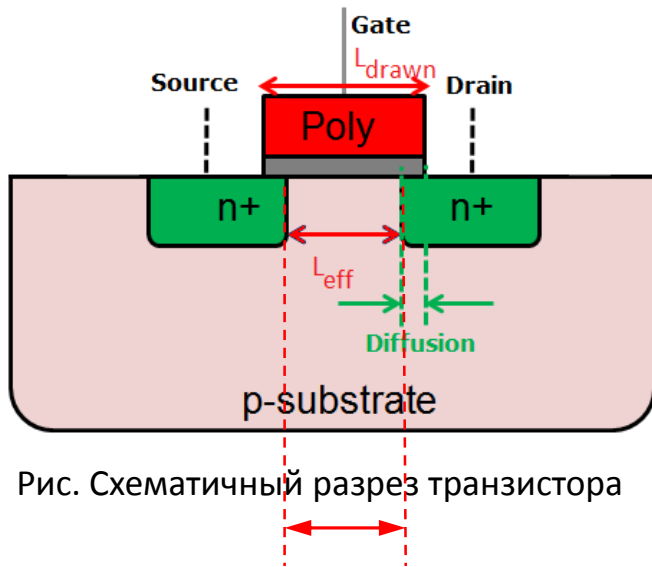


Рис. Схематический разрез транзистора

L_{draw} - топологическая длина канала

L_{eff} - эффективная длина канала (для тока утечки)

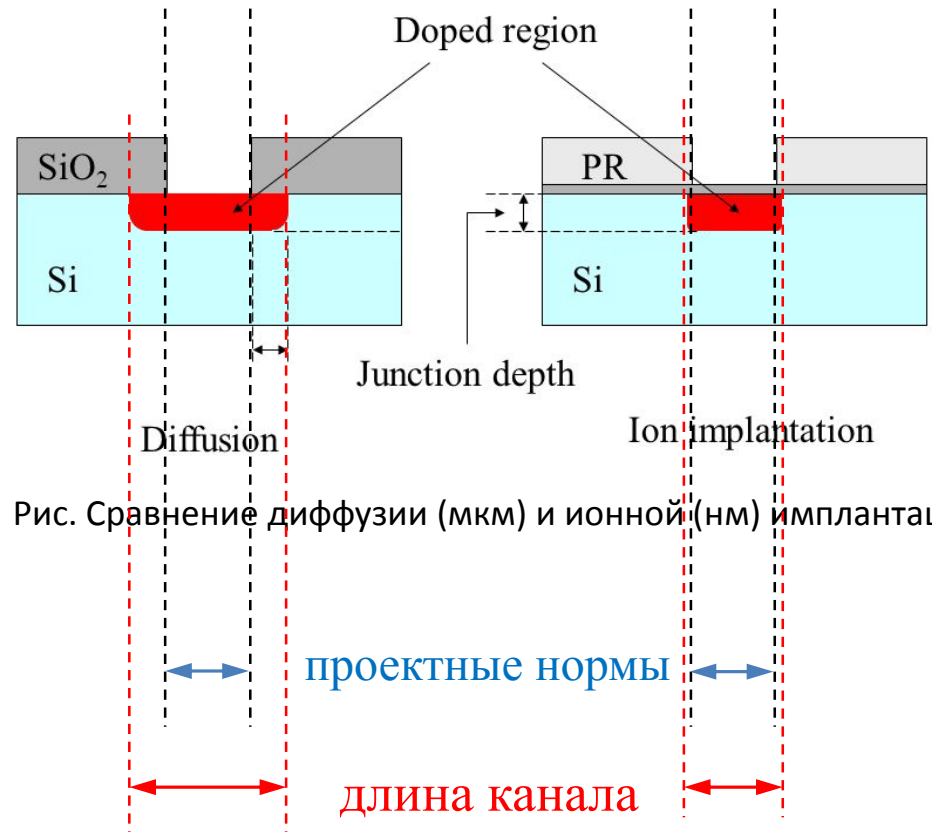


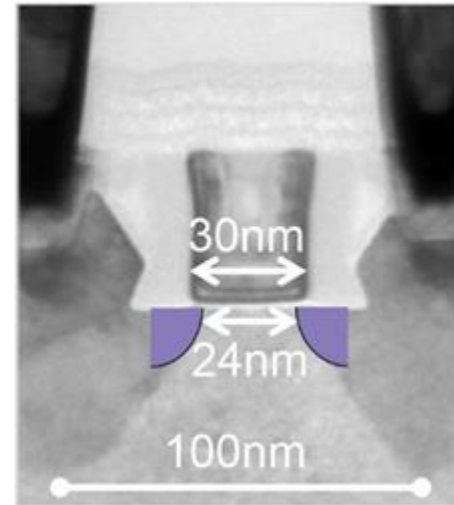
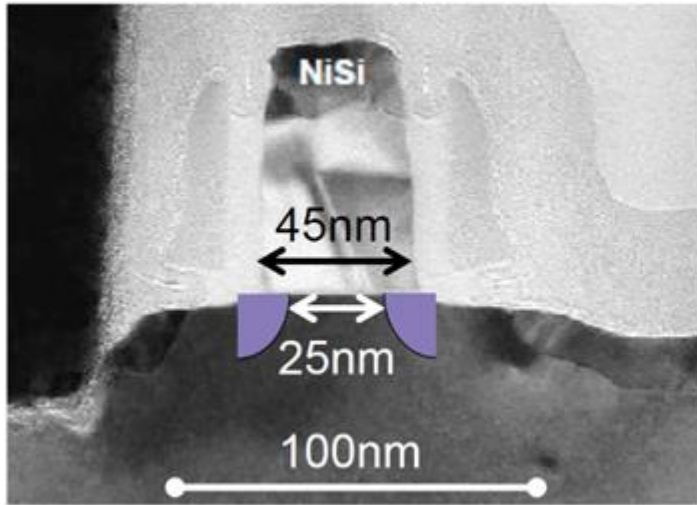
Рис. Сравнение диффузии (мкм) и ионной (нм) имплантации

На практике длина канала транзистора $L_{draw} >$ проектных норм из-за расползания наносимого слоя в стороны. Это не проблема при больших нормах техпроцесса, но существенно при малых.

ПРОЕКТНЫЕ НОРМЫ ТЕХПРОЦЕССА

Реальная картина

<http://www.nanonewsnet.ru/articles/2018/proektnye-normy-v-mikroelektronike-gde-na-samom-dele-7-nanometrov-v-tekhnologii-7-nm>



Эффективная длина канала в технологиях 45 нм и 32 нм

При уменьшении проектных норм от предыдущих в 0.7 длина канала уменьшалась в лучшем случае как 0.9 от предыдущего поколения, а эффективная длина канала практически не менялась вовсе. Из рисунка выше хорошо видно, что линейные размеры транзисторов при переходе от 45 нм к 32 нм изменились вообще не в 1,5 раза!!!

В итоге стали понятны две вещи:

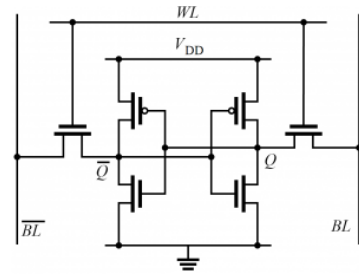
- спуститься ниже 25-20 нм без технологического прорыва не получится;
- маркетологам стало все сложнее рисовать картину соответствия прогресса технологии закону Мура.

<https://habr.com/ru/post/423575/>

~~ПРОЕКТНЫЕ НОРМЫ~~ → ПЛОЩАДЬ ЯЧЕЙКИ

Предложение маркетологов:

По длине канала оценить выигрыш сложно. Но можно рассмотреть площадь, которую занимает один элемент = 6-транзисторная ячейка памяти SDRAM (кэш, регистры – их объём в CPU доходит до $\frac{1}{3} \div \frac{1}{2}$ кристалла).



	Category 1	Category 2	Category 3	Category 4	Category 5
Layouts of Inverters					
Layouts of SRAM Cells					

Legend:

- Vdd Node (Blue)
- Vss Node (Purple)
- Data Node (Black)
- Bitline Node (Grey)
- Poly Gate (Red)

Мера плотности упаковки (=площадь ячейки памяти).

Только раньше это была вторая цифра (Ssdram) после проектной нормы (Ldraw), а после того как прямое масштабирование перестало работать, и длина канала перестала уменьшаться каждые два года по закону Мура, она осталась единственной!!

Точные измерения

Ldraw=65

← ← длина → →

Ssram=X,

← ← площадь → →

Новые параметры

Ldraw=54

Ssram=X/5

Маркетологи решили не выводить площадь ячейки памяти из проектных норм, а выводить цифру проектных норм из площади ячейки памяти!

Если площадь увеличилась в 5 раз, то длина примерно в $\sqrt{5} \approx 2,3$ раза, т.е. скажем, что от проектной нормы в 65 нм → 28 нм, а про длину канала 54 нм никому говорить не будем.

После 90 нм проектные нормы в 32-22-14-10 нм – величина условная

<https://habr.com/ru/post/423575/>

Размеры FinFET ≠ разрешение литографии (проектные нормы)

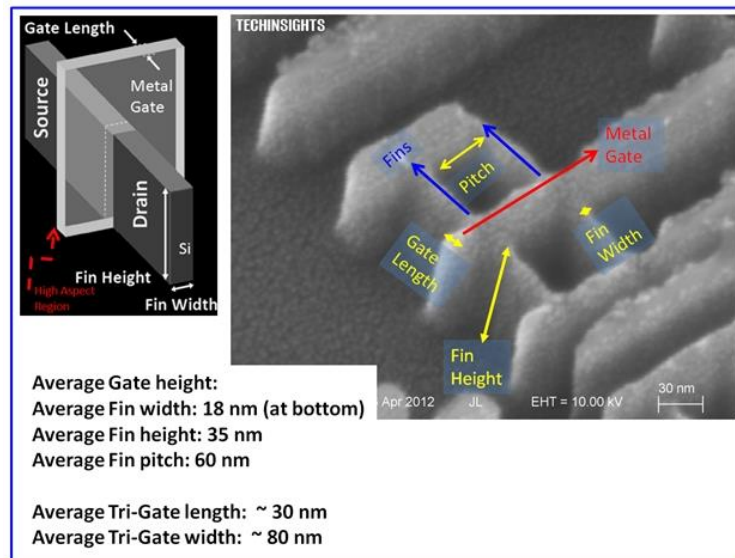
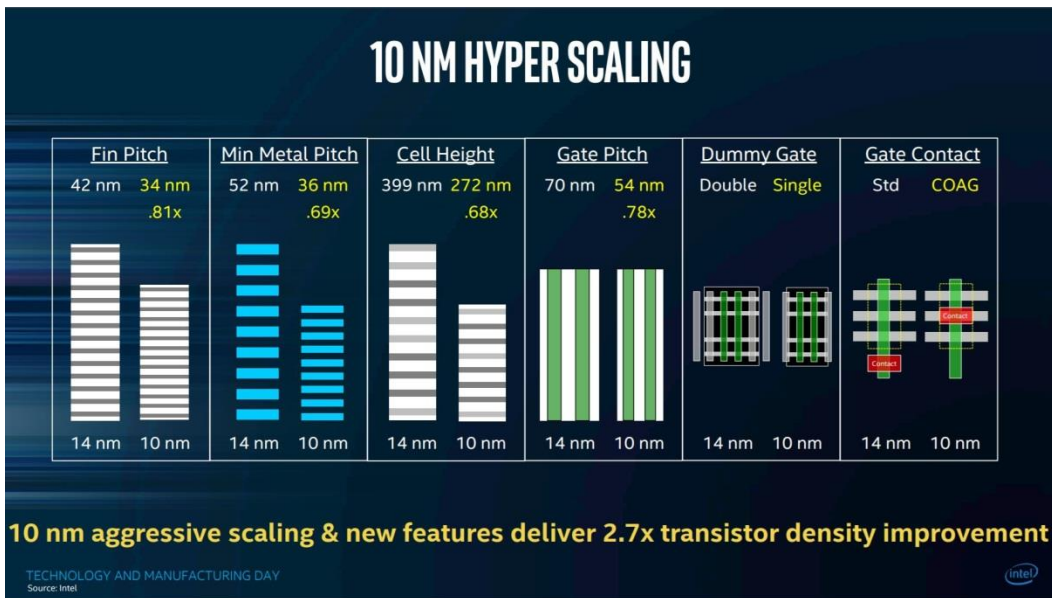
Fin pitch = шаг ребра (между диэлектрическими ребрами, проходящими \perp метал. затвору)

Fin (Cell) height — высота ребер / ячейки;

Fin width — ширина ребра;

Min metal (Interconnect) pitch = минимальный шаг между двумя метал. слоями микросхемы

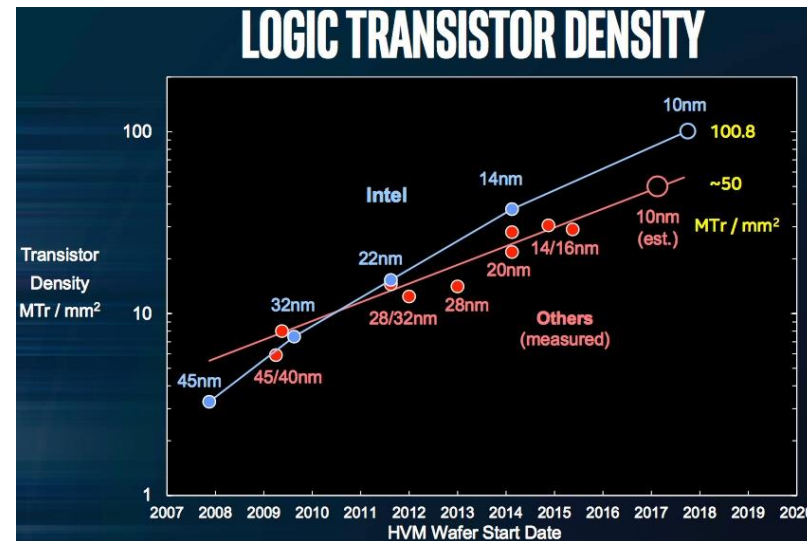
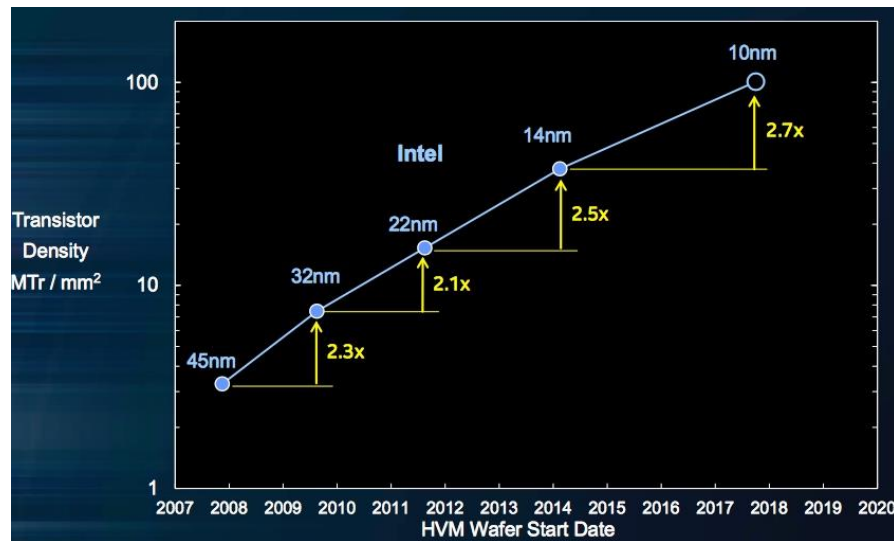
Gate length — длина (толщина) затвора.



Измеряется кратность уменьшения некоторых параметров, из которых самой понятной осталась площадь ячейки памяти, на основе которой нам сейчас и сообщают про “10”, “7” и “5”... нанометров.

90 → 32 → 22 → 14 → 10 нм

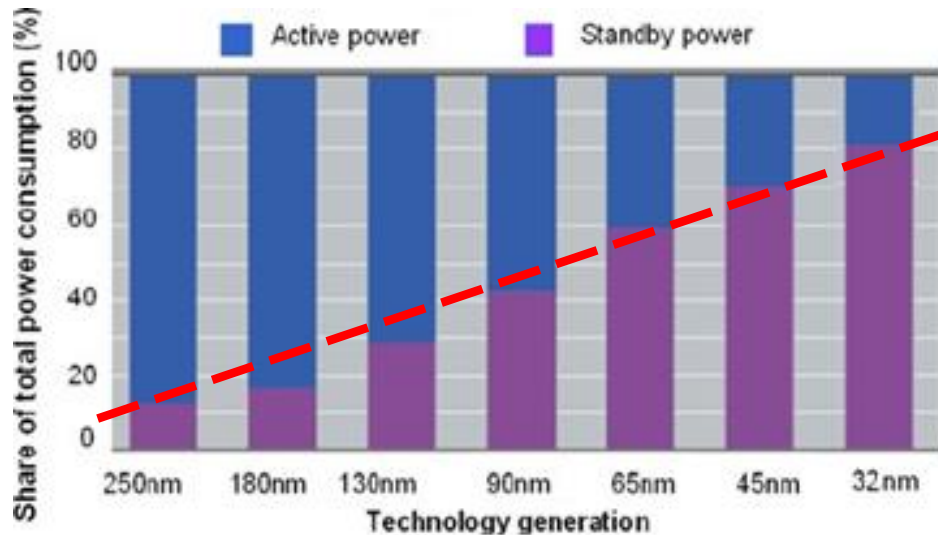
длина канала плотность упаковки (density)



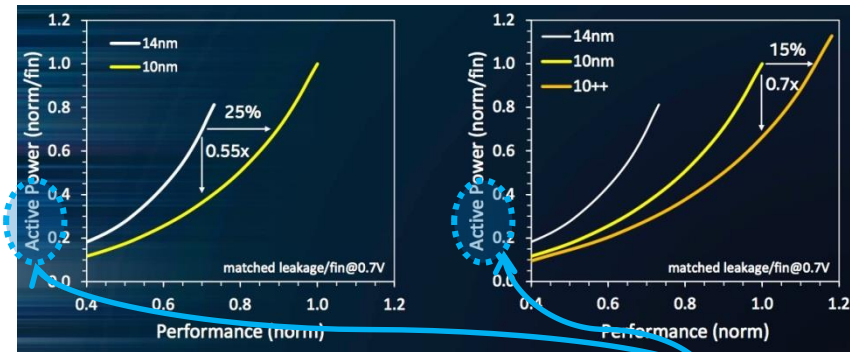
Intel настаивает на соблюдении закона Мура: «периоды между техпроцессами увеличиваются, одновременно с этим растет темп увеличения плотности размещения транзисторов на кристалле» (последняя точка на графике – экстраполяция).

У других производителей (Samsung и/или TSMS) плотность размещения транзисторов с элементарной логикой в два(!) раза меньше, чем у Intel

ПРОБЛЕМА ЭНЕРГОПОТРЕБЛЕНИЯ

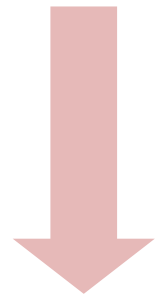


Доля статического энергопотребления (из-за утечки по I_{eff}) на разных проектных нормах



Потребление в активном режиме

Потребление в статическом режиме
из-за тока утечки



ЗАДАЧА:

Уменьшение токов утечки при том же размере L_{eff} - эффективной длине канала

<http://www.nanonewsnet.ru/articles/2018/proektnye-normy-v-mikroelektronike-gde-na-samom-dele-7-nanometrov-v-tehnologii-7-nm>

<http://gadgets-news.ru/podrobnosti-o-10-nm-tehprotsesse-intel/>

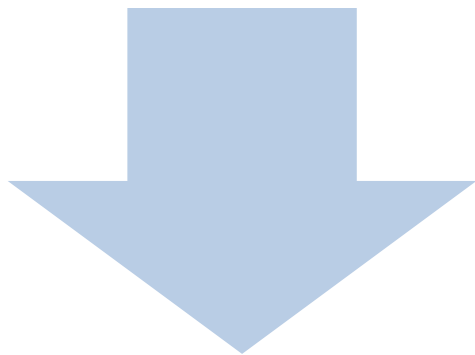
<https://habr.com/ru/post/423575/>

СОВЕРШЕНСТВОВАНИЕ АРХИТЕКТУРЫ ВС НА ФИЗИЧЕСКОМ УРОВНЕ

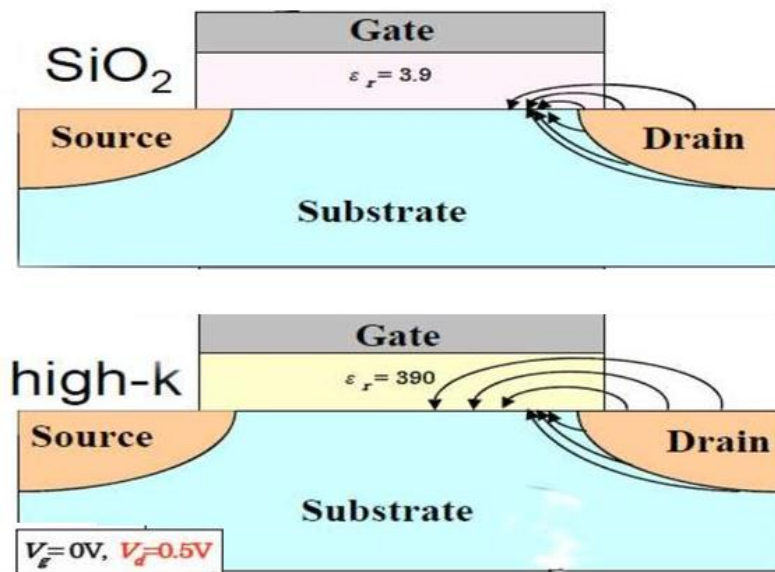
УМЕНЬШЕНИЕ ТОКОВ УТЕЧКИ

РЕШЕНИЕ1:

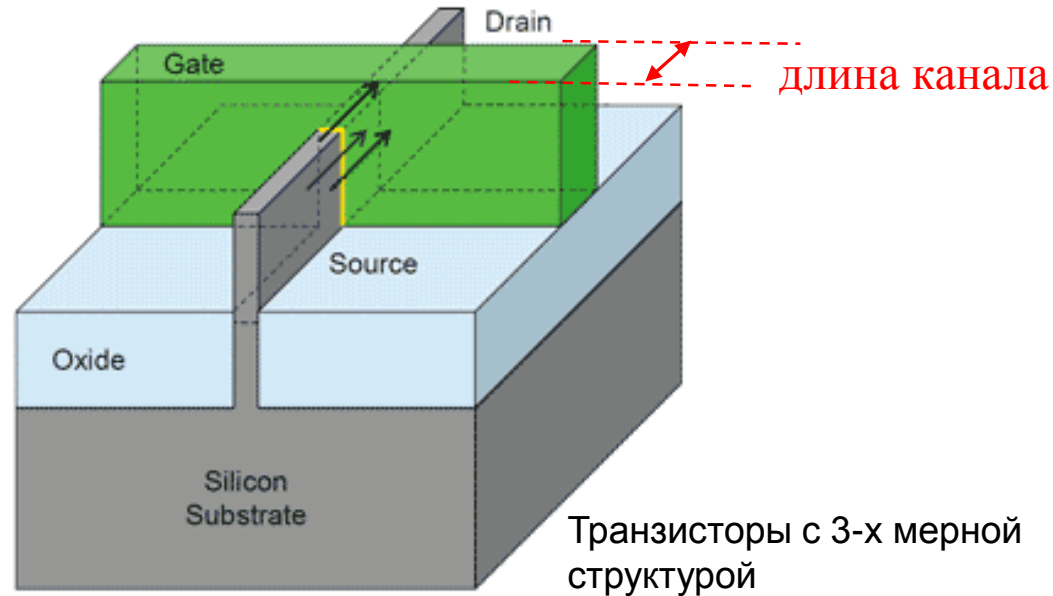
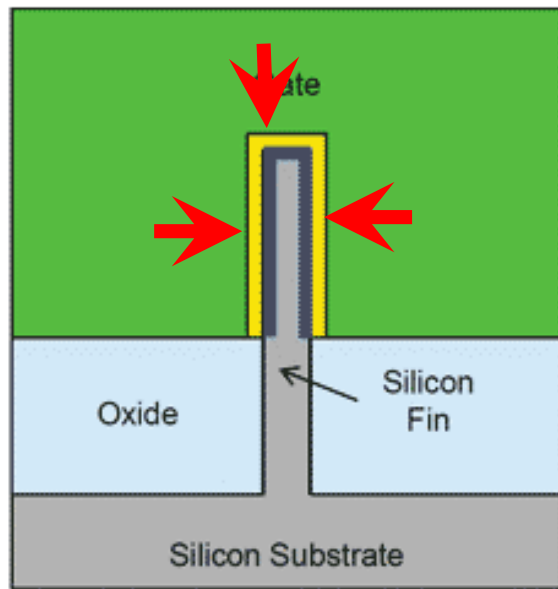
повысить диэлектрическую емкость (k) материала диэлектрика - **ИСПОЛЬЗОВАНИЕ high-k МАТЕРИАЛОВ** на основе гафния и циркония и поиск новых материалов для затвора (**МЕТАЛЛИЗИРОВАННЫЙ ЗАТВОР** вместо поликристаллического кремния).



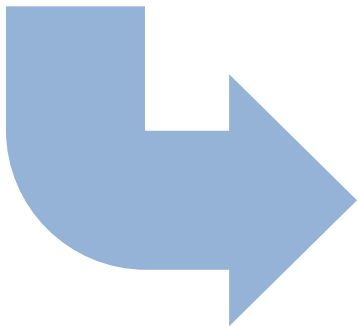
Повышение проводимости затвора способствует тому, чтобы основной ток шел по «правильному пути» через затвор.



СОВЕРШЕНСТВОВАНИЕ АРХИТЕКТУРЫ ВС НА ФИЗИЧЕСКОМ УРОВНЕ



РЕШЕНИЕ2: – выйти за границы плоскости в трёхмерное пространство
транзистор с 3D-затвором (Tri-gate или FinFET),
где электрические сигналы передаются по «крыше» транзистора и по обеим его «стенам». (<http://compress.ru/Article.aspx?id=22188>).

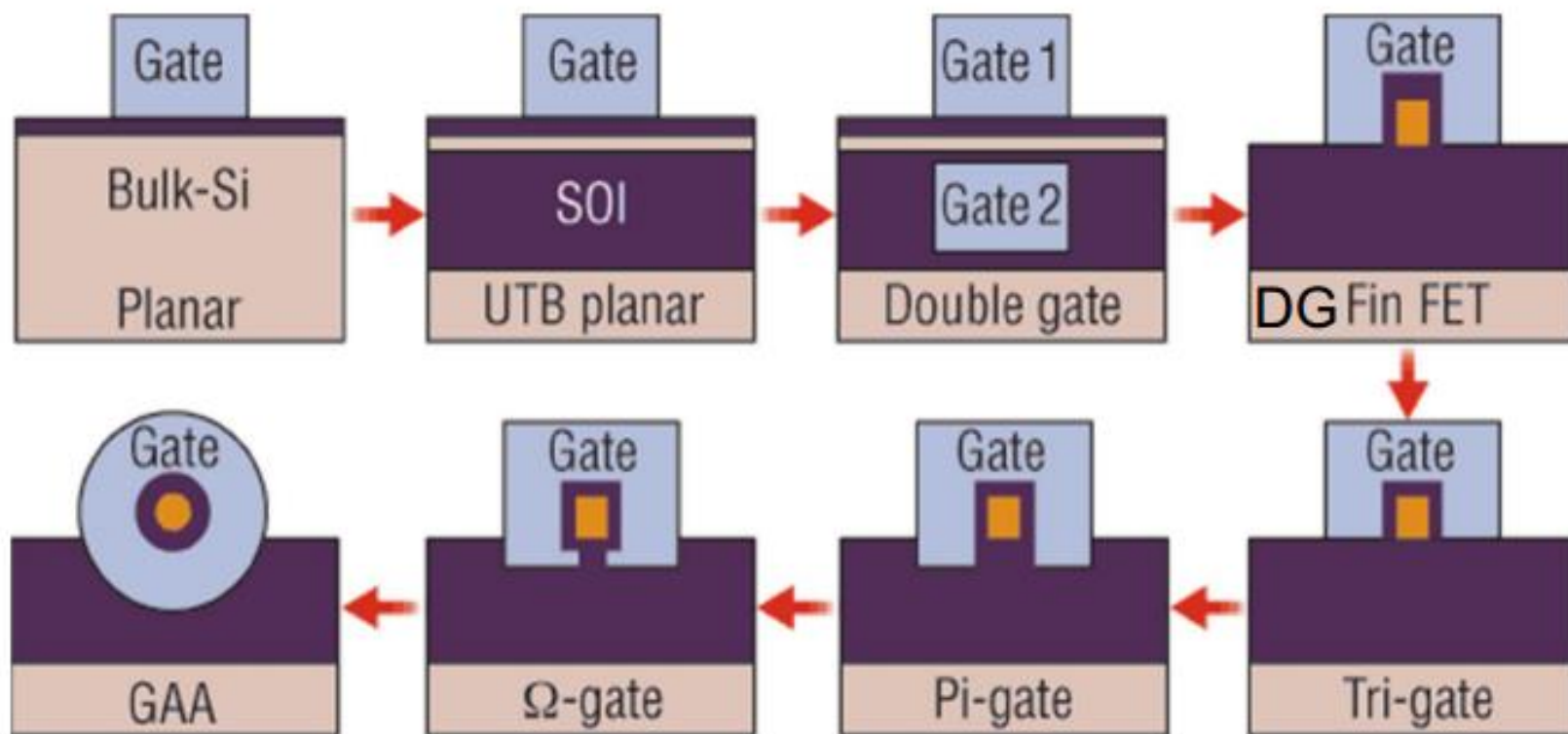


распределение тока на три пути
снижение плотности тока
уменьшение тока (в т.числе и тока утечки)
УМЕНЬШЕНИЕ ЭНЕРГОЗАТРАТ

Варианты МОП схемотехники микросхем

Эволюция конструкций MOSFET:

от планарного к 3D-транзисторам и транзисторам с тонким каналом

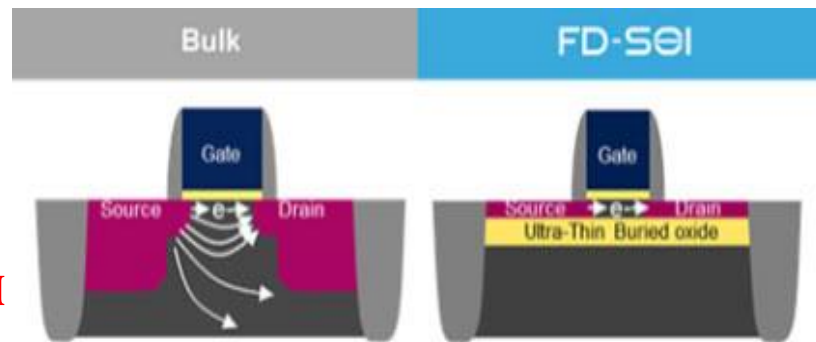


Структура Gate-All-Around (GAA) обеспечивает максимально возможную емкостную связь затвора и канала

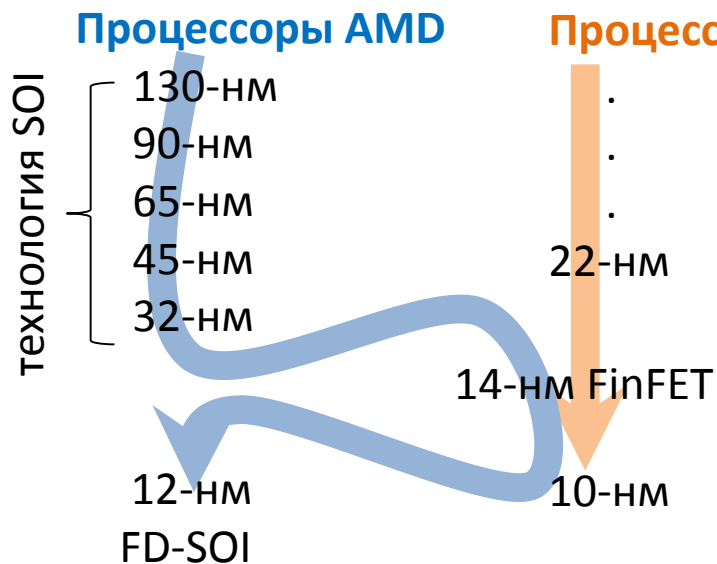
Перспективные транзисторы для КМОП УБИС с суб-10 нм критическими размерами
В.В. Вьюрков, В.Ф. Лукичёв, К. В. Руденко ФТИАН им. К.А. Валиева РАН

Совершенствование архитектуры ВС на физическом уровне

РЕШЕНИЕ3: => **FD-SOI-технология**



формирования структур на подложке из полностью обедненного кремния на изоляторе (Fully-Depleted Silicon-On-Insulator, FD-SOI), которая обеспечивает практически отсутствие токов утечки, и позволяет достичь более высокой производительности при низком уровне энергопотребления и стоимости производства.



Сравнивая потенциал 10-нм FinFET и 12-нм FD-SOI компания AMD сделала выбор в пользу последней, посчитав, что дальнейшее масштабирование не оправдано. От внедрения ожидают получить выигрыш на 15% в производительности и на 50% в энергопотреблении по сравнению с текущей технологией FinFET.

СОВЕРШЕНСТВОВАНИЕ АРХИТЕКТУРЫ ВС НА ФИЗИЧЕСКОМ УРОВНЕ

FD-SOI-технология

ЭНЕРГОЭФФЕКТИВНОСТЬ

ДОСТОИНСТВА:

- не уменьшает, а полностью убирает ток утечки
- увеличивает быстродействие
- уменьшает энергопотребление
- применима как платформа для микросхем интернета вещей

НЕДОСТАТКИ:

- способна уменьшить обычный плоский транзистор до уровня 14–16 нм, но не ниже
- страшная дороговизна подложек

TRI-GATE (FINFET)

МИНИАТЮРИЗАЦИЯ

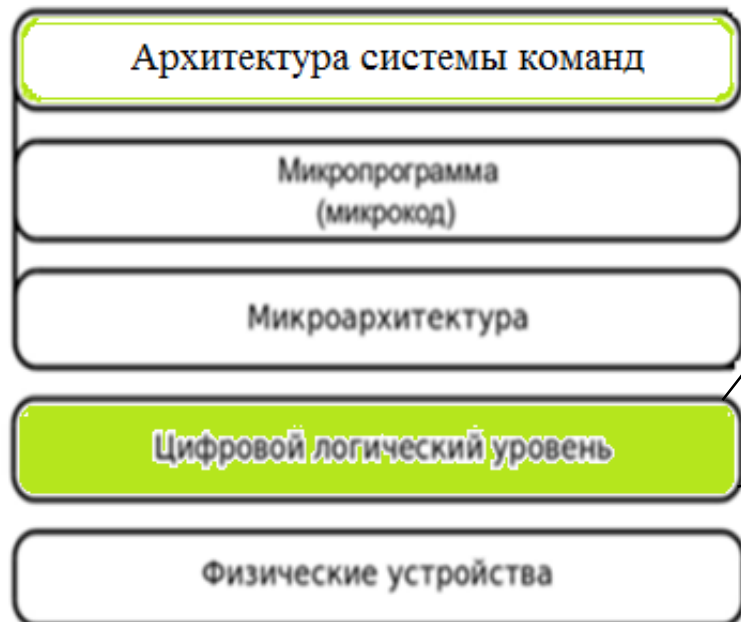
ОСОБЕННОСТИ:

- сильно уменьшает, но не уничтожает ток утечки
- реально уменьшает площадь вентиля/ячейки, но не длину канала (*«проектные нормы» уже никак не привязаны к физическим размерам транзистора, например, для 22-нм планарных транзисторов длина канала – 26 нм, для 16 нм FinFET – м.б. больше 20 нм*)
- уменьшает энергопотребление
- умеренная стоимость

СОВЕРШЕНСТВОВАНИЕ АРХИТЕКТУРЫ ВС НА ЛОГИЧЕСКОМ УРОВНЕ



Совершенствовать ВС с целью улучшения технико-эксплуатационных характеристик (быстродействия) можно на каждом уровне архитектуры

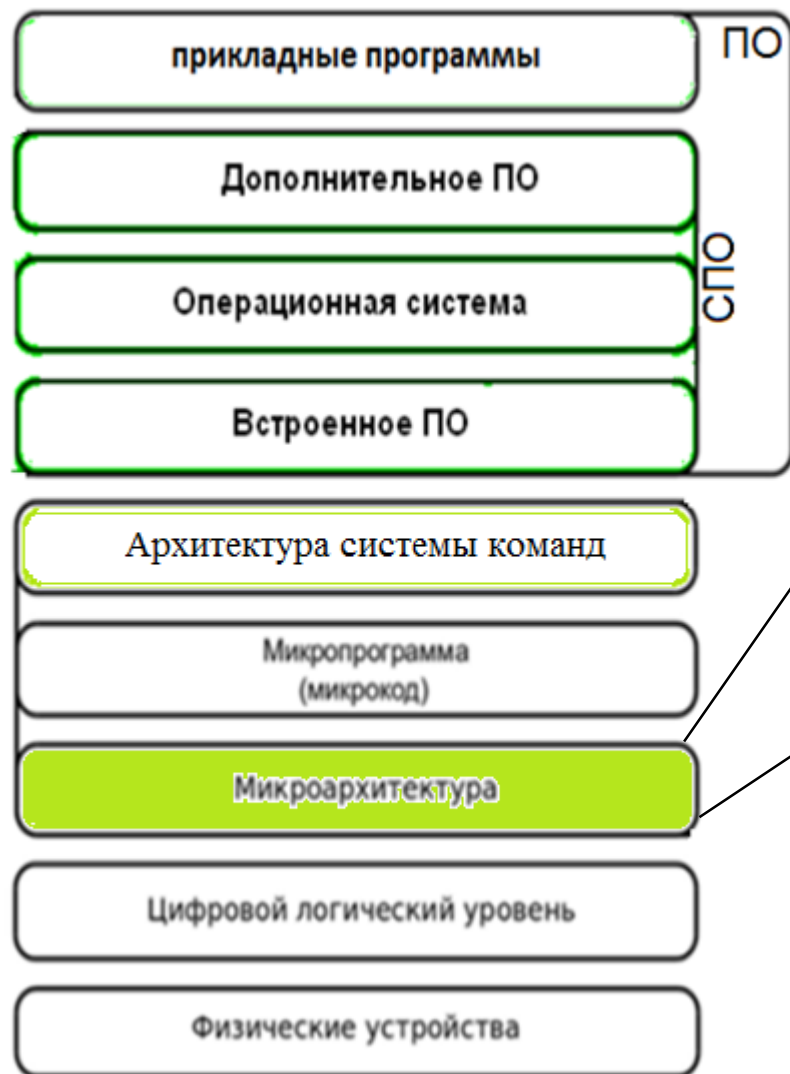


На логическом уровне:

- оптимизация временных диаграмм логических сигналов (сокращение переходных процессов)
- Совершенствование схемотехнических решений передачи сигналов – варианты МОП схемотехники

СОВЕРШЕНСТВОВАНИЕ АРХИТЕКТУРЫ ВС НА УРОВНЕ МИКРОАРХИТЕКТУРЫ

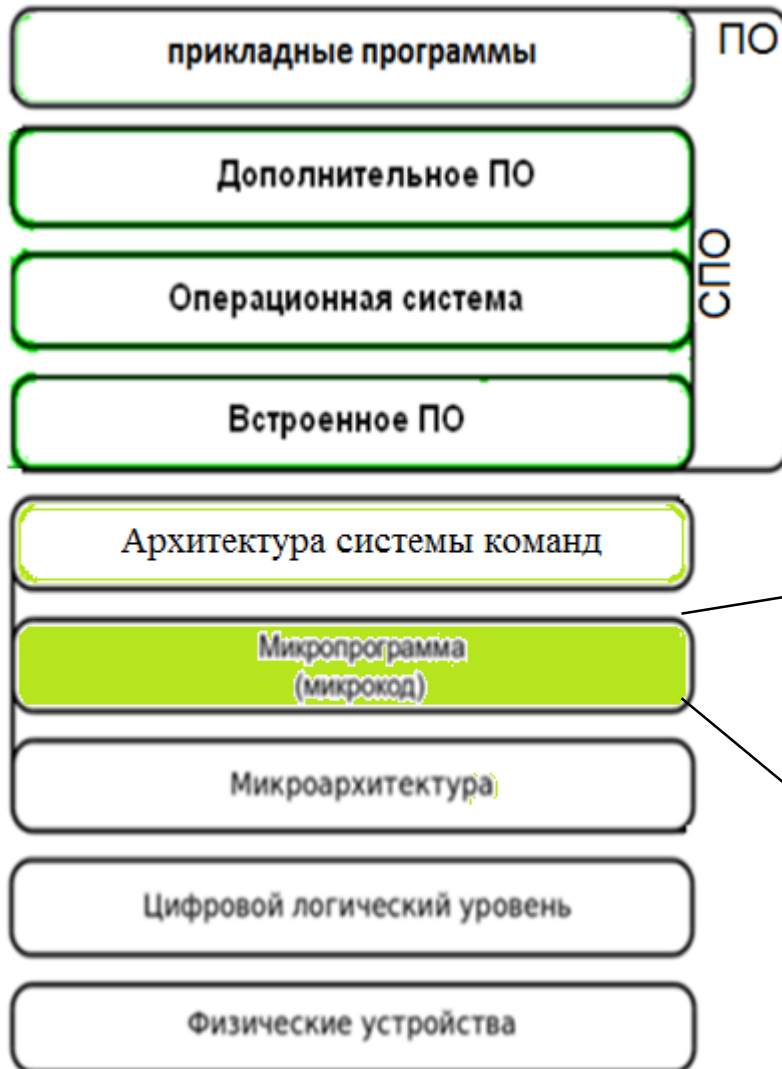
Совершенствовать ВС с целью улучшения технико-эксплуатационных характеристик (быстродействия) можно на каждом уровне архитектуры



на микроархитектурном уровне:
совершенствование микросхем процессоров и памяти, организация взаимодействия ЦП и ОП через многоуровневую КЭШ)

Совершенствование архитектуры ВС

Совершенствовать ВС с целью улучшения технико-эксплуатационных характеристик (быстродействия) можно на каждом уровне архитектуры



на уровне микропрограмм:
совершенствование алгоритмов
выполнения машинных команд,
увеличение числа микроопераций
для одной команды с глубокой
конвейеризацией микроопераций

<https://arxiv.org/pdf/1808.07412.pdf>

СОВЕРШЕНСТВОВАНИЕ АРХИТЕКТУРЫ ВС НА УРОВНЕ МИКРОАРХИТЕКТУРЫ

микрооперация = μ -операция = μ оп = МОП

Микрооперация – это элементарное преобразование данных исполняемое за один машинный такт (cycle)

Каждая команда (инструкция) программы преобразуется внутри процессора в набор микроопераций (мопов). Это более мелкий уровень абстракции и все временные интервалы уменьшены в разы. Таким образом, все простои конвейера, зависимости по данным, узкие места и конкуренция за ресурсы случаются на микро-уровне, занимают меньше времени.

Процессор меньше простаивает



СКОРОСТЬ ВЫСЧИСЛЕНИЙ ПОВЫШАЕТСЯ

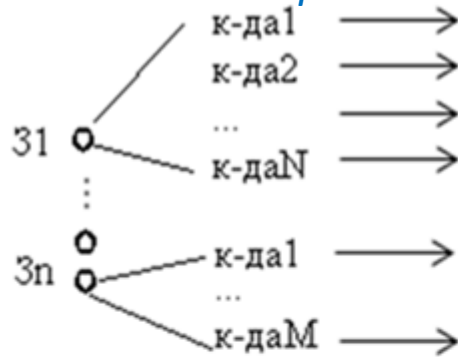
РАСПАРАЛЛЕЛИВАНИЕ ВЫЧИСЛЕНИЙ

технологии выполнения вычислений:

- однозадачность,
- однозадачность+прерывания,
- многозадачность,
- многопоточность,
- многоядерность,
- многопроцессорность.

Однозадачность=ПРИНЦИП ФОН-НЕЙМАНА

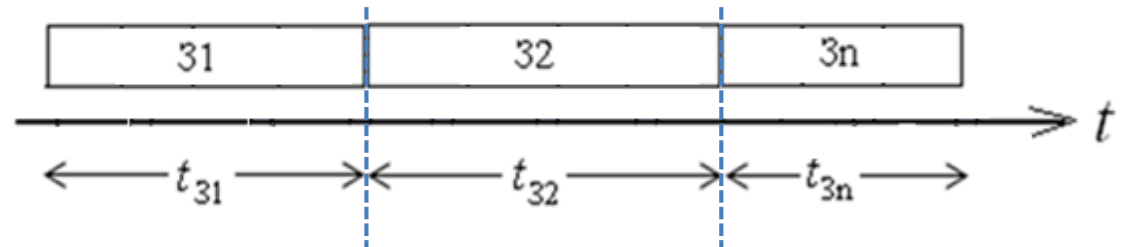
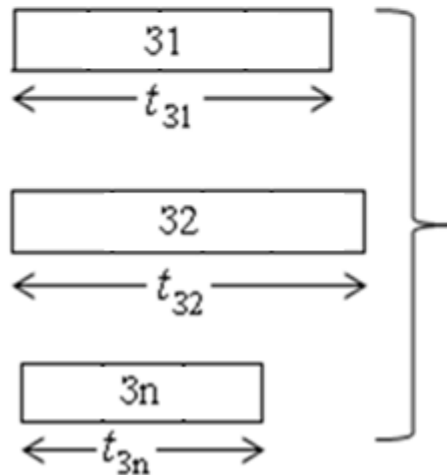
Последовательное выполнение единственной программы без возможности прерывания или параллельного выполнения совместно с другими программами



очередь задач на
исполнение в ЦП



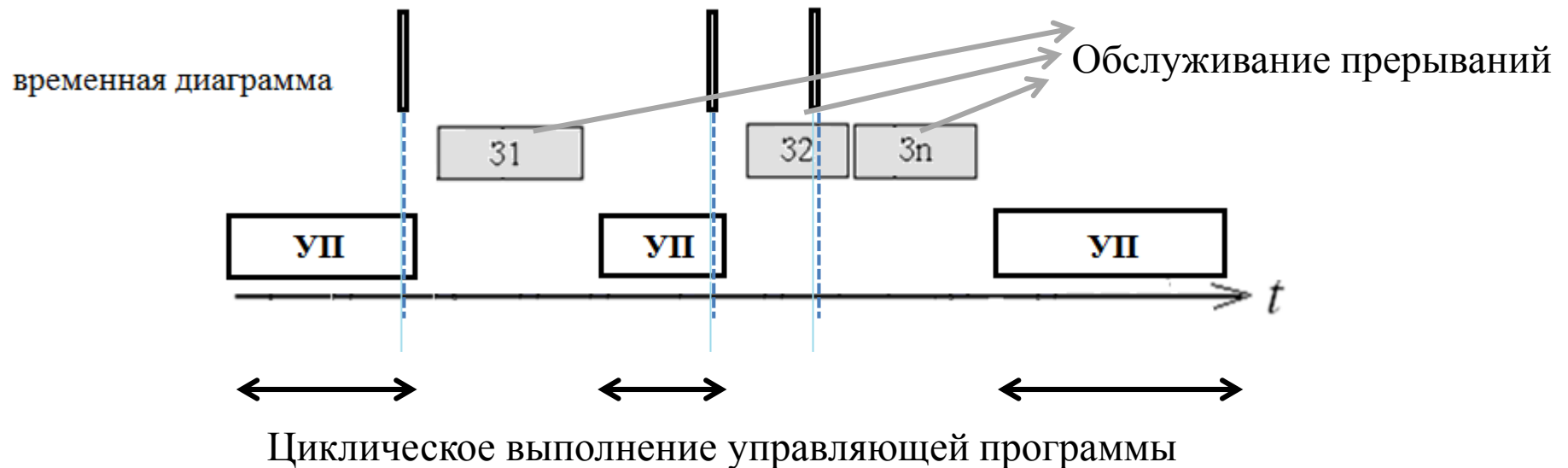
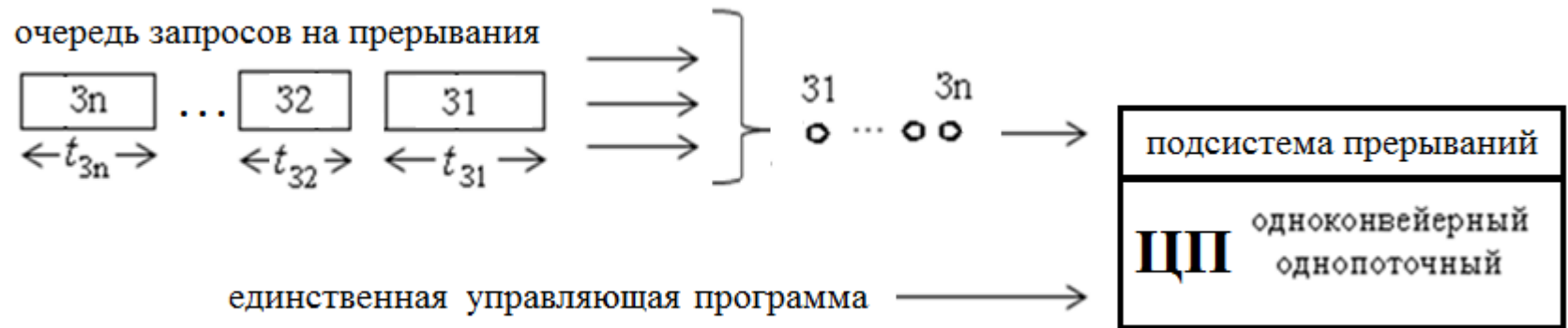
обслуживание задач по очереди



временная диаграмма обслуживания процессором задач/программ

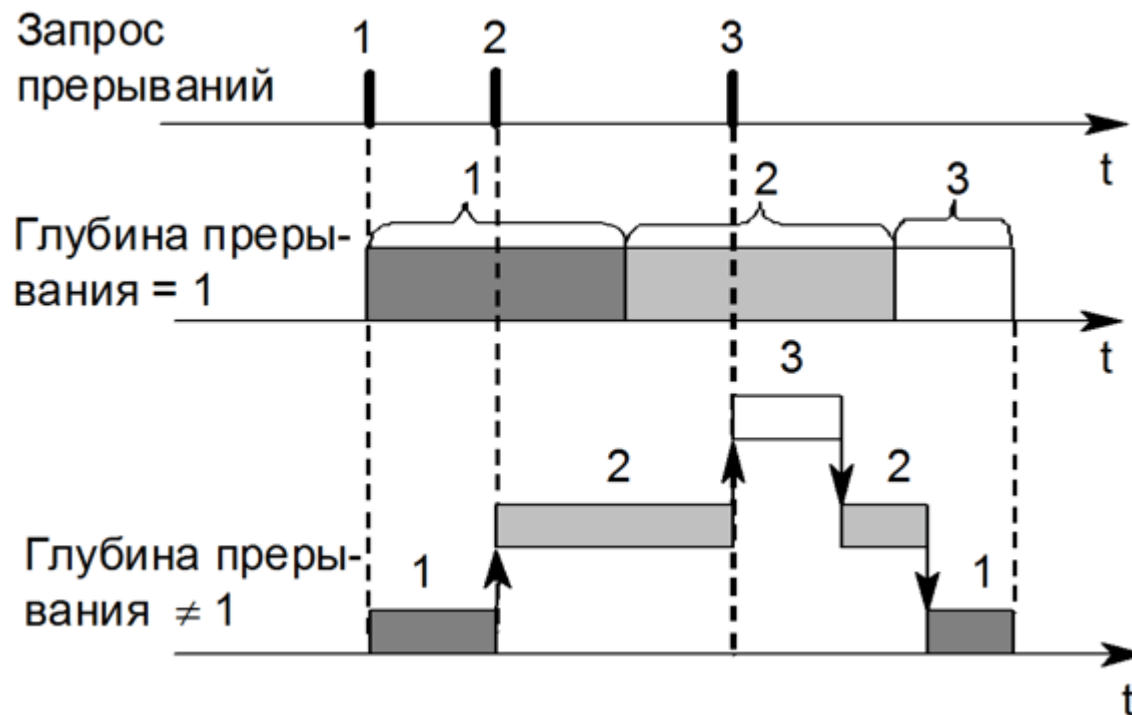
ОДНОЗАДАЧНОСТЬ+ПРЕРЫВАНИЯ

Последовательное выполнение единственной программы с возможностью прерывания на обработку внешних событий



Глубина прерывания ВС

Если после перехода к прерывающей программе и до ее окончания прием запросов прекращается, то говорят, что система имеет глубину, равную 1. Глубина равна N , если допускается последовательное прерывание до N программ. Глубина прерывания обычно совпадает с числом уровней приоритетов в системе прерываний.



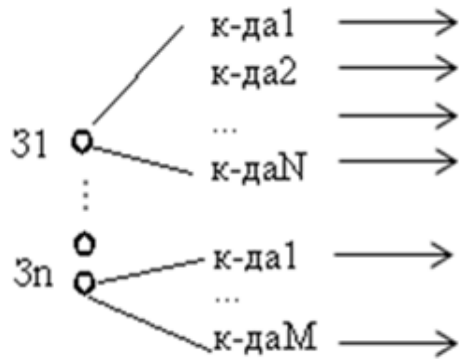
Временные характеристики подсистемы прерываний ВС

издержки прерывания

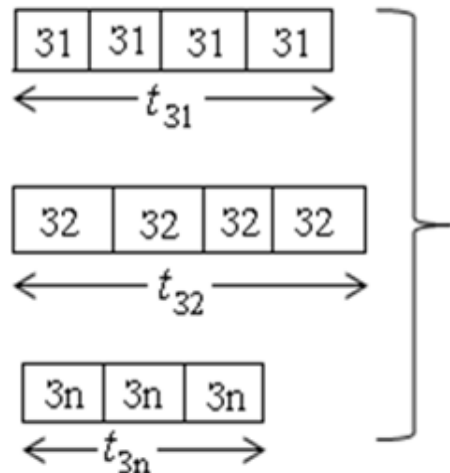


МНОГОЗАДАЧНОСТЬ (псевдо-параллельность)

Последовательная обработка нескольких задач/потоков за счёт быстрого переключения между задачами, незаметного для пользователя.



очередь задач на
исполнение в ЦП



обслуживание по очереди по частям



временная диаграмма обслуживания процессором задач/программ
в многозадачном режиме

МНОГОПОТОЧНОСТЬ

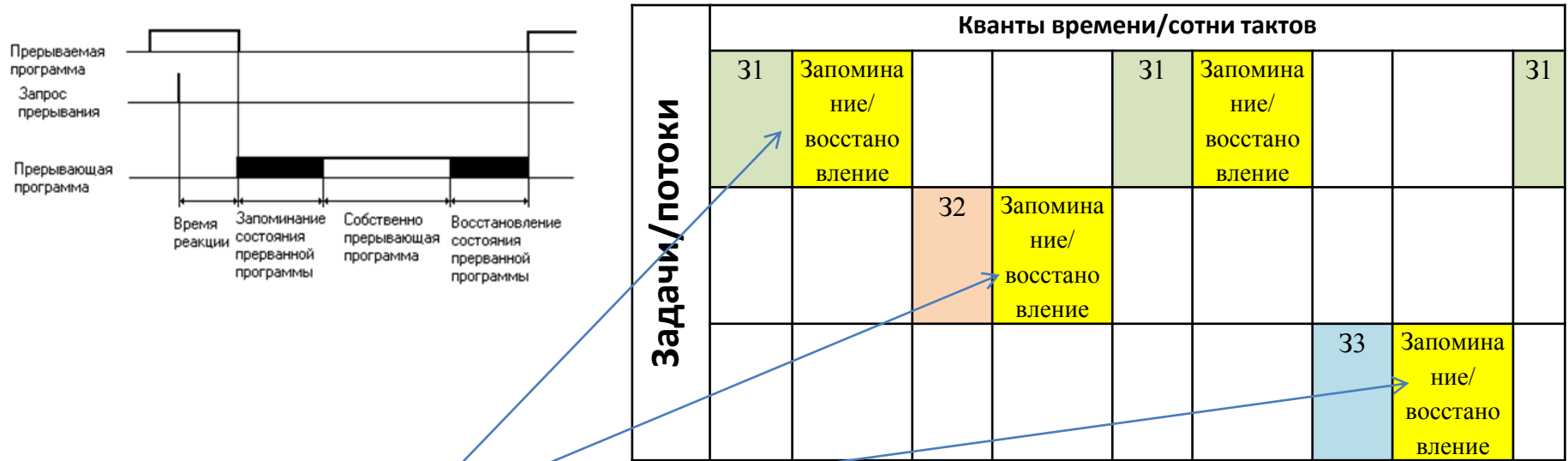
(ПАРАЛЛЕЛЬНОСТЬ ИСПОЛНИТЕЛЬНЫХ ПОТОКОВ)

т.е. на уровне исполнения микроопераций

- Грубая многопоточность \approx многозадачность = аппаратно-управляемое чередование задач
- Мелкая многопоточность = многофункциональность (суперскалярность)
- Одновременная многопоточность SMT (Simultaneous Multi-Threading) = гиперпоточность (Hyper-Threading)

Сравнение многопоточности и многозадачности

многозадачность = программно-управляемое чередование задач

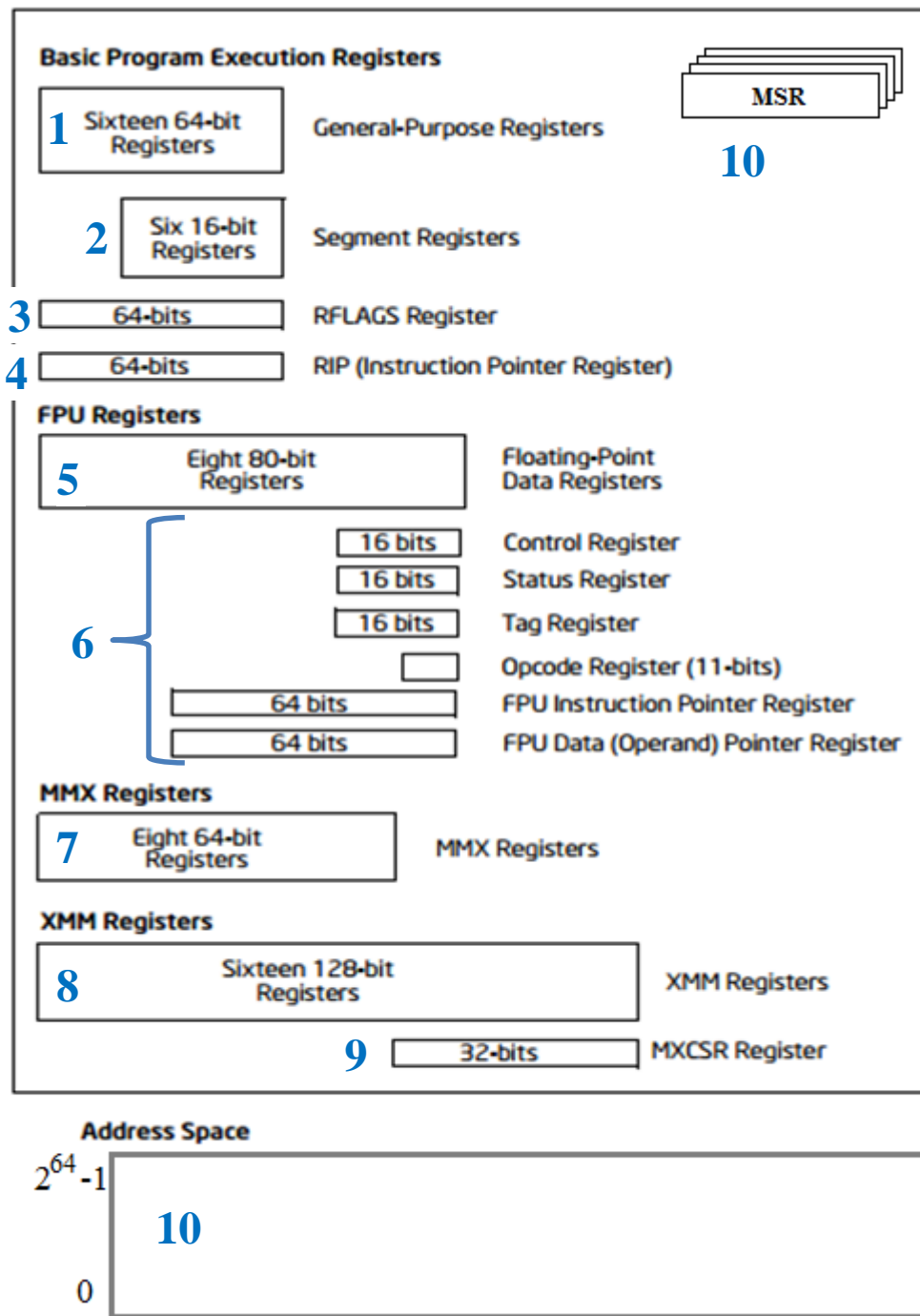


Программное запоминание/восстановление состояния прерванной программы –
содержимое регистров ЦП

Многопоточность \approx многозадачность = аппаратно-управляемое чередование задач без запоминания/восстановления контекста

Задачи/ потоки	Кванты времени 1-десятки тактов						
	31		31		31		
		32				32	
				33			33

Архитектурная модель Intel 64



- 1 – РОН (регистры общего назначения) для целых чисел (16 шт),
- 2 – Данные из ОП буферизируются в промежуточной
- 3 – регистр признаков (состояния)
- 4 – указатель адреса следующей команды
- 5 – регистры FPU (для дробных чисел формата ЧПЗ) 8 шт.
- 6 – управляющие регистры блока FPU
- 7 – регистры MMX (векторные целые)
- 8 – регистры XMM (векторные дробные)
- 9 – управляющий регистр (статуса и признаков блока SIMD)
- 10 – ОП
- 11 – модельно специфические регистры

ГРУБАЯ (КРУПНОЗЕРНИСТАЯ) МНОГОПОТОЧНОСТЬ

- Грубая многопоточность = аппаратно-управляемое чередование задач

Задачи/ потоки	Кванты времени от 1 до десятка тактов						
	31		31		31		
		32				32	
				33			33

1. Совместное использование несколькими потоками большинства исполнительных ресурсов и КЭШа

- либо разделением буферов и очередей, при котором каждый поток может использовать лишь ограниченное число записей
- либо дублированием буферов и очередей

2. Быстрое переключение между потоками

- полное дублирование архитектурных регистров: РОН, управляющих, машинно-зависимых, регистров-указателей команд (IP), стека (SP)
- дублирование подсистемы обслуживания прерываний

ГРУБАЯ МНОГОПОТОЧНОСТЬ

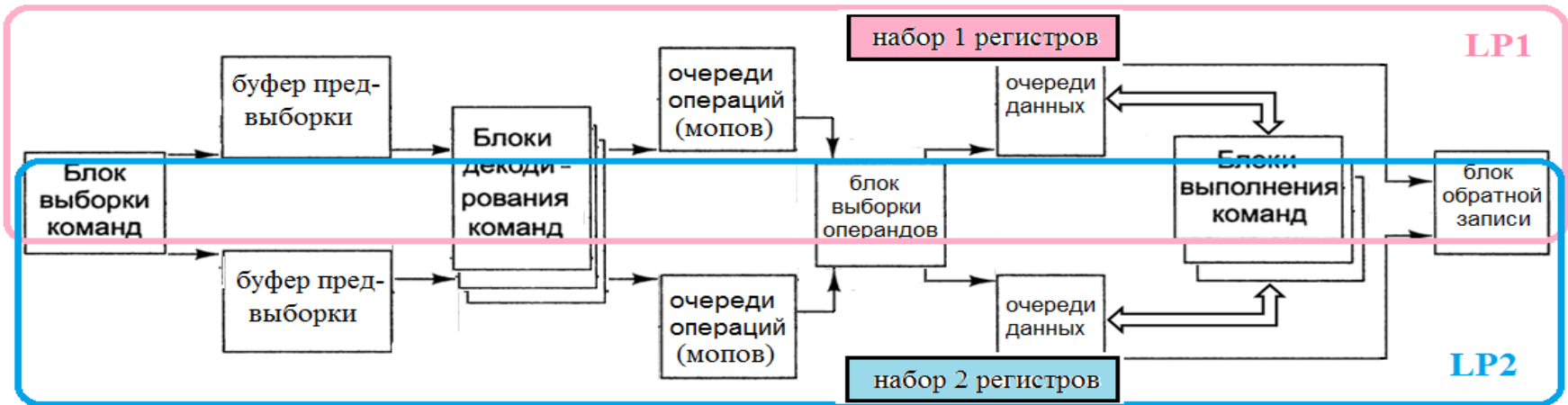
Грубая многопоточность = аппаратно-управляемое чередование задач

- дублирование основных групп регистров (в том числе счетчиков команд - по одному на поток)
- средства, ассоциирующие команды с потоком

Нет необходимости запоминать/восстанавливать состояние (регистры), т.к. имеется полный набор на каждый поток
= несколько **ЛИГИЧЕСКИХ ЦП** (одно ядро CPU=LP1+ LP2)

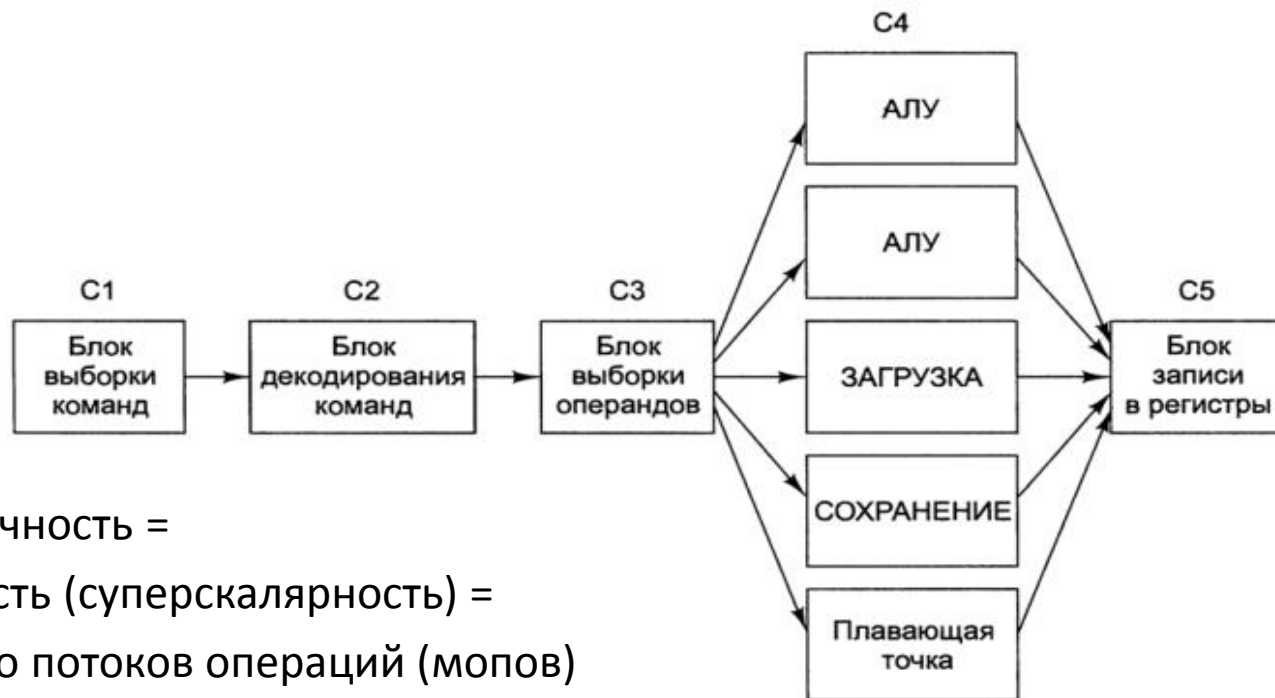
Задачи/ потоки	Кванты времени 1-десятки тактов				
	31		31		31
		32			
				33	

Отсутствие затрат на переключение между задачами/потоками



- дублирование контроллеров прерываний
- разделением/дублированием буферов и очередей

МЕЛКАЯ (МЕЛКОЗЕРНИСТАЯ) МНОГОПОТОЧНОСТЬ

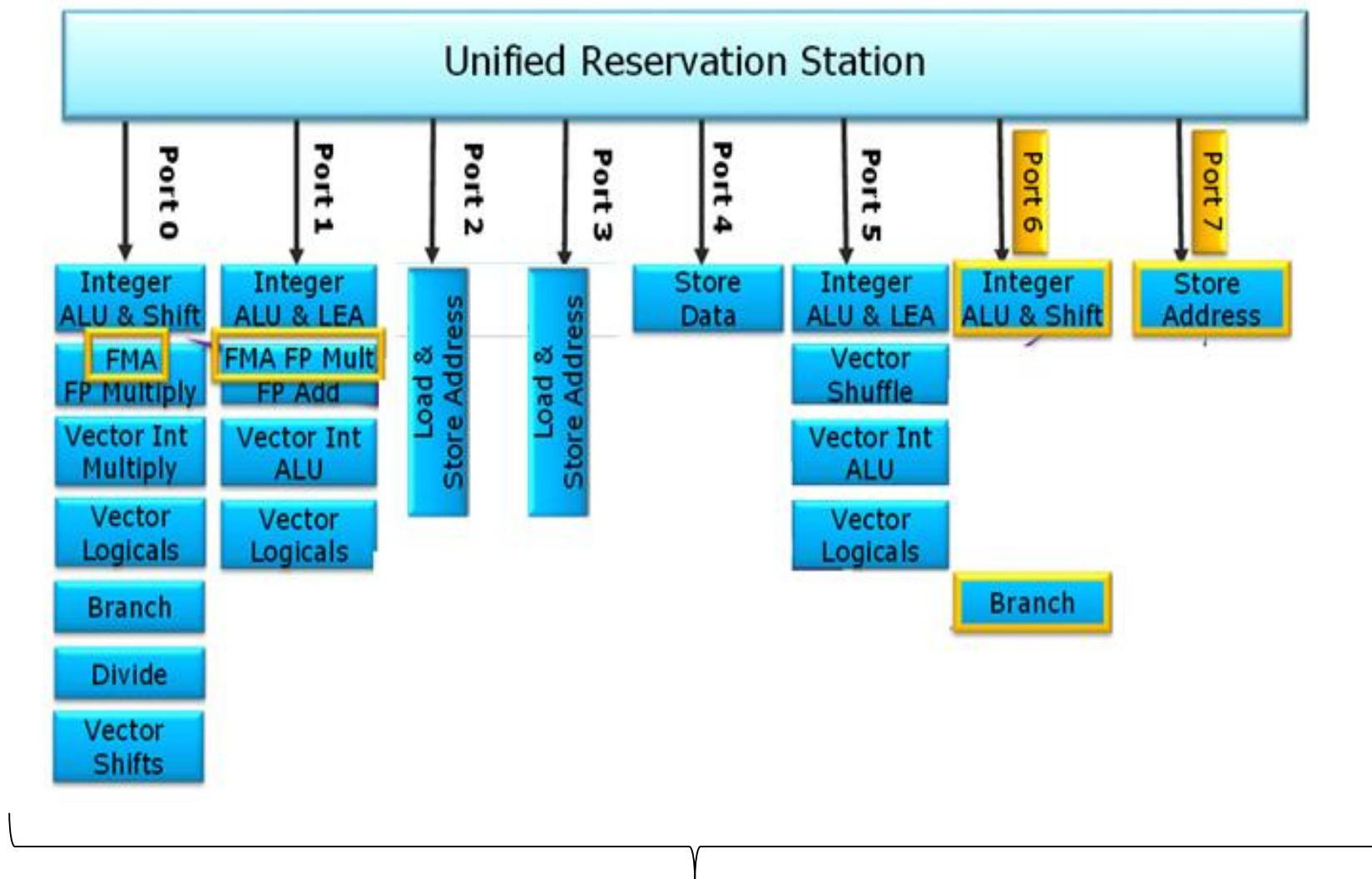


- Мелкая многопоточность =
многофункциональность (суперскалярность) =
= одновременно много потоков операций (мопов)

	такты												
Потоки операций= число операционных блоков	АЛУ	■			■	■			■		■	■	
	АЛУ	■	■						■				■
	ЧПЗ	■	■	■		■	■	■		■	■		■
	Загрузка			■			■			■		■	■
	Сохранение		■		■		■					■	

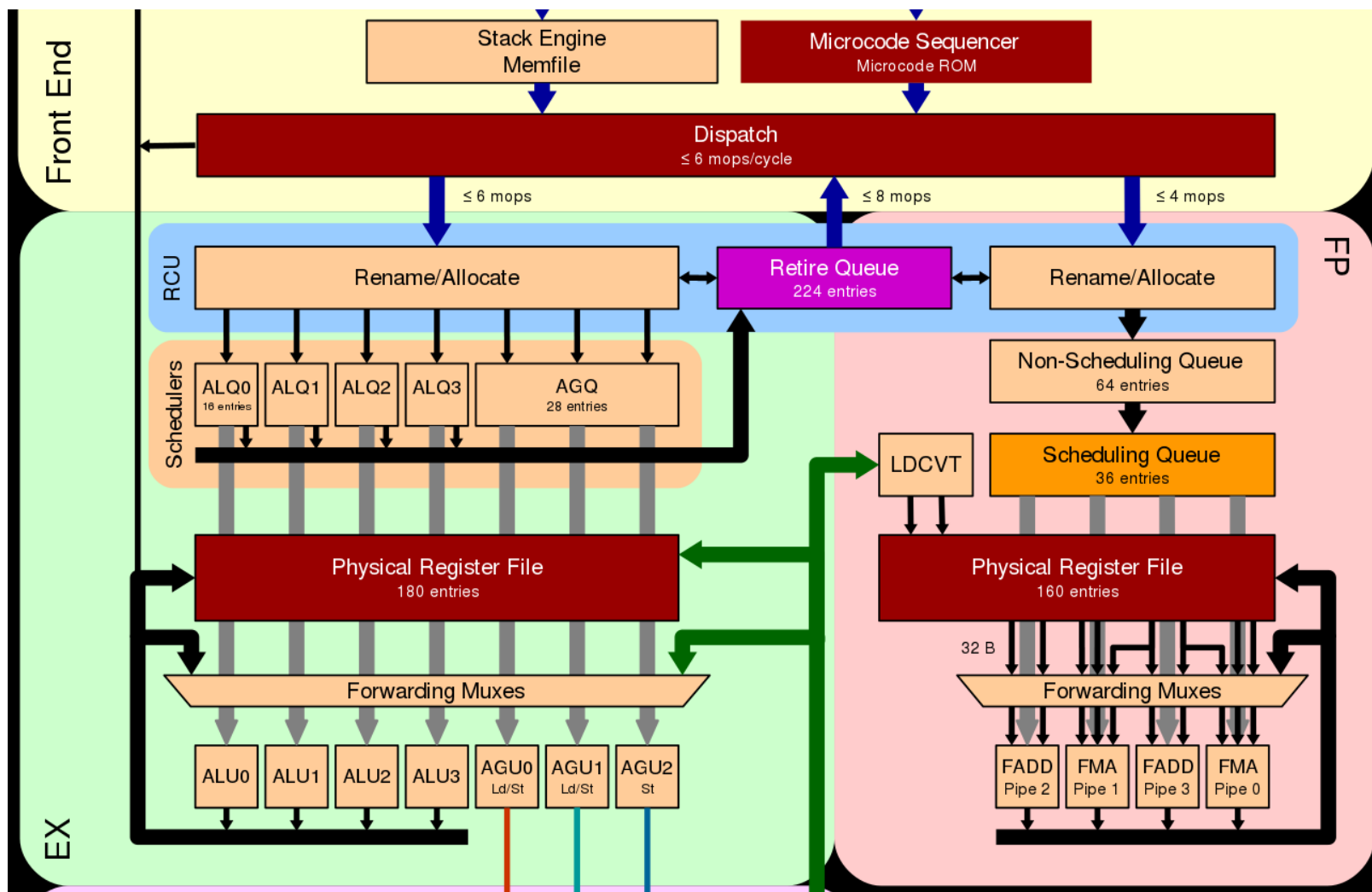
ПЯТЬ
ПОТОКОВ

МЕЛКАЯ (МЕЛКОЗЕРНИСТАЯ) МНОГОПОТОЧНОСТЬ



8 потоков в микроархитектуре Intel Haswell

МЕЛКАЯ (МЕЛКОЗЕРНИСТАЯ) МНОГОПОТОЧНОСТЬ

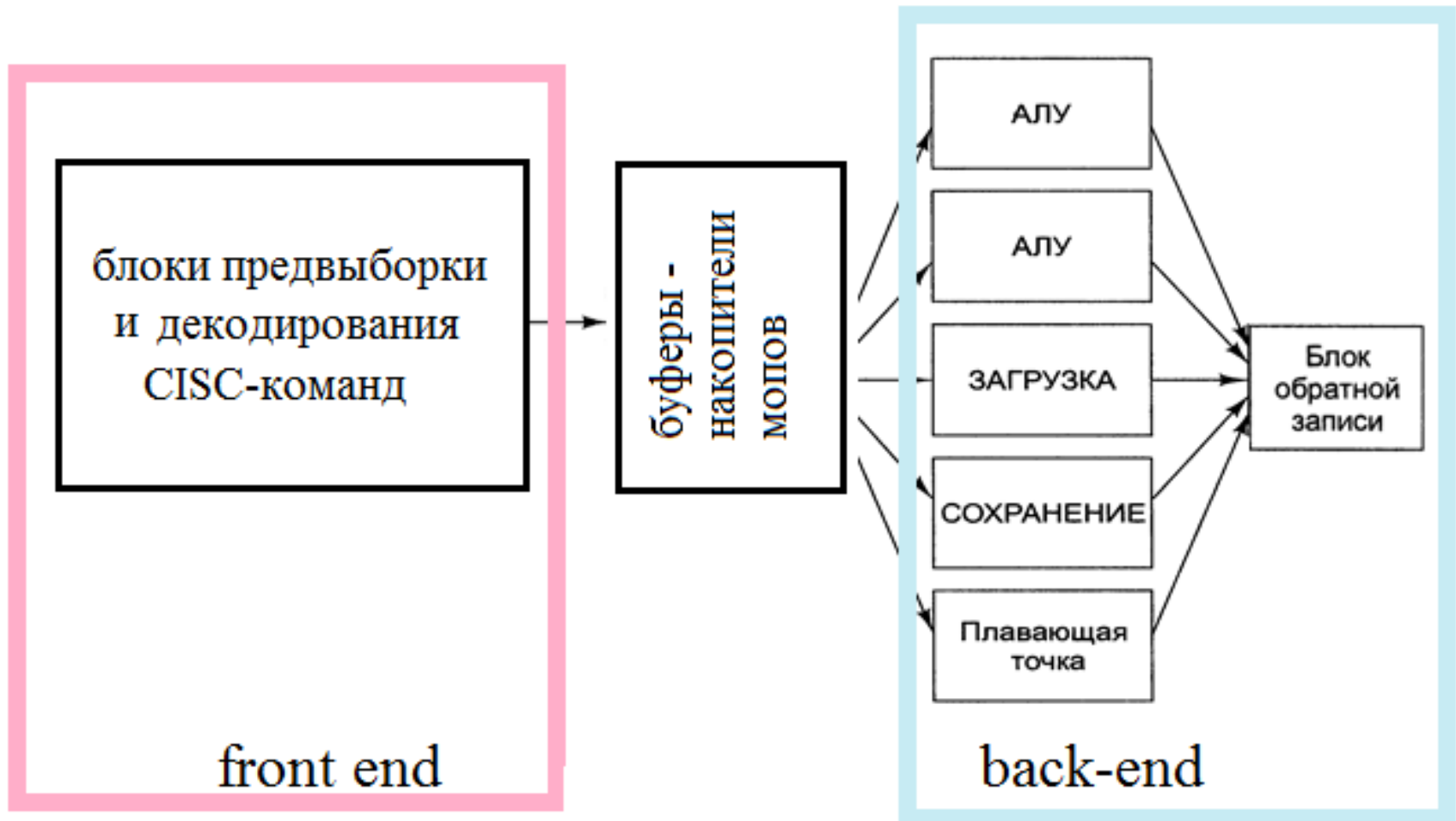


11 потоков в микроархитектуре AMD Zen 2

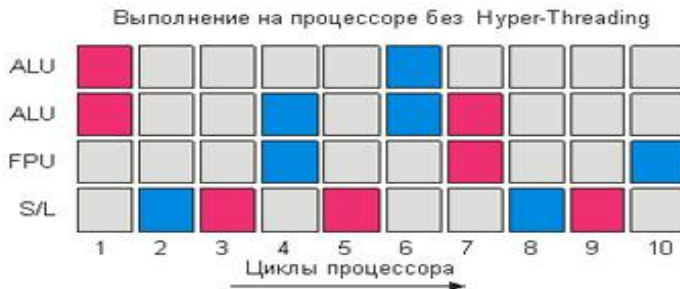
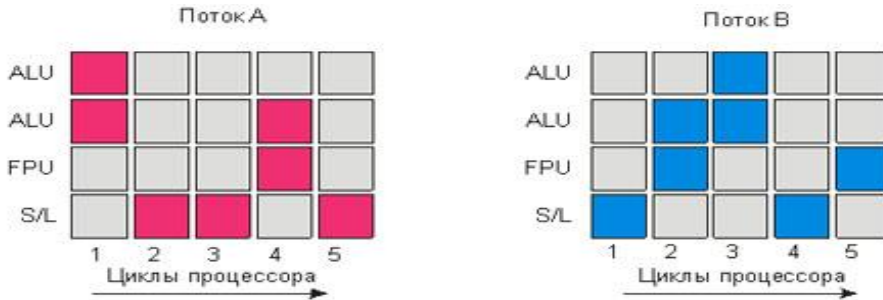
Мелкая многопоточность (суперскалярность)

Вместо выполнения сложных многотактных CISC-команд

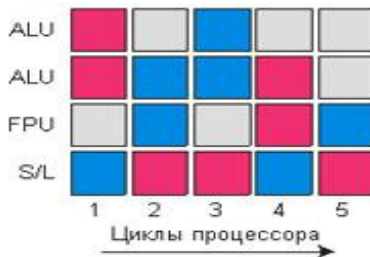
конвейер простых RISC-микроопераций (μ-операций = мопов)



Одновременная многопоточность SMT (Simultaneous Multi-Threading) = гиперпоточность (Hyper-Threading)

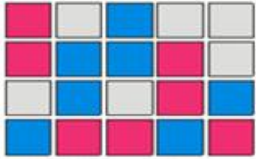


Выполнение на процессоре с Hyper-Threading



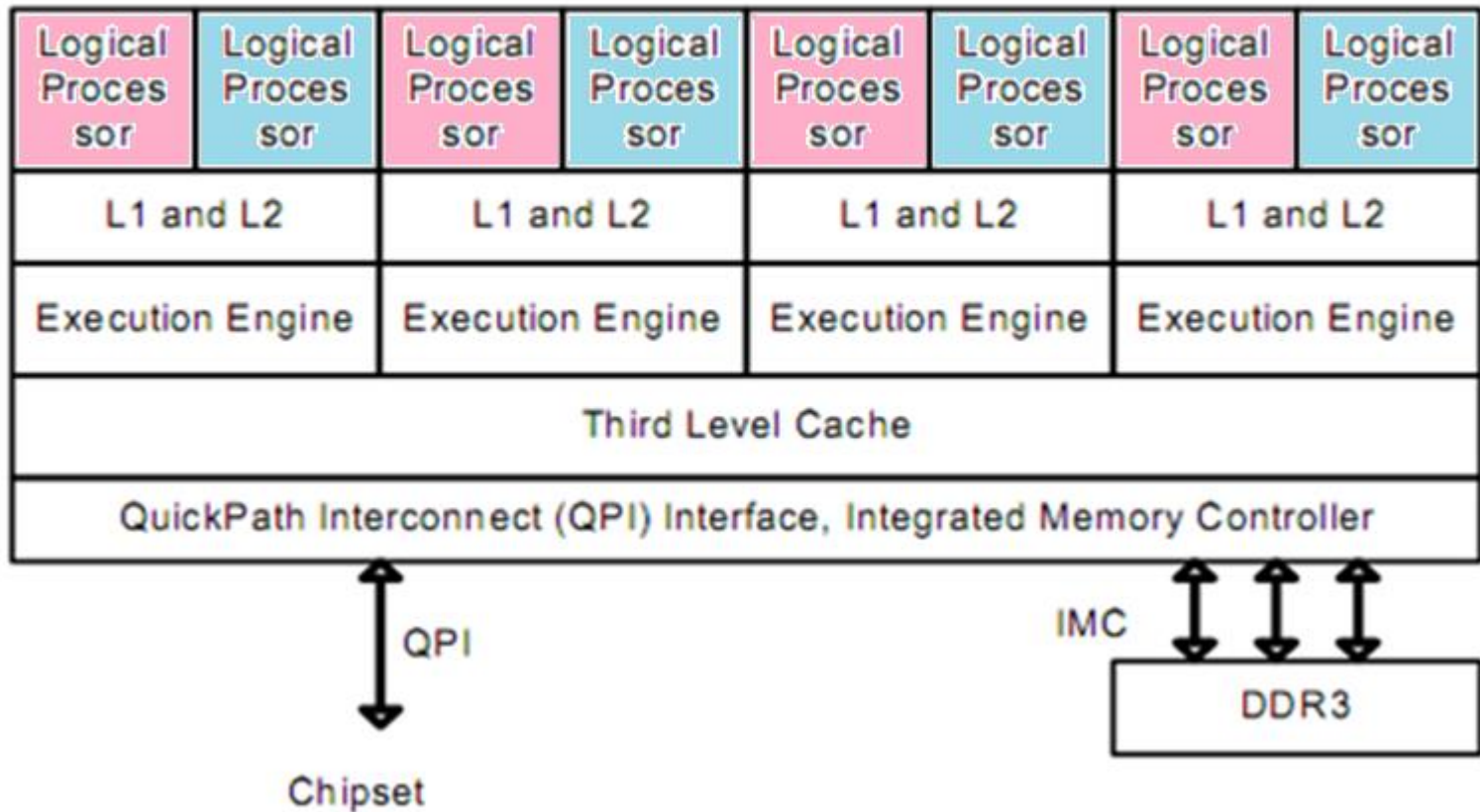
$$CPU = LP1 + LP2$$

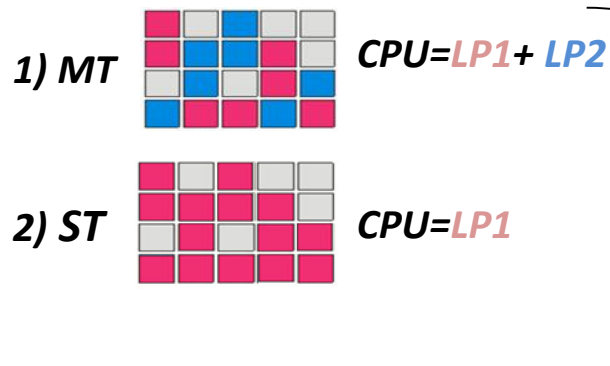
- Мелкая многопоточность для каждой задачи/потока
- Грубая многопоточность \approx = аппаратно-управляемое чередование задач
- Одновременная многопоточность SMT (HT)



Одновременная многопоточность SMT (Simultaneous Multi-Threading) = гиперпоточность (Hyper-Threading)

Intel Core i7 Processor





ГИПЕРПОТОЧНОСТЬ (HT=ST+MT)

быстрое переключение между режимами ST ↔ MT

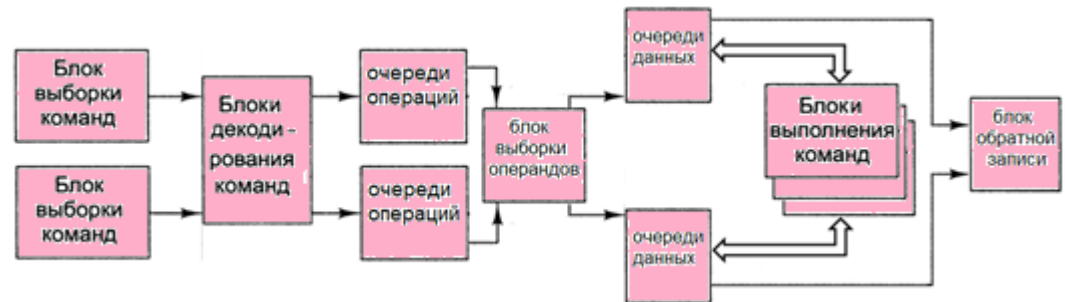
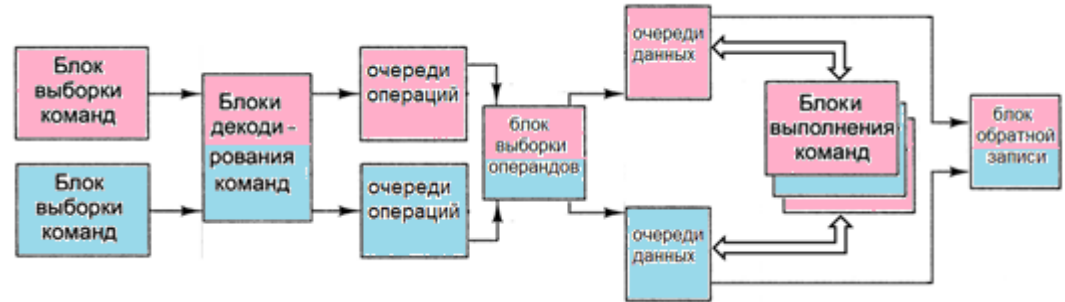
Две важных цели HT

1. Независимость для HT

разделения/дублирования/совместное использование/чередование

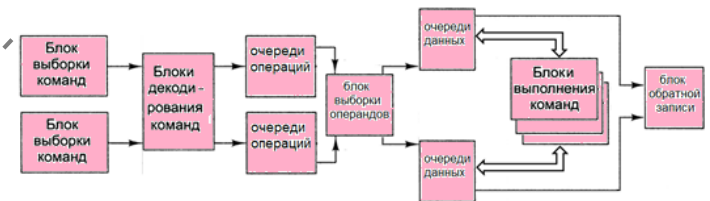
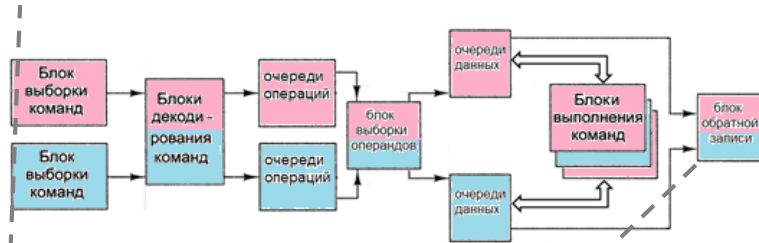
2. Возможность объединения вычислительных ресурсов для ST

когда только один поток активен, разделенные ресурсы объединяются



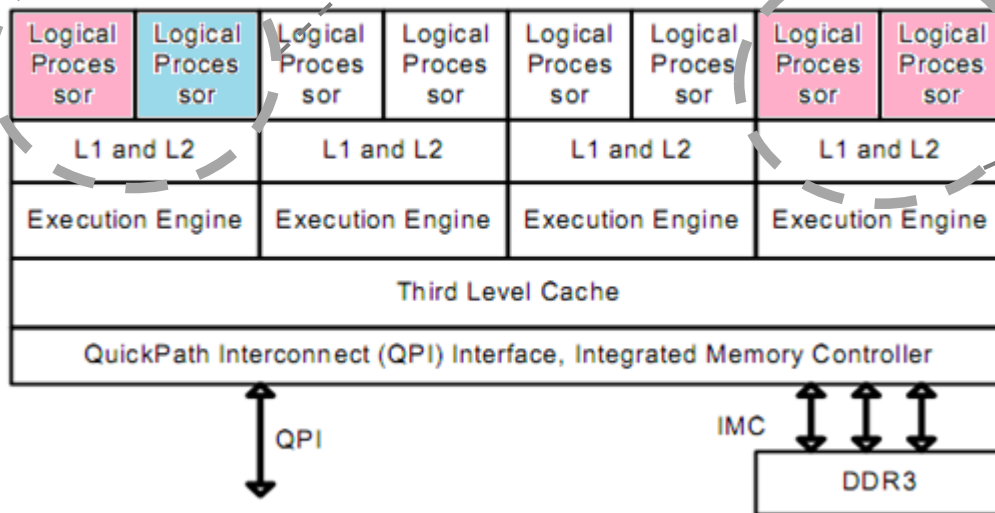
Гиперпоточный ЦП (HT=ST+MT)

(режим многих-двух потоков MT)



(режим одного потока ST)

Intel Core i7 Processor



Chipset

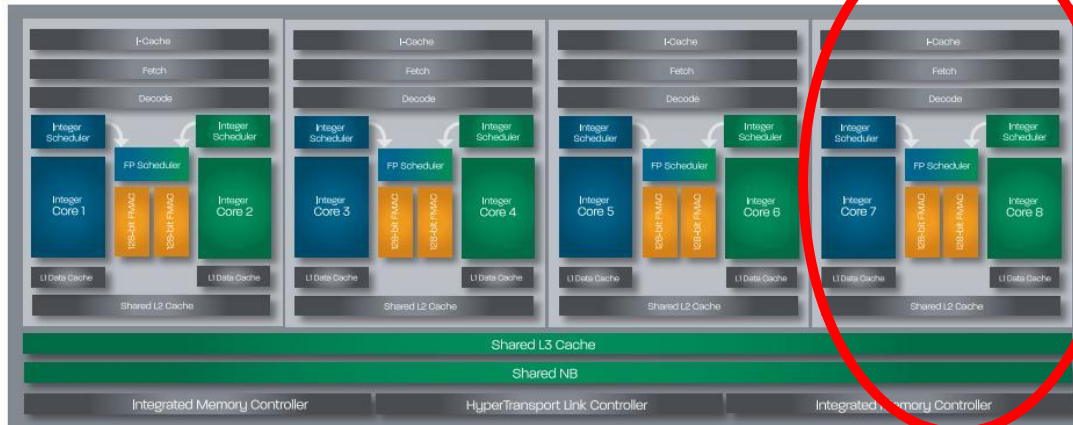
IMC

DDR3

Amd bulldozer

https://www.overclockers.ru/lab/44039/testirovanie_amd_fx_bulldozer.html

**Другой вид многопоточного
процессора с пересекающимися
ядрами**

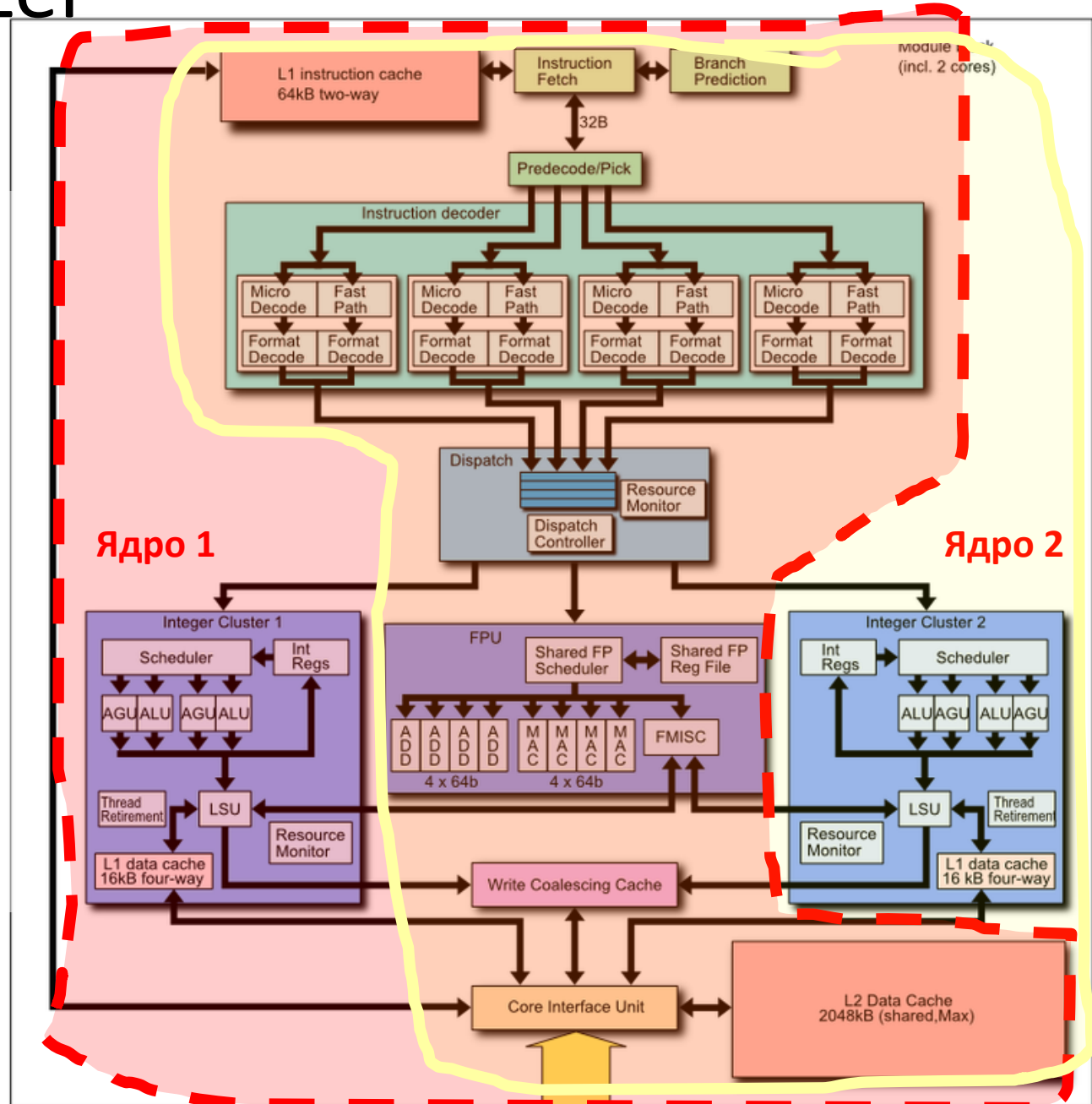


Amd bulldozer

<https://www.overclockers.ru/lab/44039>

на 2 ядра

- Общий Front-end
- Разные планировщики мопов
- Разные целочисленные исполнительные кластеры=ядра
- Общий FMAs кластер (вектора, float, fusion)
- Раздельные КЭШ L1d
- Общий КЭШ L2



Многоядерность=несколько конвейеров

а) Традиционный процессор



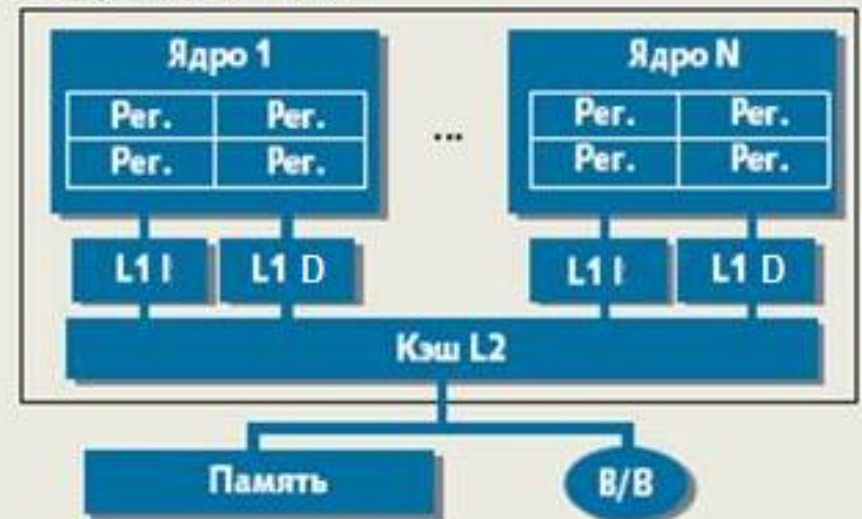
б) Простая многоядерная архитектура



в) Многоядерная архитектура с общей кэш-памятью



г) Многопоточковая многоядерная архитектура с общей кэш-памятью

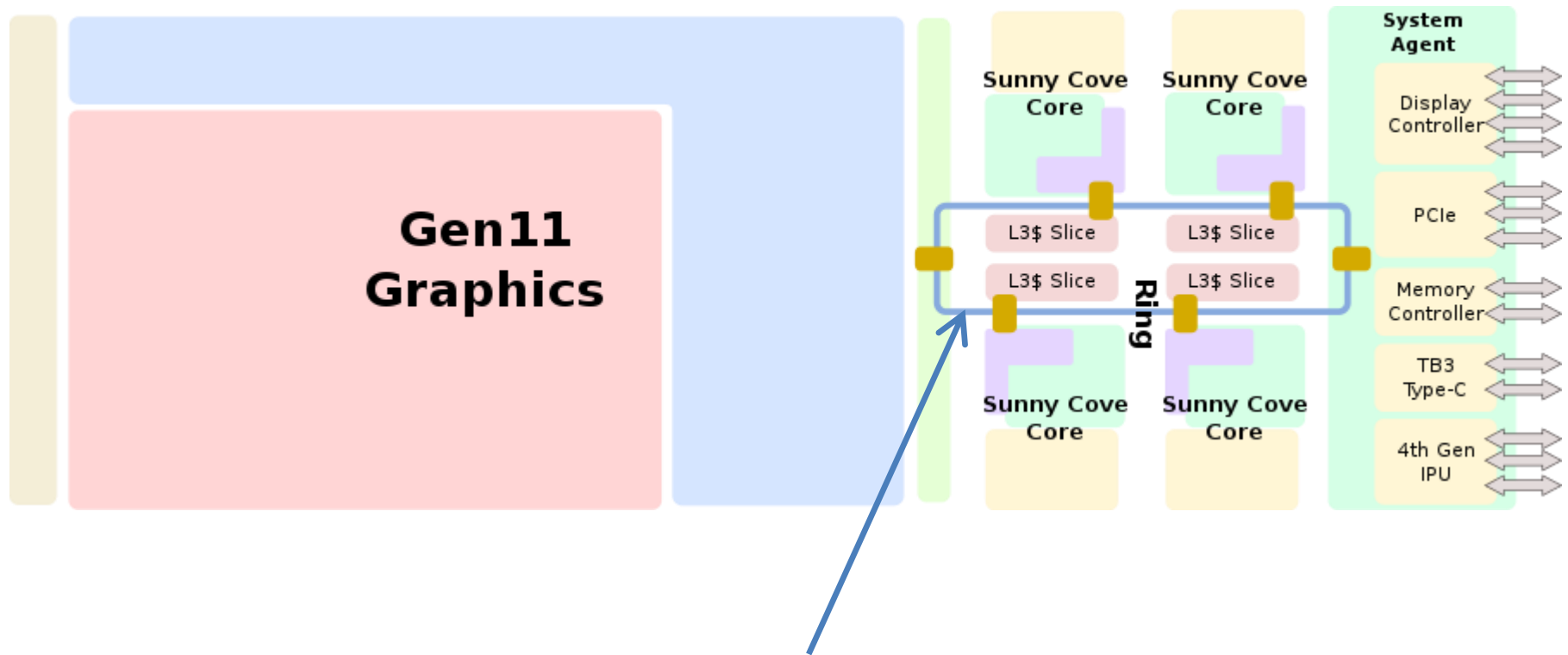


Многоядерность=несколько конвейеров

разновидности кристаллов CPU:

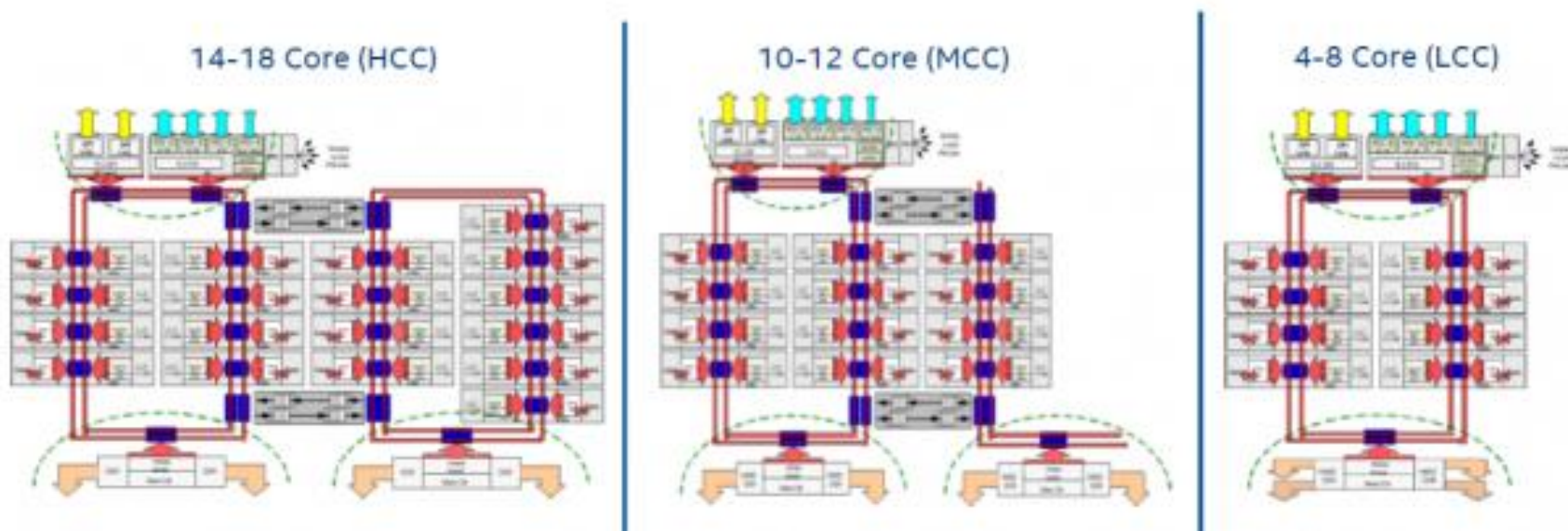
1. LCC (Low Core Count, до 10 ядер),
2. MCC (Medium Core Count, до 14-16 ядер)
3. HCC (High Core Count, от 14 ядер и более)
4. Scalable Processor Platform

LCC кристалл CPU (до 10 ядер)



Для соединения отдельных ядер (CPU и GPU) и контроллеров в единую систему используются двунаправленная кольцевая шина (Ring).

МСС и LCC кристаллы CPU (intel)

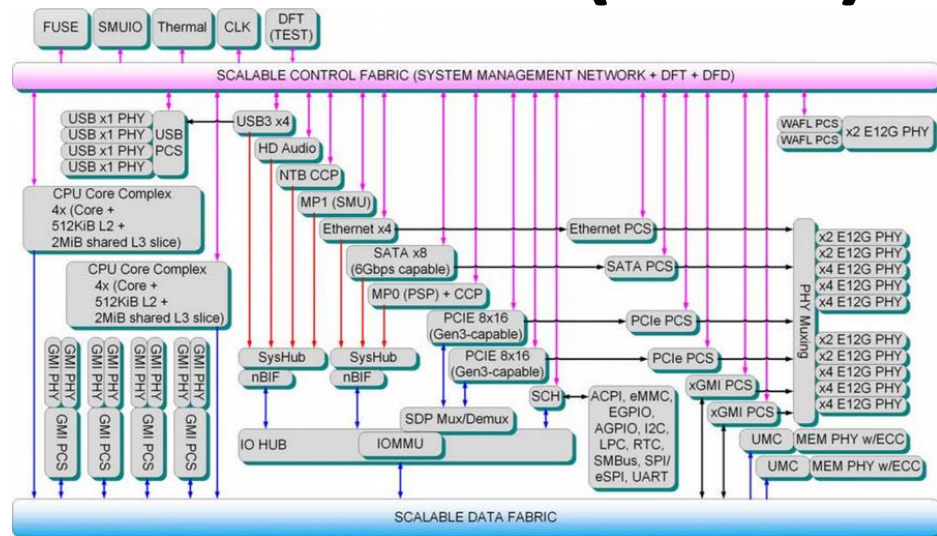
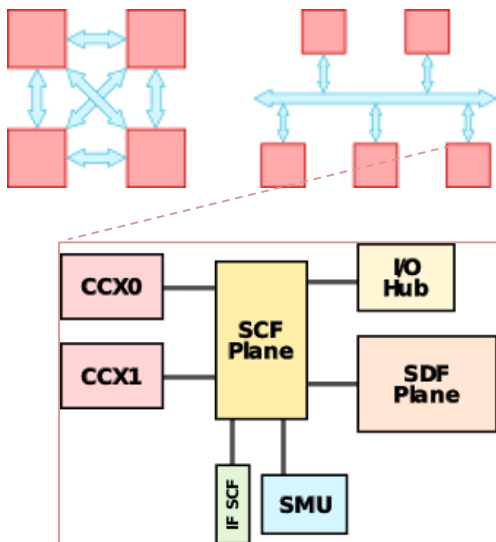


Ядра процессора формируют отдельные кластеры. Для соединения отдельных кластеров используются двунаправленные кольцевые шины.

- В случае с LCC такая шина всего одна.
- В MCC вторая шина образует не полное кольцо.
- В HCC работают два полноценных двунаправленных кольца.

Друг с другом кольца соединяются посредством буферизированных коммутаторов, что порождает дополнительную задержку в 5 тактов при необходимости передать данные из одного кольца в другое.

МСС и LCC кристаллы CPU (AMD)

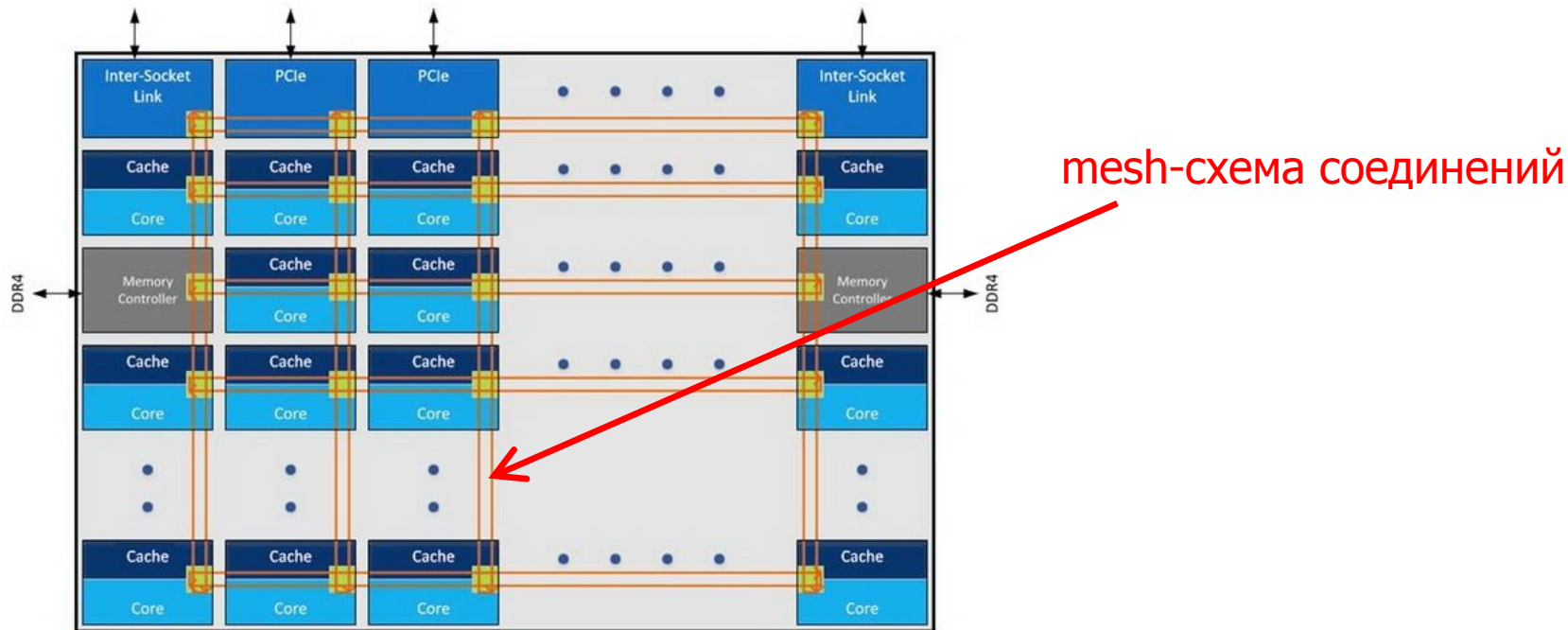


Infinity Fabric Interconnect Architectures

Ядра процессора и спец. контроллеры формируют отдельные кластеры. Для соединения внутри кластера используется специально разработанный интерфейс обмена данными Scalable Data Fabric (SDF). Он реализует симметричную когерентную модель взаимодействия. Между собой кластеры соединены по топологии «общая шина» или «точка-точка». Для этого также разработан спец. интерфейс CAKE (Coherent AMD socKet Extender), который определяет порядок взаимодействия между несколькими SDF – объединяет маршрутизаторы в сеть.

Это ведёт к задержкам при обращении одного процессорного кластера к данным, находящимся в Кэше другого кластера.

Scalable Processor Platform для кристалла CPU



Если в обычных потребительских процессорах проблема пропускной способности внутренних шин стоит не так остро, то в многоядерных и мультиядерных (для потоковых процессоров) решениях она начинает сильно тормозить скорость вычислений, ведь для эффективной многопоточной обработки данных все ядра должны быть вовремя «накормлены», иначе они просто будут простаивать впустую в ожидании поступления новой порции данных.

Вместо кольцевых шин Scalable Processor Platform (Intel) использует **сетевую коммуникационную инфраструктуру**. Схема выглядит как двунаправленная решётка без коммутаторов и сопутствующих схем буферизации. Небольшие кольца, впрочем, сохранились — теперь они находятся в пересечениях горизонтальных и вертикальных шин и обеспечивают оптимальное распределение потоков данных.

Многоядерность=несколько конвейеров

Разновидности НСС кристаллов CPU:

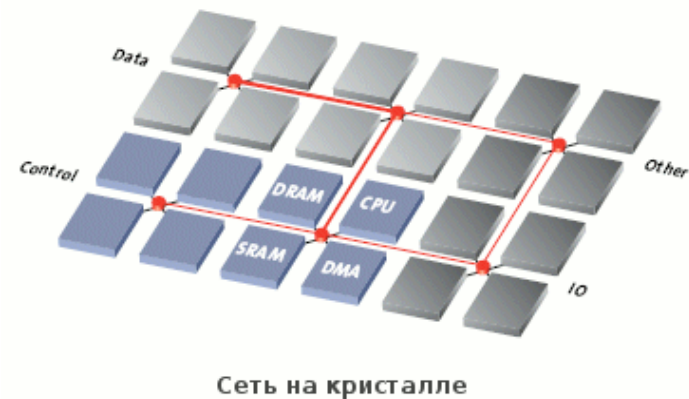
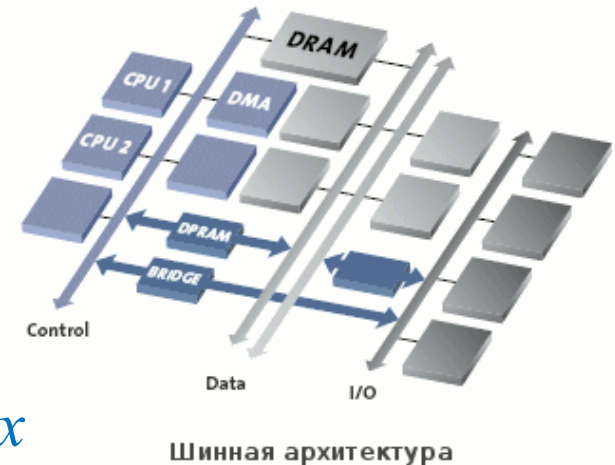
1. Infinity Fabric (AMD)
2. Scalable Processor Platform (Intel)

Переход от шинных внутренних соединений к сетевой топологии соединения элементов внутри кристалла CPU



Сети на кристалле

сеть с коммутацией пакетов,
или Network on Chip



Сети на кристалле (NoC)

Каждое ядро или блок процессора соединён с маршрутизатором, через который происходит его общение с другими блоками.

Сами маршрутизаторы объединены в сеть, по которой пакеты данных путешествуют от одного блока к другому, так же как пакеты в обычной компьютерной сети.

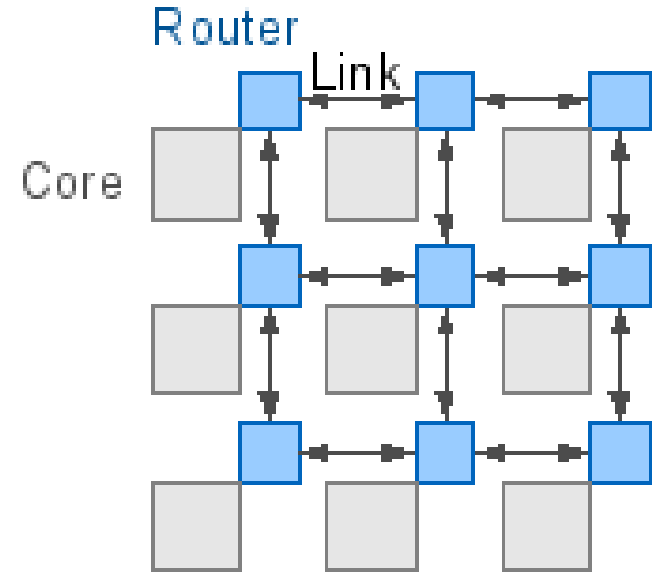
Передача происходит в два этапа:

1)заголовок, 2)пакет.

Это позволяет передать данные практически без задержек, минуя буфер, за счёт того, что заголовок посылается заранее, и коммутатор успевает сделать нужные переключения цепей к тому моменту, как придёт тело пакета.

Компании-разработчики NoC: Sonics, Arteris, Samsung, Qualcomm, Intel.

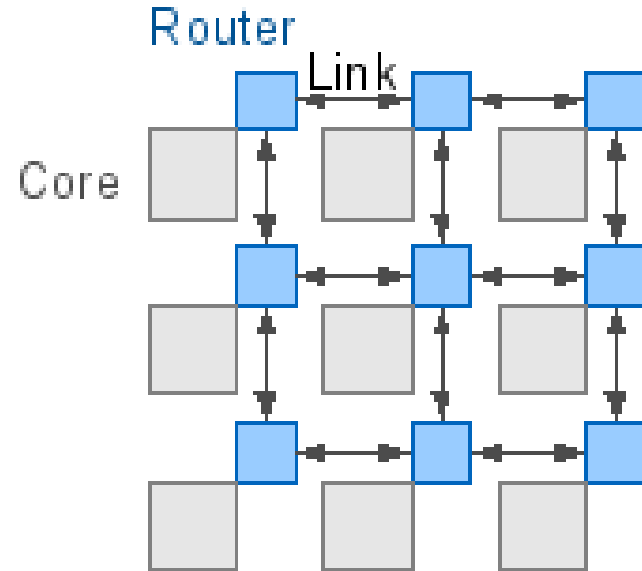
Модели и опытные образцы многоядерных процессоров показывают, что при большом количестве ядер такая архитектура превосходит традиционную по многим показателям.



Сети на кристалле (NoC)

Достоинства:

- упрощается топология микросхемы,
- легко объединить не только однородные ядра, но и вообще любые блоки на одном чипе
- нет ограничения по масштабированию (в отличие от шины),
- множество блоков способно общаться одновременно, не мешая друг другу,
- увеличивается скорость обмена данными → рост производительности

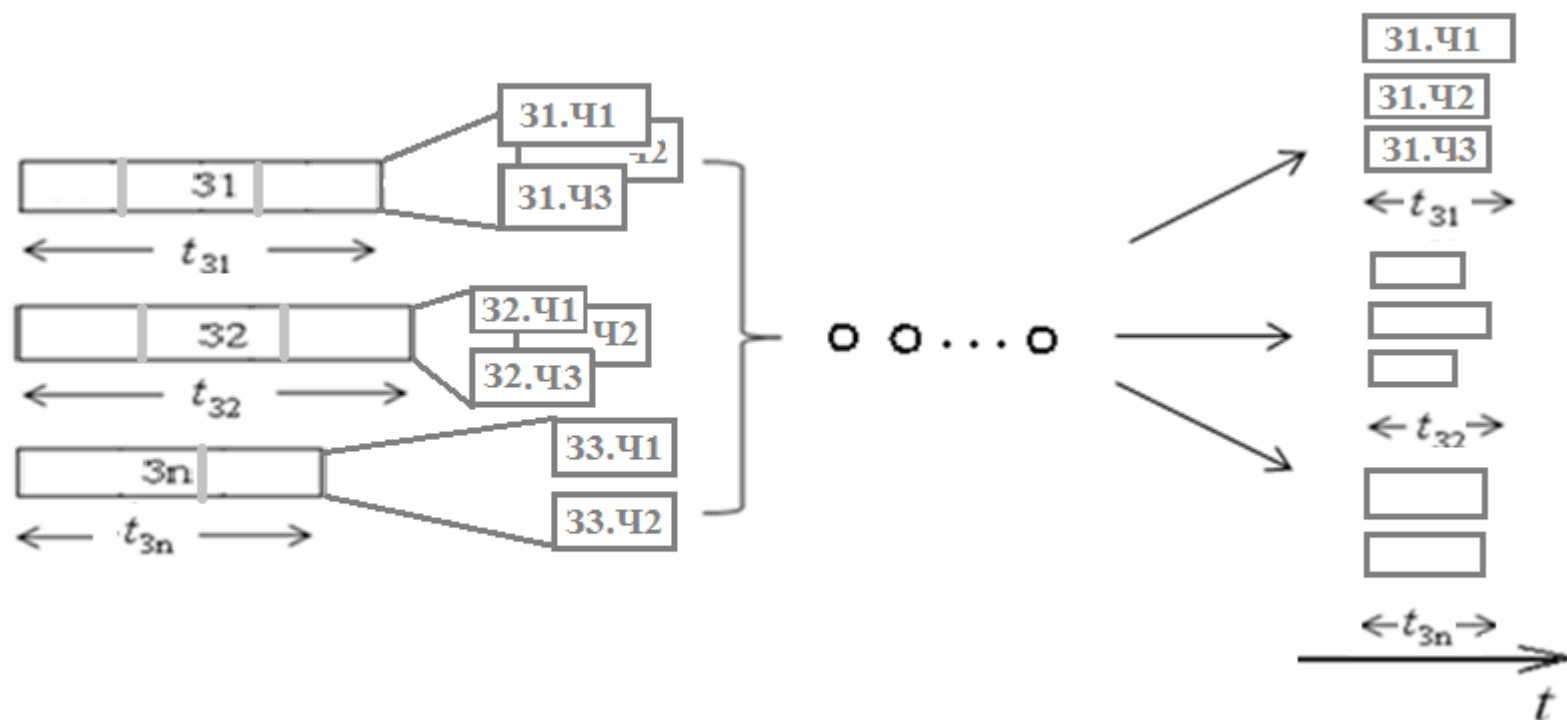


Сложности реализации:

- Готовые сетевые решения не подходят
- Очень жёсткие требования к задержкам (≈ 1 нс) и энергопотреблению.
- Коммутаторы на чипе должны занимать мало места, а значит не могут иметь сложную логику и большой размер буфера.
- На физическом уровне внутри чипа выгоднее предавать биты не последовательно по одному проводнику, а по 32- или 64-разрядным параллельным каналам.

<https://habr.com/ru/post/143510/>

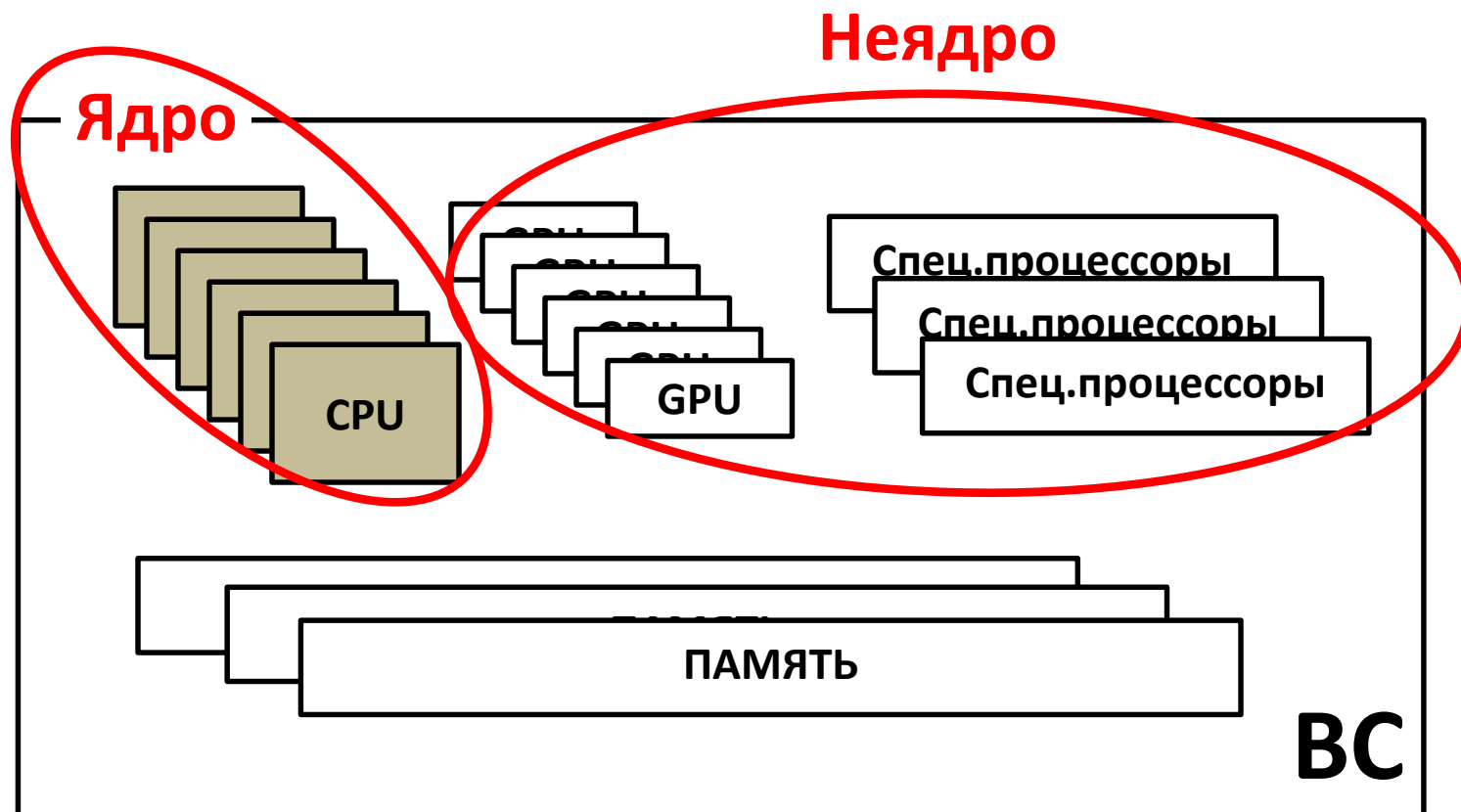
МНОГОПРОЦЕССОРНОСТЬ



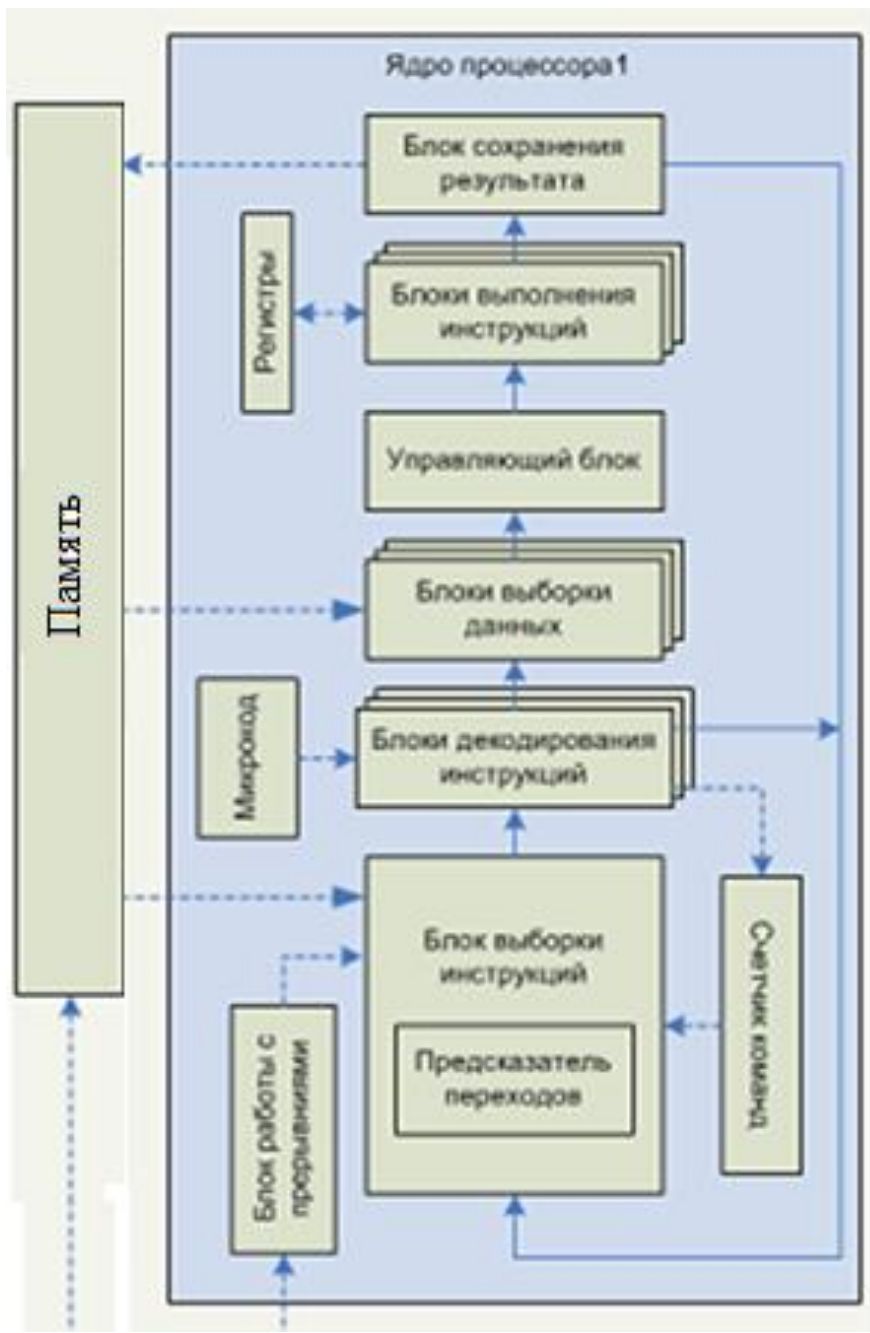
временная диаграмма многопроцессорного обслуживания

МНОГОПРОЦЕССОРНОСТЬ

Стандартное решение на нескольких кристаллах



ПУТИ СОВЕРШЕНСТВОВАНИЯ МИКРОАРХИТЕКТУРЫ ЦП



1. В ядре ЦП (конвейере).

2. В части «не ядро».

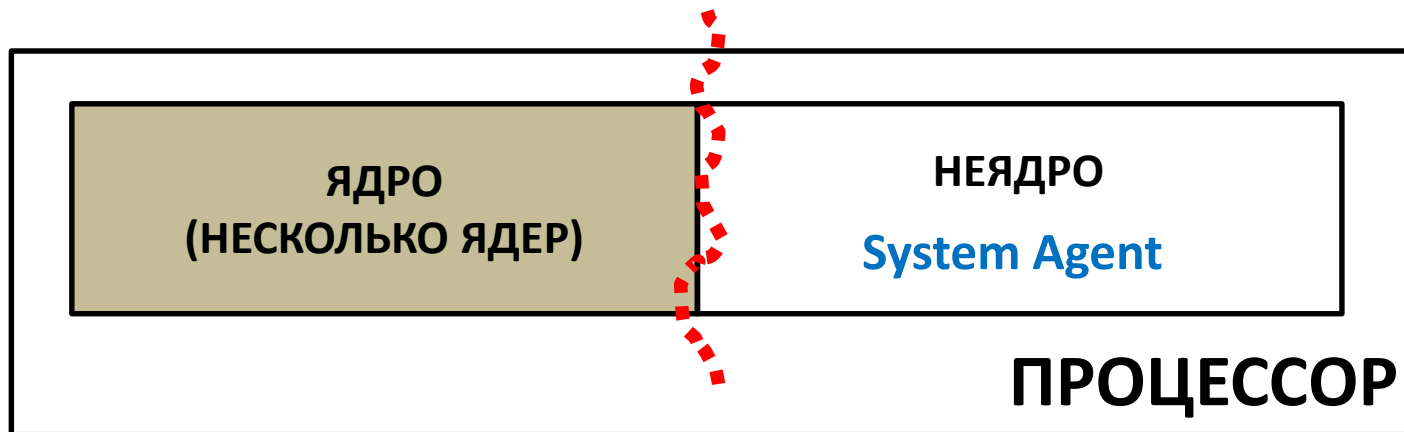
- КЭШ–технологии

- **Интеграция изначально не процессорных блоков на кристалл**

3. Общие принципы распараллеливания вычислений

ПРОЦЕССОР

(блоки из части «ядро» + блоки из части «не ядро»)



ЯДРО = конвейер+локальные КЭШ

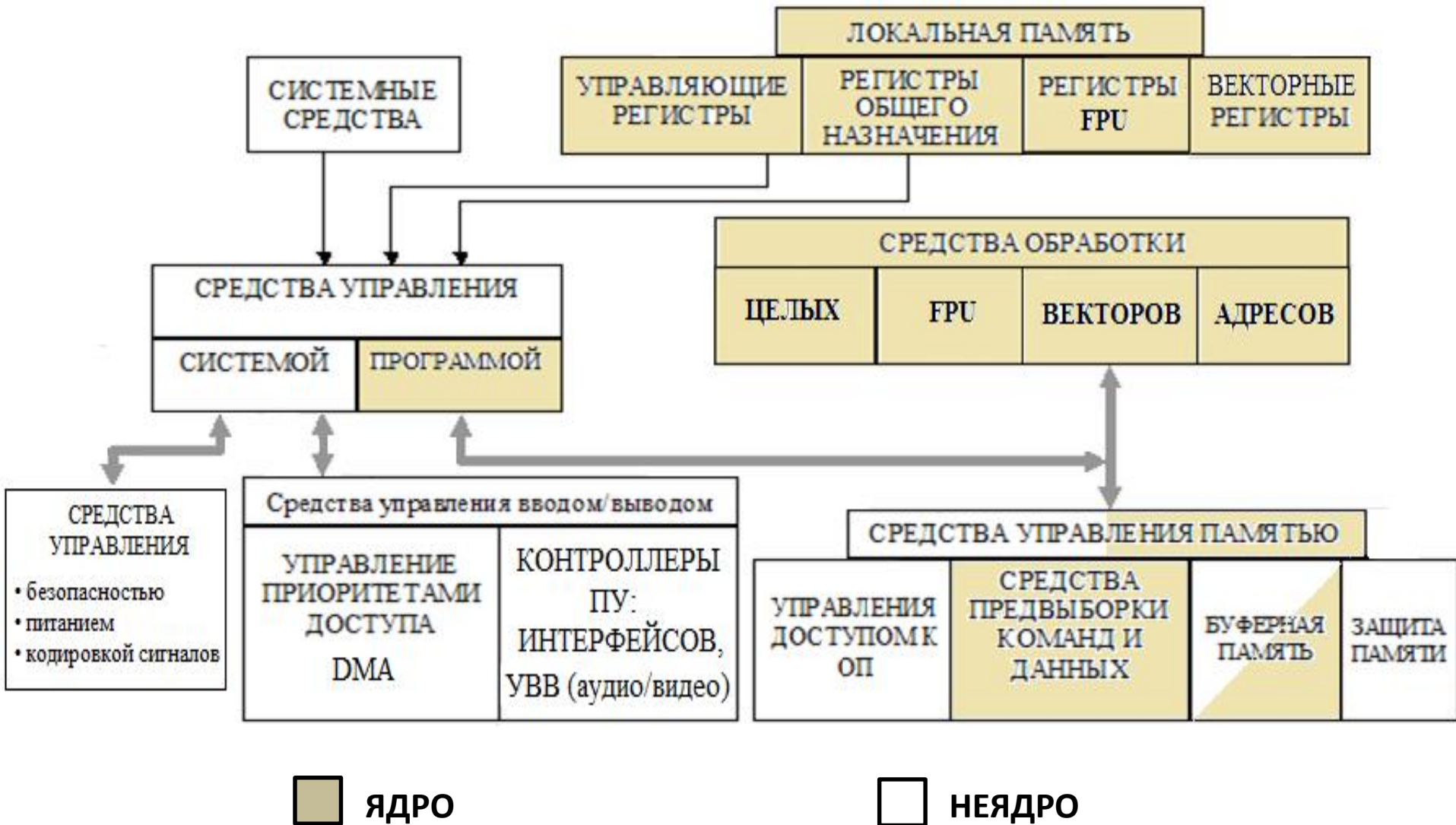
= средства для непосредственного выполнения команд одного/двух вычислительных потоков

НЕЯДРО

= средства для выполнения задач, общих для всей ВС (всех программных потоков)
Сетевое взаимодействие, мультимедиа, южный/северный мост, контроллеры интерфейсов и USB, спецпроцессоры (DSP, безопасность, ...) + **Память (КЭШ L2)**

System Agent = набор спецпроцессоров, контроллеров USB/интерфейсов

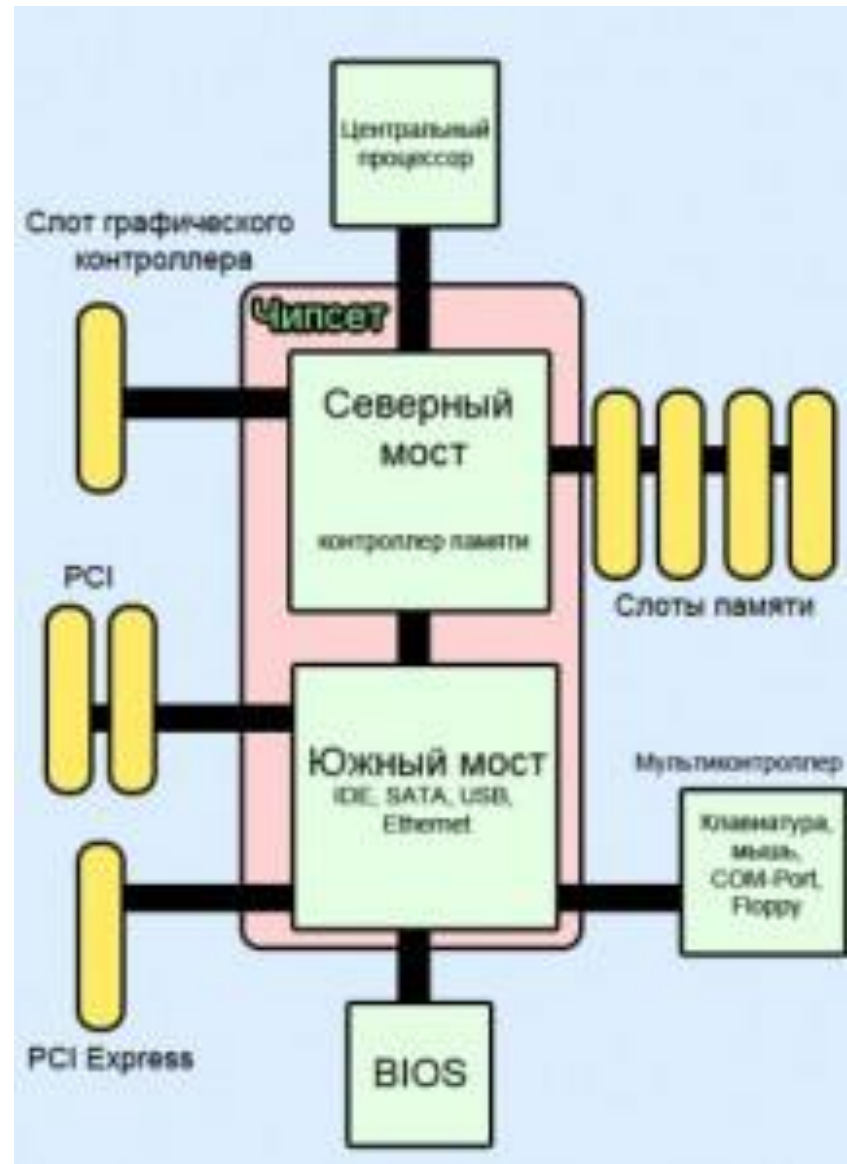
Части «ядро» и «не ядро» в функциональной схеме процессора



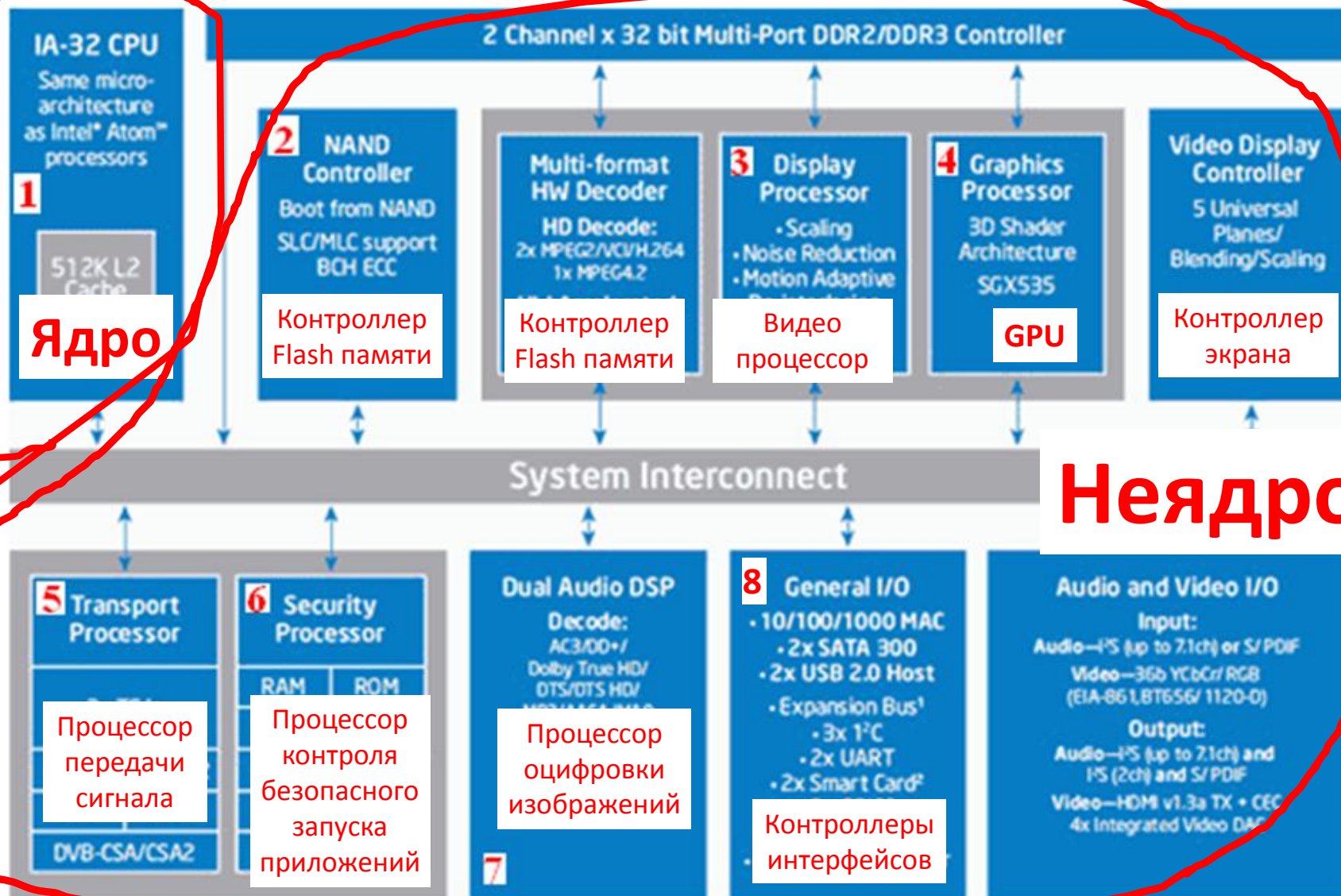
Стандартное решение ВС на нескольких микросхемах

Процессор = CPU = ядро

Функции неядра

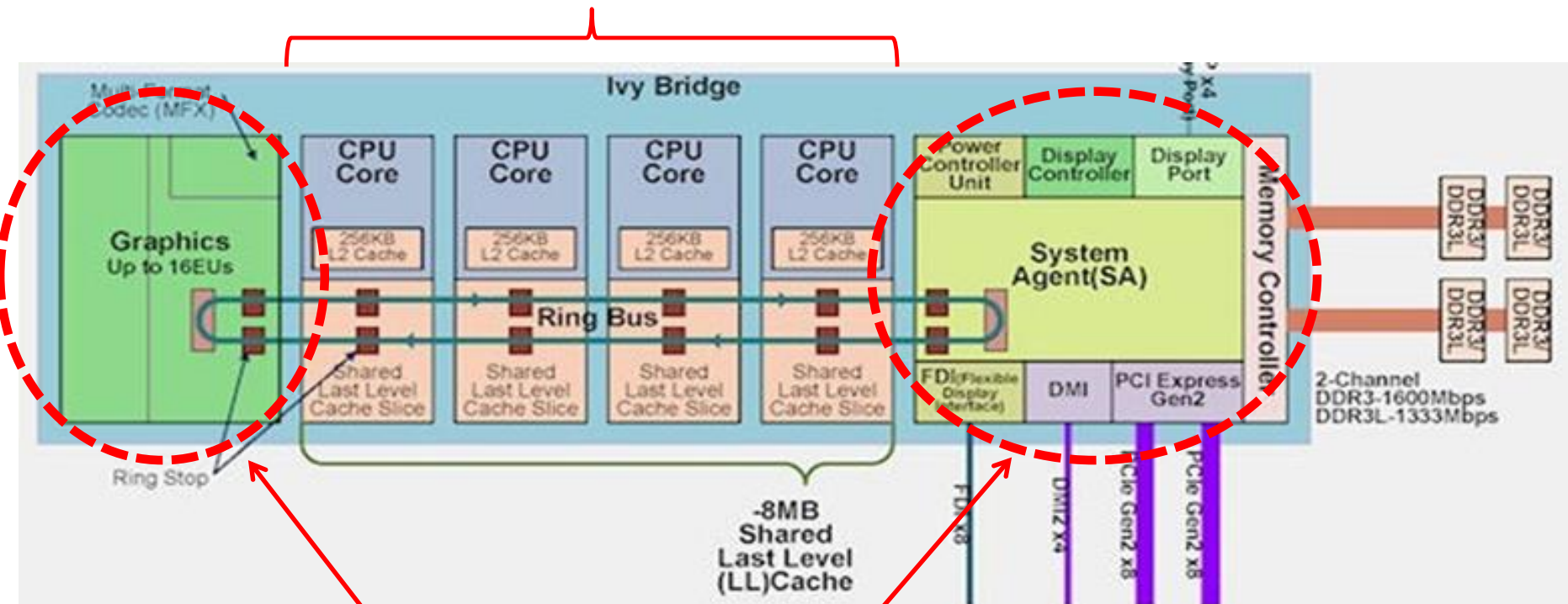


Архитектура встраиваемой ВС (системы на кристалле)



Интеграция изначально не процессорных блоков на кристалл

Ядро или ядра

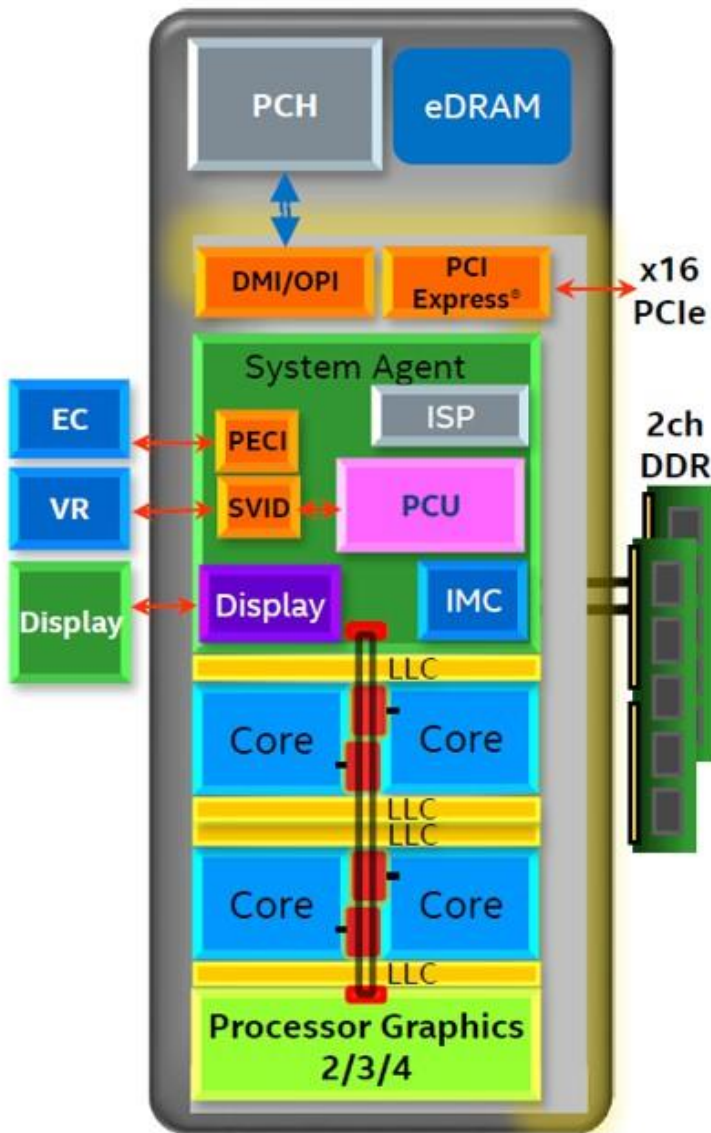


Графические ядра

Неядро

Контроллеры бывшие ранее
частью северного и южного моста

ПРОЦЕССОР = «ядро» + «не ядро»



Skylake

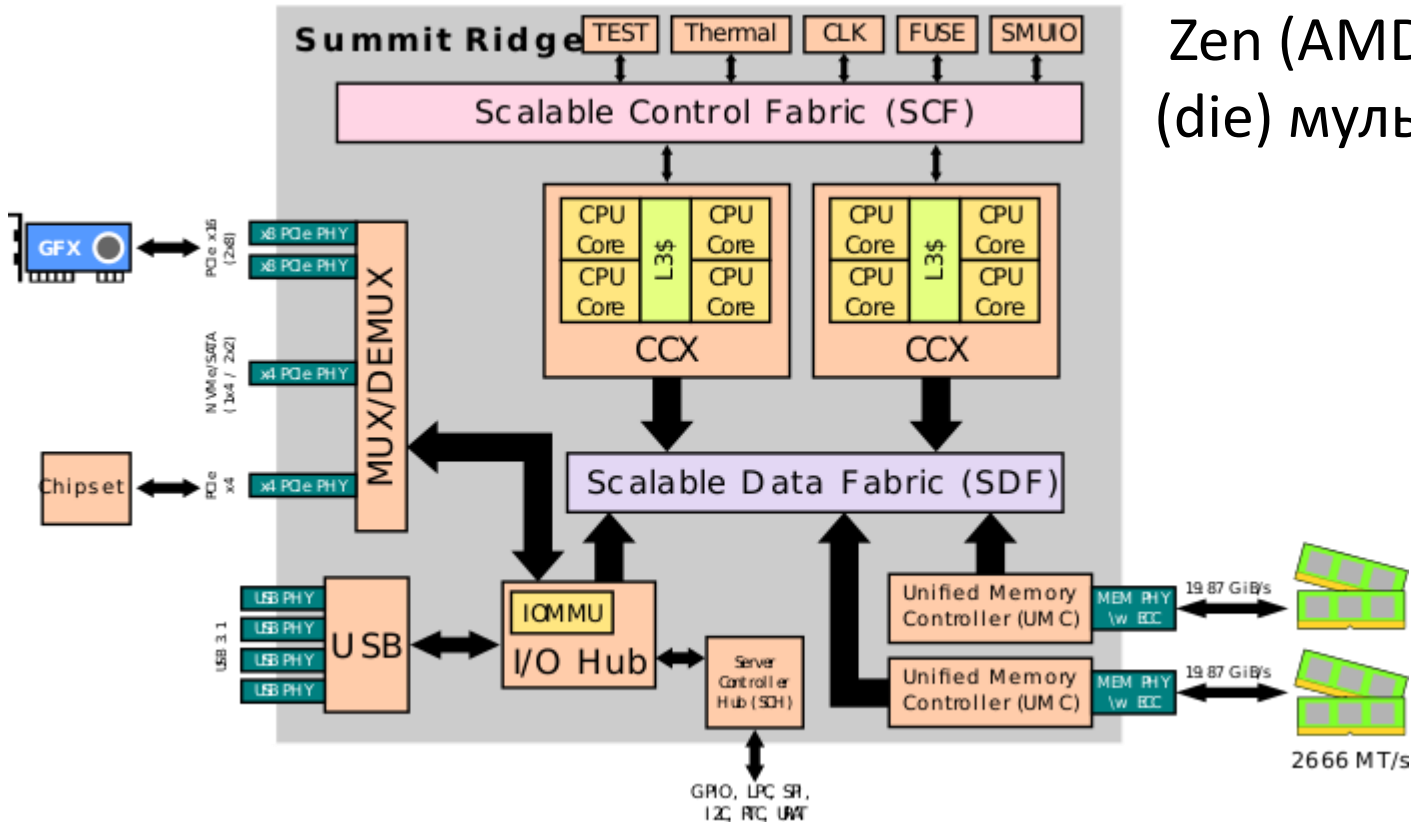
Стандартный набор компонентов процессора:

- 2-4 CPU (вычислительных ядер),
- GPU (графическая подсистема),
- общая кольцевая коммуникационная шина,
- блок контроллеров PCH (Platform Controller Hub) – аналог "южного моста") на многоканальной шине DMI/OPI,
- eDRAM - интегрированный "расширитель КЭШа",
- шины PCI Express x16,
- System Agent - встроенный модуль системных блоков:
 - управляющий блок PCU (Package Control Unit) с блоком контроля температуры и напряжения,
 - контроллер памяти DDR3L/DDR4,
 - блоки мультимедийной обработки и вывода видео,
 - процессор обработки изображений ISP (Image Signal Processing).

сегодня процессор ≠ CPU

ПРОЦЕССОР = «ядро» + «не ядро»

Zen (AMD) - один кластер (die) мульти-чипа Naples



- 8 CPU Core (вычислительных ядер),
- Интерфейс Infinity Fabric (SCF+SDF – для обмена данными и управляющими сигналами),
- Набор контроллеров (памяти, I/O, межпроцессорного обмена)