技 术 文 件

ORRU FPGA概要设计方案

前传接口

拟 制

校 对

审 核

批 准

修订记录

|  |  |  |  |
| --- | --- | --- | --- |
| 日期 | 修订版本 | 修改描述 | 作者 |
| 2020.7.13 | V0.1 | 初版 |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

目 录

1. 引言 4

1.1. 编写目的 4

1.2. 术语定义 4

1.3. 参考资料 4

2. 概述 4

2.1. 项目描述 4

2.2. 拓扑网络 4

2.3. FPGA功能需求 4

2.4. 开发环境 4

3. FPGA概要设计方案 5

3.1. FPGA系统框架 5

3.2. 时钟与复位 5

3.3. 接口 5

3.4. DDC/DUC中频链路 5

3.5. 应用功能模块 5

3.6. 数据传输 5

3.7. 时延统计与补偿 6

3.8. FPGA资源评估与选型 6

4. 方案难点与风险分析 7

1. 引言
   1. 编写目的

本文档描述ORRU项目中ORAN前传接口的具体设计。根据本文档，FPGA工程师可以进行详细的代码设计、构建逻辑仿真平台以及搭建逻辑测试平台，同时便于后续产品需求变更和故障跟踪。

* 1. 术语定义

表 1术语或缩写的定义描述

|  |  |  |
| --- | --- | --- |
| **序号** | **术语** | **定义说明** |
| **1** | ORAN |  |
| **2** |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

* 1. 参考资料

1. 概述
   1. 项目描述
   2. FPGA功能需求
   3. 开发环境

开发环境：Vivado 2018.3

仿真环境：Vivado 2018.3

1. FPGA概要设计方案
   1. FPGA系统框架



图3.1-1 FPGA功能框图

如图3-1所示，FPGA整体功能可以分为FPGA\_FH和FPGA\_DIF两个功能部分。

FPGA\_FH功能是ORAN前传接口，参考标准ORAN协议和eCPRI协议实现；

FPGA\_DIF功能是实现数字中频处理设计、AD937X芯片接口设计以及外围设备管理。

整个系统的时钟由时钟芯片AD954x提供，RU端时钟通过TimeCtrl模块与上级DU设备或本地GPS同步。

* 1. 时钟与复位

系统时钟由时钟芯片AD954x提供，包括FPGA内部逻辑参考时钟、JESD204B接口SERDES参考时钟以及以太网口SERDES参考时钟；

FPGA内部PS侧到PL侧的AXI随路时钟作为PS\_PL总线时钟、DPD\_CTRL时钟以及其他挂在PS侧AXI总线上的功能模块AXI操作时钟；

|  |  |  |
| --- | --- | --- |
| 模块 | 时钟域 | 说明 |
| CPU接口 | PS\_CLK100M | PS随路时钟，实现AXI总线解码及寄存器读写 |
| JESD204B SERDES | CLK\_153M6\_P/N | 时钟芯片提供的差分参考 |
| JESD204B | CLK\_61M44  CLK\_153M6  CLK\_307M2  CLK\_368M64 | 61.44M时钟用于JESD204B及SERDES核DRP时钟  153.6M/307.2M时钟用于AD9370 204B核  307.2M/368.64M是FPGA系统时钟，完成AD/DA数据时钟域转换 |
| 滤波器、时延补偿 | CLK\_368M64 | FPGA系统时钟 |
| DPD\_CTRL | PS\_CLK100M | PS\_AXI时钟 |
| eCPRI组帧/解帧 | CLK\_153M6  CLK\_368M64 | 153.6M时钟用于组帧和解帧；  Gtx\_Usr\_Clk是Serdes用户时钟，完成Cpri帧数据的时钟域转换。 |
| 以太网口Serdes | CLK\_153M6\_P/N | 时钟芯片提供的差分参考 |

复位包括硬复位和软复位两种，硬复位通过板上按键开关控制，软复位由PS侧操作寄存器进行复位。

* 1. 资源消耗

|  |  |  |  |
| --- | --- | --- | --- |
| Module | DSP | RAM | Total |
| ADC/FB接收功率统计 | 16 | 0 | DSP：2356（2020）  RAM：1175（755） |
| AGC | 8 | 0 |
| 载波分离 | 12 | 8 |
| DDC | 216 | 20 |
| 载波增益调整 | 4 | 0 |
| 载波功率统计 | 4 | 0 |
| DUC | 248 | 6 |
| 载波合成 | 12 | 8 |
| CFR | 128 | 34 |
| DPD | 668 | 314 |
| DAC发射功率统计 | 16 | 0 |
| Mapping/Demapping | 0 | 0 |
| Ping-pang BUF | 0 | 224+56  5G+LTE |
| Comp/Decmp | 0 | 0 |
| FFT/IFFT  5G\*4+LTE\*2  5g下行并行处理，上行2天线复用；  LTE 4天线复用 | 360+240 | 75+25 |
| PHASE | 64 | 9 |
| Add/Remove CP | 0 | 128 |

* 1. 接口
     1. MCU接口

PS和PL之间通过AXI接口进行交互。

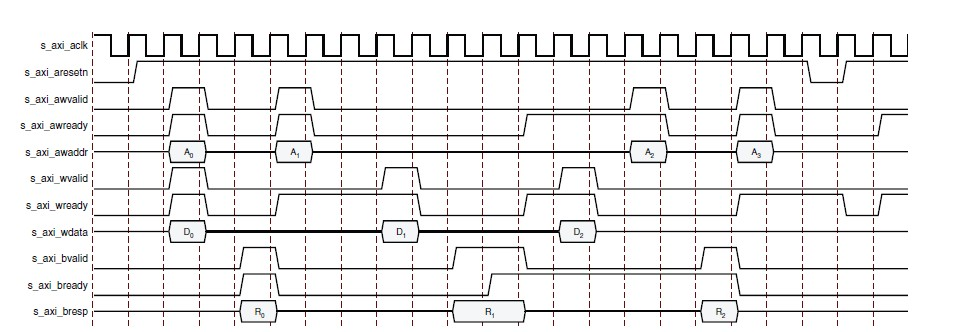


图3.3-1 AXI写时序

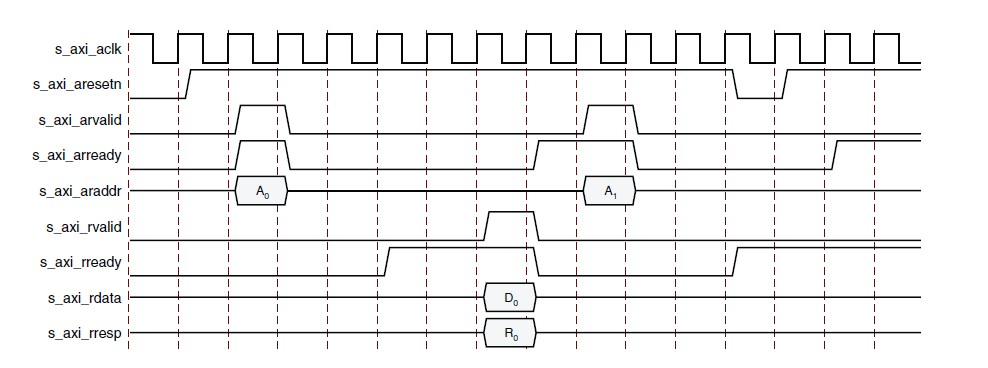


图3.3-2 AXI读时序

* + 1. AXI配置接口

CFR和DPD核采用AXI直接配置模式，接口时序如图3.3-1和3.3-2所示。

JESD配置接口采用PS-PL寄存器转发模式。

* + 1. JESD204B接口

AD937x采样JESD204B接口，TX最大采样率支持307.2M，RX最大采样率支持153.6M，FB最大采样率支持307.2M，数据位宽16bit，204B接口采用8B/10B编码。JESD204B接口速率采用6.144Gbps。TX/RX/FB共用4个SERDES，TX采用4LANE传输，RX采用2LANE传输,FB采用2LANE传输。

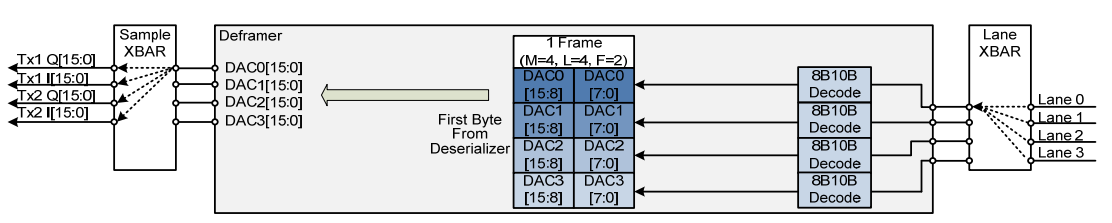


图3.3-3 TX Deframer

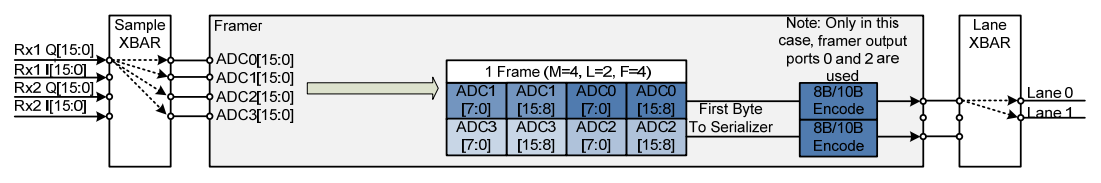


图3.3-4 RX/FB Framer

* + 1. 以太网口SERDES接口

RU有两个以太网光口，光口速率10Gbps。

* 1. FPGA\_FH概要设计
     1. 功能框图



3.4-1 FPGA\_FH功能框图

如上图所示，FPGA前传接口部分可以划分为以下模块：

* 10G MAC，使用Xilinx IPcore方案，主要完成以太网包的串并转换；
* Switch，以及C/U/M/S-plane数据的分发；
* MII，PL和PS数据交互接口，完成S/M-plane数据透传；
* eCPRI Mapping/Demapping，根据eCPRI协议定义完成C/U数据的下行解帧和上行组帧；
* ping-pang BUF，缓存2个symbol数据，并完成312.5MHz时钟域到245.76MHz时钟域转换；
* Comp/Decomp，U面数据的压缩/解压缩处理模块；
* FFT\_SHIFT，根据FFT点数设置，完成数据填充和删除；
* PHASE，相位补偿模块，4G不做需求；
* FFT/IFFT，U面数据的时域和频域转换；
* Add/Remove CP，根据物理层定义添加和去除CP；
* FIFO，时钟域转换FIFO；
* TimeCtrl，同步管理模块，完成GPS/1588V2同步处理，输出RU单板时钟同步参考和SFN计算。
  + 1. 10G MAC
       1. 模块原理
       2. 输入输出接口定义
       3. 关键时序
    2. Switch
       1. 模块原理

通过VLAN\_ID区分接收到的数据包类型，C/U-plane数据送入eCPRI Mapping/Demapping模块，S/M-plane数据经过MII透传给到PS侧。

* + - 1. 输入输出接口定义

* + - 1. 关键时序
    1. MII
       1. 模块原理
       2. 输入输出接口定义
       3. 关键时序
    2. eCPRI Mapping/Demapping
       1. 模块原理
       2. 输入输出接口定义
       3. 关键时序
    3. ping-pang BUF
       1. 模块原理
       2. 输入输出接口定义
       3. 关键时序
    4. Comp/Decomp
       1. 模块原理
       2. 输入输出接口定义
       3. 关键时序
    5. FFT\_SHIFT
       1. 模块原理
       2. 输入输出接口定义
       3. 关键时序
    6. PHASE
       1. 模块原理
       2. 输入输出接口定义
       3. 关键时序
    7. FFT/IFFT
       1. 模块原理
       2. 输入输出接口定义
       3. 关键时序
    8. Add/Remove CP
       1. 模块原理
       2. 输入输出接口定义
       3. 关键时序
    9. FIFO
       1. 模块原理
       2. 输入输出接口定义
       3. 关键时序
    10. TimeCtrl
        1. 模块原理
        2. 输入输出接口定义
        3. 关键时序

1. 方案难点与风险分析

初步估计的资源使用超出芯片最大容量。需进一步优化资源消耗。