



# Podstawy elektroniki cyfrowej

Lab1



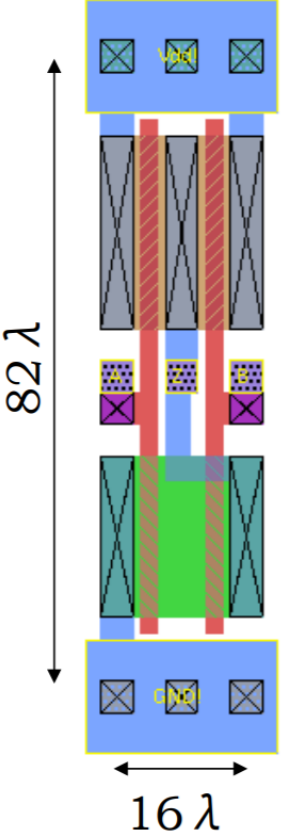
Przykład układu scalonego

Cena bramki NAND

Bramki transmisyjne

Multiplekser

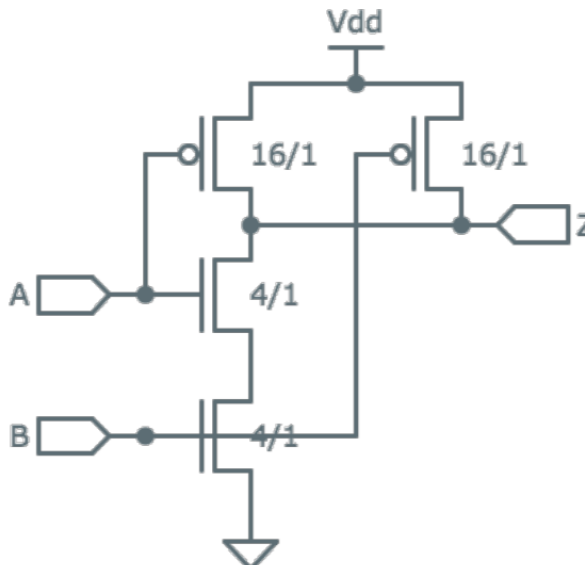
# Cena bramki NAND



82λ

16λ

Current technology: λ = 14nm



What function does this gate compute?

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

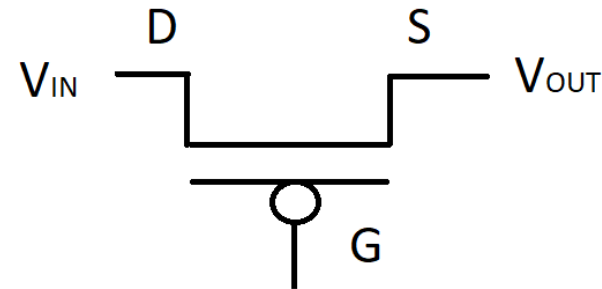
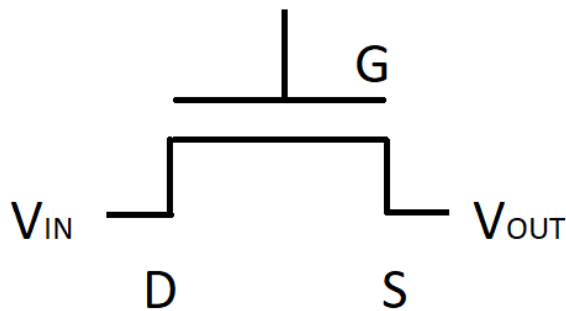
NAND

**COST for an older 45nm process:**

- \$3500 per 300mm wafer
- 300mm round wafer =  $\pi (150e^{-3})^2 = .07m^2$
- NAND gate =  $(82)(16)(45e^{-9})^2 = 2.66e^{-12}m^2$
- $2.6e^{10}$  NAND gates/wafer (= 100 billion FETS!)
- marginal cost of NAND gate: **132n\$**

# Bramki transmisyjne

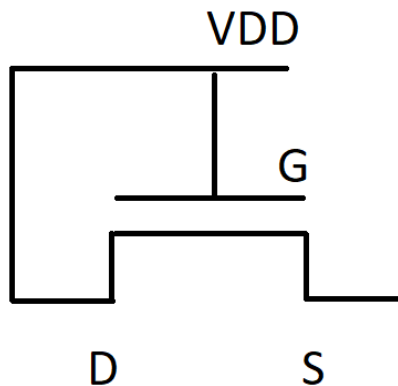
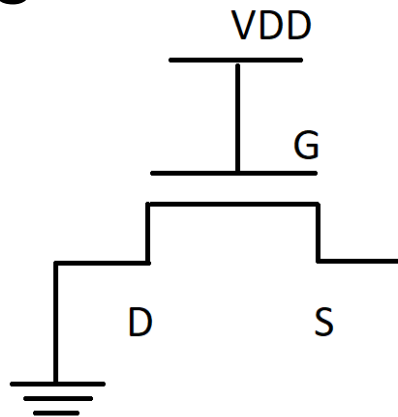
Tranzystory NMOS i PMOS mogą działać jak klucze analogowe. Ale czy napięcie na wyjściu dokładnie odwzorowuje napięcie na wejściu?



Idealnie chcielibyśmy uzyskać  $V_{IN} = V_{OUT}$  zarówno dla 0 jak i 1.

# Bramki transmisyjne

NMOS



Założmy, że  $V_{GS} > V_T$ , czyli tranzystor .....

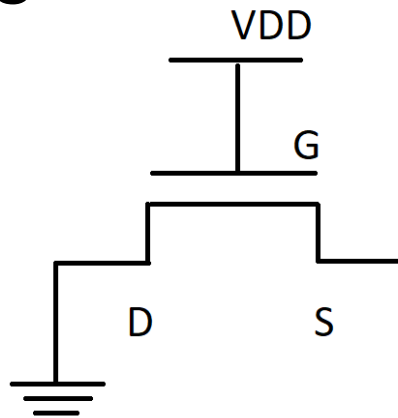
Jeśli  $V_{IN} = V_D = 0$  to  $V_S = \dots\dots$

Jeśli  $V_{IN} = V_D = V_{DD}$ , to na wyjściu oczekivalibyśmy  $V_{DD}$ , ale...

Jeśli  $V_S$  rośnie i osiągnie wartość:  
 $V_S = V_{DD} - V_T$ , to  
 $V_{GS} = \dots\dots\dots$

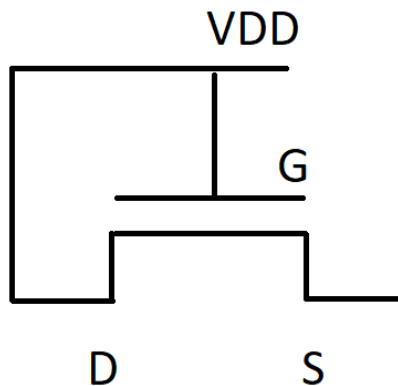
# Bramki transmisyjne

NMOS



Założmy, że  $V_{GS} > V_T$ , czyli tranzystor przewodzi

Jeśli  $V_{IN} = V_D = 0 \Rightarrow V_S = 0$



Jeśli  $V_{IN} = V_D = V_{DD}$ , to na wyjściu oczekivalibyśmy  $V_{DD}$ , ale...

Jeśli  $V_S$  rośnie i osiągnie wartość:

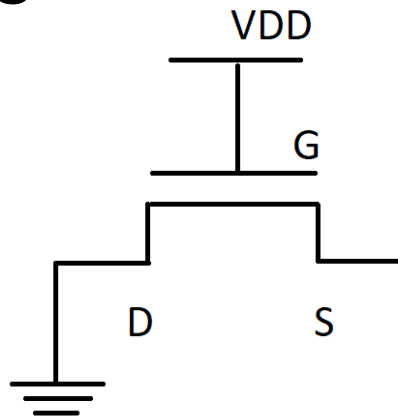
$V_S = V_{DD} - V_T$ , to

$V_{GS} = V_{DD} - (V_{DD} - V_T) = V_T$

... i tranzystor wyłączy się, czyli nigdy nie osiągniemy  $V_{DD}$

# Bramki transmisyjne

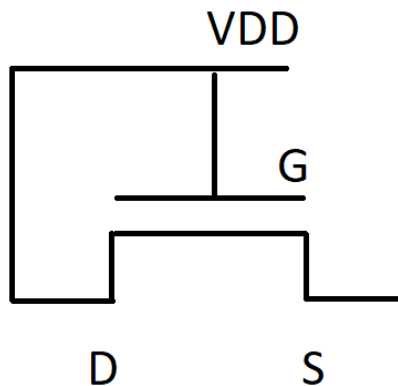
NMOS



Założmy, że  $V_{GS} > V_T$ , czyli tranzystor przewodzi

Jeśli  $V_{IN} = V_D = 0 \Rightarrow V_S = 0$

**MOCNE „0”**



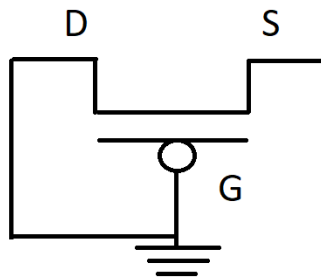
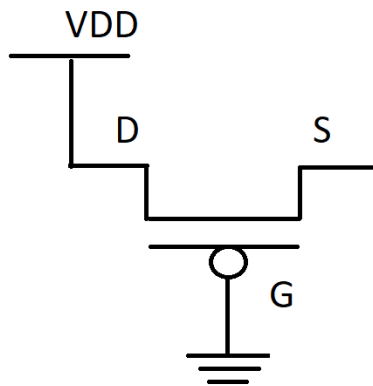
Jeśli  $V_{IN} = V_D = V_{DD}$ , to na wyjściu oczekivalibyśmy  $V_{DD}$ , ale...

Jeśli  $V_S$  rośnie i osiągnie wartość:  
 $V_S = V_{DD} - V_T$ , to  
 $V_{GS} = V_{DD} - (V_{DD} - V_T) = V_T$   
 ... i tranzystor wyłączy się

**SŁABE „1”**

# Bramki transmisyjne

## PMOS



Założmy, że  $V_{GS} < -V_T$ , czyli tranzystor .....

Jeśli  $V_{IN} = V_D = V_{DD} \Rightarrow V_S = \dots\dots\dots$

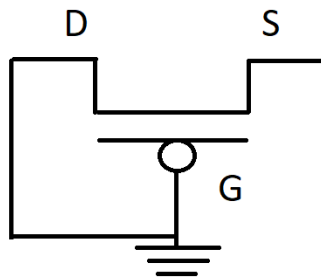
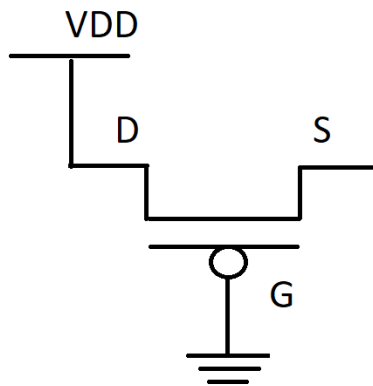
Jeśli  $V_{IN} = V_D = 0$ , to na wyjściu oczekivalibyśmy 0, ale...

Jeśli  $V_S$  maleje i osiągnie wartość:  
 $V_S = V_T$ , to  
 $V_{GS} = \dots\dots\dots$



# Bramki transmisyjne

## PMOS



Założmy, że  $V_{GS} < -V_T$ , czyli tranzystor przewodzi

Jeśli  $V_{IN} = V_D = V_{DD} \Rightarrow V_S = V_{DD}$

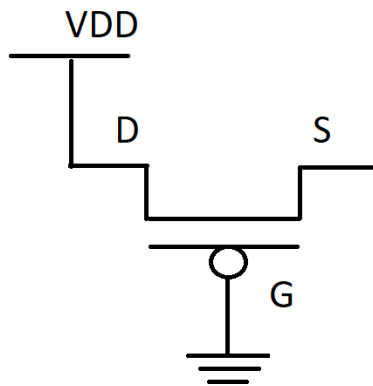
Jeśli  $V_{IN} = V_D = 0$ , to na wyjściu oczekivalibyśmy 0, ale...

Jeśli  $V_S$  maleje i osiągnie wartość:  
 $V_S = V_T$ , to  
 $V_{GS} = -V_T$

... i tranzystor wyłączy się, czyli  $V_S$  nigdy nie osiągnie 0

# Bramki transmisyjne

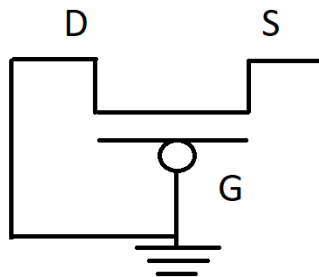
PMOS



Założmy, że  $V_{GS} < -V_T$ , czyli tranzystor przewodzi

Jeśli  $V_{IN} = V_D = V_{DD} \Rightarrow V_S = V_{DD}$

**MOCNE „1”**

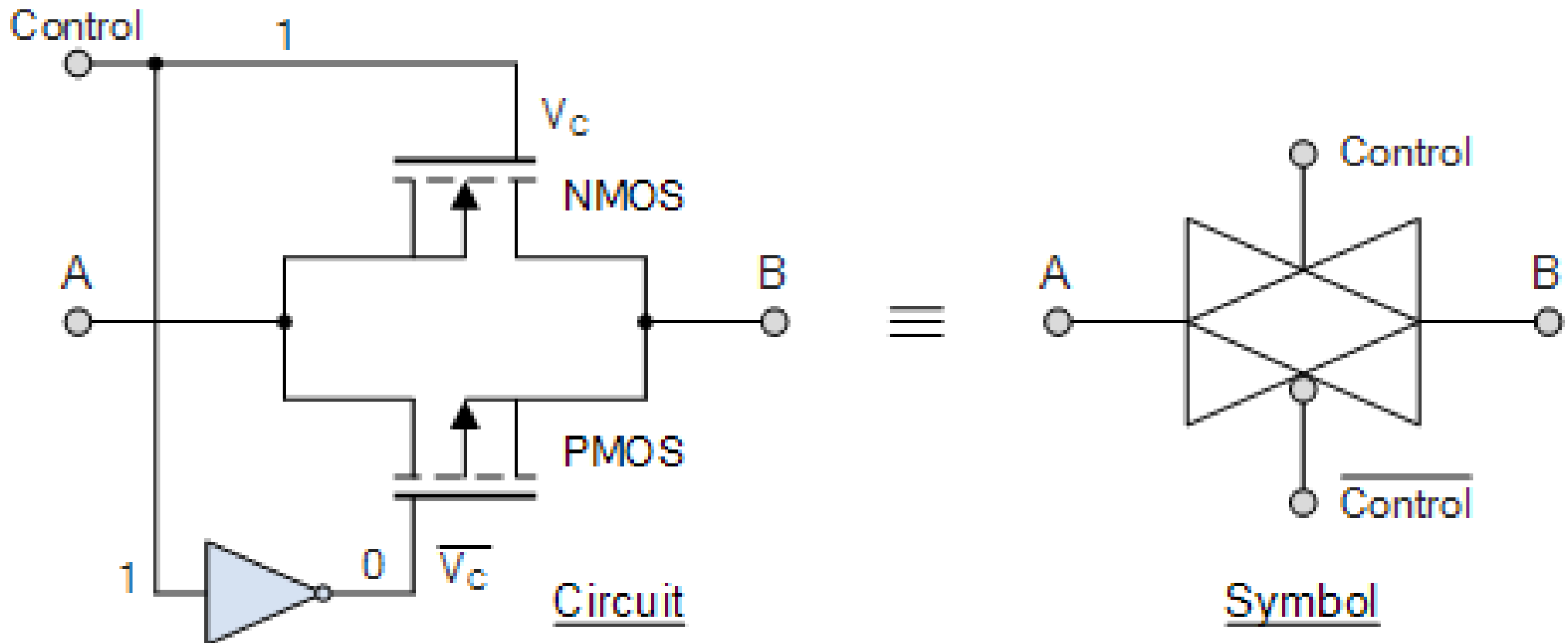


Jeśli  $V_{IN} = V_D = 0$ , to na wyjściu oczekivalibyśmy 0, ale...

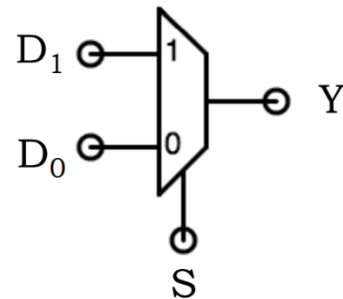
Jeśli  $V_S$  maleje i osiągnie wartość:  
 $V_S = V_T$ , to  
 $V_{GS} = -V_T$   
 ... i tranzystor wyłączy się

**SŁABE „0”**

# Bramki transmisyjne



# Multiplexer

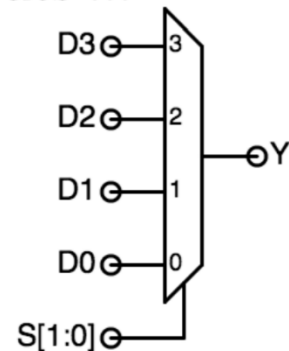


2-input Multiplexer

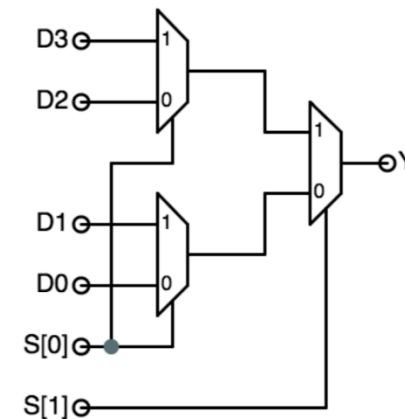
Truth Table

S	D <sub>1</sub>	D <sub>0</sub>	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

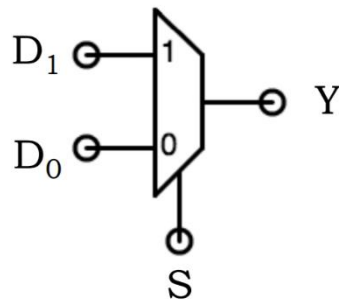
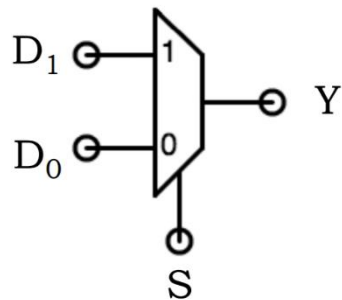
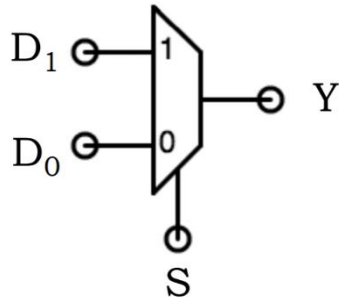
MUXes can be generalized to  $2^k$  data inputs and  $k$  select inputs ...



... and implemented as a tree of smaller MUXes:



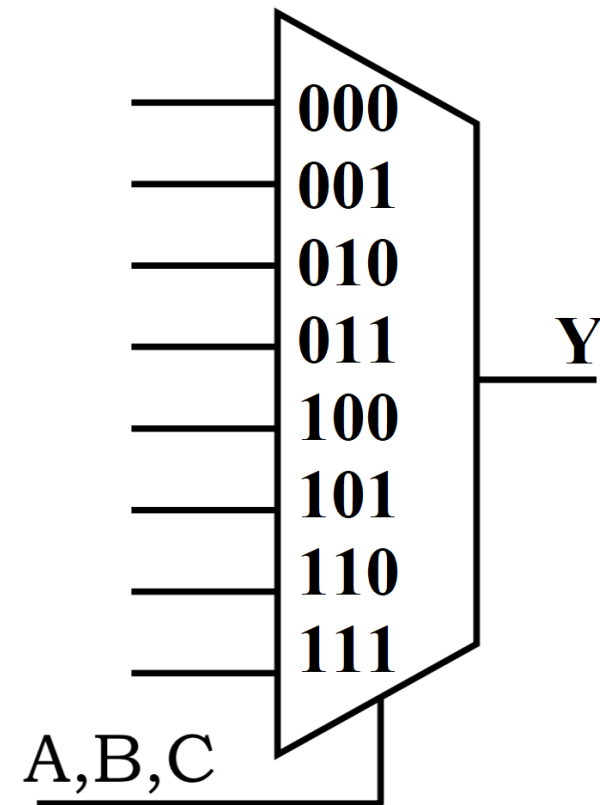
# Multiplexer



# Realizacja funkcji logicznej

$$Y = A\bar{B} + \bar{B}\bar{C} + \bar{A}BC$$

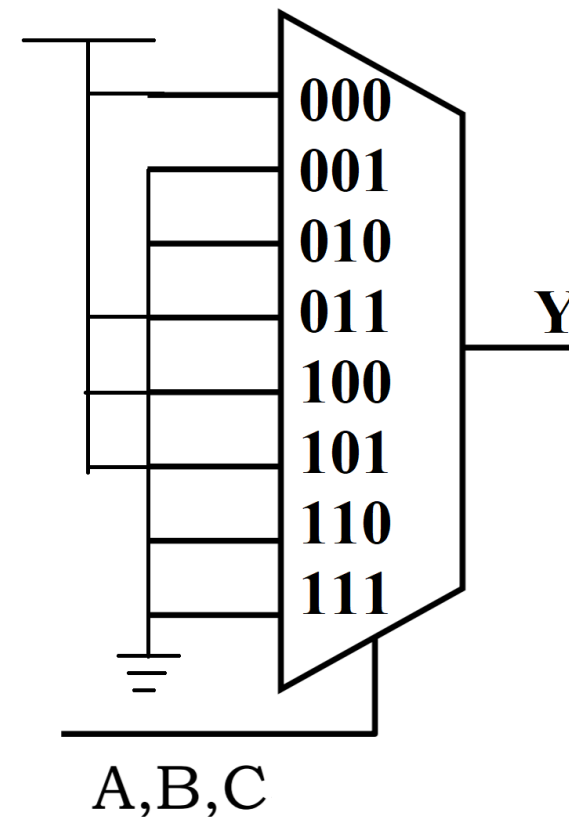
A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



# Realizacja funkcji logicznej

$$Y = A\bar{B} + \bar{B}\bar{C} + \bar{A}BC$$

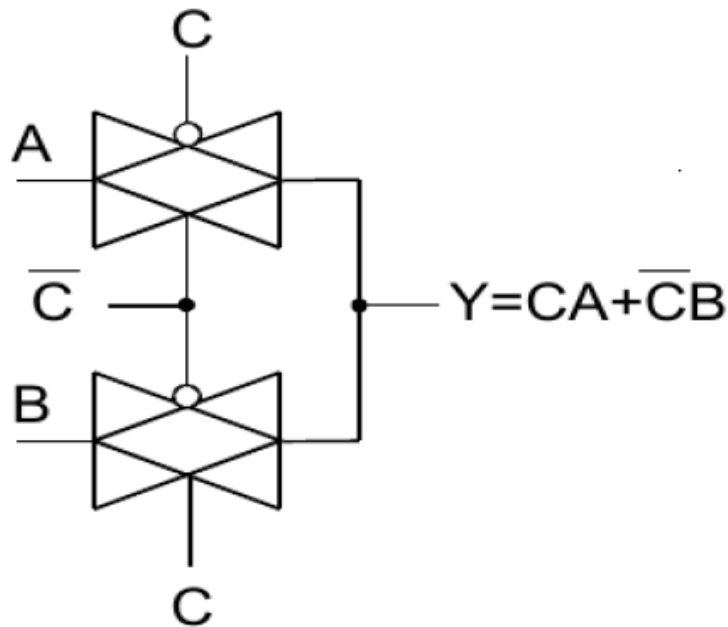
A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0



# MUX z bramek logicznych



Jak zbudować MUX z bramek NAND?



$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

$$\overline{A} \cdot \overline{B} = \overline{A + B}$$

