

MZT

Laboratorium 3

Przemysław Kleszcz

Nr albumu: 124624


Platforma testowa

CPU-Z

CPU | Caches | Mainboard | Memory | SPD | Graphics | Bench | About

Processor

Name	Intel Core i5 7200U		
Code Name	Kaby Lake-U/Y	Max TDP	15.0 W
Package	Socket 1356 FCBGA		
Technology	14 nm	Core VID	0.648 V



Specification: Intel® Core™ i5-7200U CPU @ 2.50GHz

Family	6	Model	E	Stepping	9
Ext. Family	6	Ext. Model	8E	Revision	B0

Instructions: MMX, SSE, SSE2, SSE3, SSSE3, SSE4.1, SSE4.2, EM64T, VT-x, AES, AVX, AVX2, FMA3

Clocks (Core #0)

Core Speed	998.05 MHz
Multiplier	x 10.0 (4 - 31)
Bus Speed	99.81 MHz
Rated FSB	

Cache

L1 Data	2 x 32 KBytes	8-way
L1 Inst.	2 x 32 KBytes	8-way
Level 2	2 x 256 KBytes	4-way
Level 3	3 MBytes	12-way

Selection: Socket #1 | Cores: 2 | Threads: 4

CPU-Z Ver. 1.83.0.x64 | Tools | Validate | Close

Wyliczenie bloku optymalnego

$$\sqrt{\left(\frac{32 \cdot \frac{1024}{8}}{3}\right)} = 36$$

Metoda klasyczna

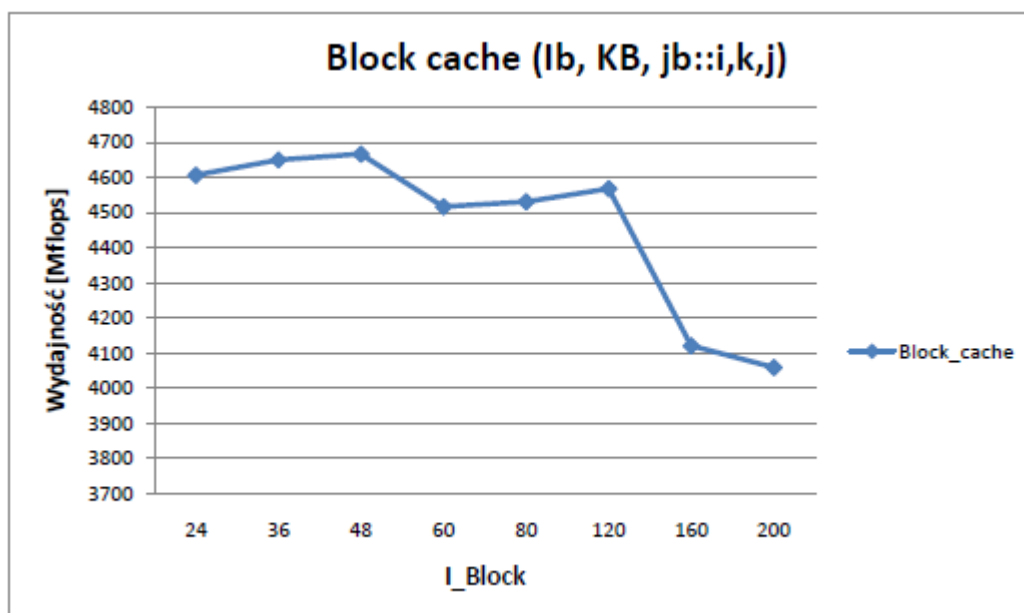
N	Rozmiar bloku	Wydajność MFLOPS (Średnia)	Czas (średni)
1936	Brak	393,11	36,91

Metoda HP

N	Rozmiar bloku	Wydajność MFLOPS (Średnia)	Czas (średni)
1936	Brak	2831,93	5,12

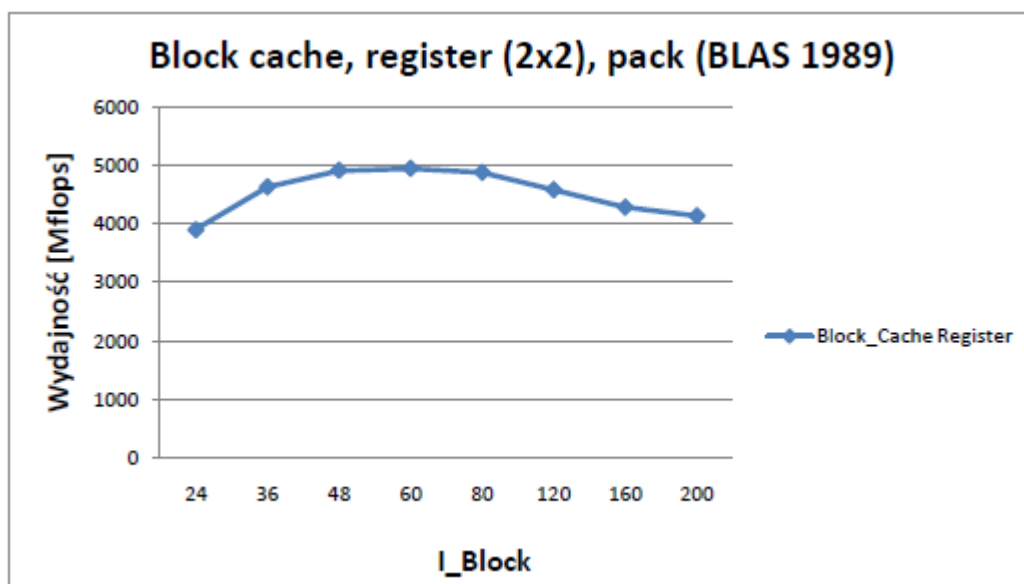
Metoda Block cache (lb, KB, jb::i,k,j)

N	Rozmiar bloku	Wydajność MFLOPS (Średnia)	Czas (średni)
1992	24	4606,113	3,43
1980	36 (optymalny)	4650,02	3,33
1968	48	4666,34	3,27
1980	60	4516,143	3,43
2000	80	4530,49	3,53
1920	120	4567,87	3,09
1920	160	4119,99	3,43
2000	200	4058,07	3,948



Metoda Block cache, register

N	Rozmiar bloku	Wydajność MFLOPS (Średnia)	Czas (średni)
1992	24	3902,83	4,05
1980	36 (optymalny)	4635,74	3,34
1968	48	4919,27	3,09
1980	60	4952,07	3,13
2000	80	4884,20	3,27
1920	120	4587,3	3,08
1920	160	4287,96	3,30
2000	200	4141,20	3,86



Metoda Block cache (kb, jb=1, ib) , block XMM registers

N	Rozmiar bloku	Wydajność MFLOPS (Średnia)	Czas (średni)
1992	24	14883,26	1,06
1980	36 (optymalny)	20696,4	0,75
1968	48	24387,73	0,62
1980	60	26148,66	0,59
2000	80	29856,16	0,53
1920	120	31653,2	0,44
1920	160	32832,46	0,43
2000	200	34115,1	0,46

