

UNIVERSITÉ PIERRE ET MARIE CURIE

PSESI

Projet Centrale DCC
Document De recherche
bibliothécaire

Étudiant :

Maxime AYRAULT
3203694

Encadrant :

Julien DENOULET

16 mai 2017



1 Introduction

Le but de mon sujet était de développer sur FPGA un système d'aiguillage automatisé pour centrale DCC sur un train miniature.

J'ai décidé de découper mon projet en deux étapes afin de bien dissocier les problèmes durant le projet.

- Création de la centrale DCC.
- Ajout de la gestion des aiguillages.

J'ai rencontré quelques problèmes bloquants, notamment au niveau de la maquette qui était incomplète et qui de ce fait ne remplissait pas les conditions nécessaires à la réalisation de mon projet. J'ai donc décidé afin de pouvoir terminer ce projet de passer en mode simulation. Ce mode peut être considéré comme un mode test avant l'application en mode réel.

2 Mots clefs retenus

j'ai retenu deux mots clés qui me semblent importants pour la création de la centrale DCC. **FPGA** et **Protocole DCC**

La *carte FPGA* sert de plateforme de développement.

Le *protocole DCC* est le protocole qui permet de communiquer des informations aux trains.

Les mots clefs les plus importants concernant l'aiguillage sont **interlocking** et **Track Circuit**.

L'*interlocking* est la façon d'empêcher plusieurs trains de se retrouver l'un en face de l'autre.

Un *Track Circuit* est la plus petite portion de voie entre deux *capteurs*.

3 Descriptif Recherche

Pour obtenir les différents documents dont j'ai eu besoin lors de mon projet je suis passé par plusieurs sources. La principale étant *M.Denoulet* qui m'a donné les premiers documents [4] [3] [1] dont j'avais besoin pour comprendre le fonctionnement d'une *centrale DCC*.

J'ai utilisé *Google* en tant que moteur de recherche afin de trouver divers documents [2] [6] [8] [9] [7] qui m'ont aidé lors de mon projet.

Les documents complémentaires que j'ai dû écrire pour notamment définir les règles à mettre en place m'ont permis de me poser les bonnes questions lors de ce projet [5].

4 analyse de 3 sources

Source 1 :

Pour développer mon application Ocaml, je me suis appuyé sur le document de référence du **Ocaml** [8]. Ce document se trouve sur le site de l'**INRIA**. J'ai choisi ce site car le niveau de fiabilité concernant Ocaml est élevé. j'ai trouvé dans ce document tous les éléments nécessaires au développement de mon application.

Source 2 :

Datasheet Xilinx [2]. J'ai trouvé la datasheet de la carte FPGA , la *NEXYS4DDR*, que j'ai utilisé tout au long de mon projet, sur le site officiel du fabricant de la carte **XILINK**. Ce document m'a permis de mieux comprendre le fonctionnement de la carte. J'ai essayé d'exploiter le mieux possible les informations fournies.

Source 3 :

Pour déterminer la meilleure façon d'implémenter **l'interlocking** dans le cadre de mon projet, je me suis documenté en allant sur le site *www.railwaysignalling.eu* [6] qui regroupe toutes les informations partagées sur le fonctionnement des trains en Europe. Cela m'a permis d'obtenir des informations historiques mais aussi des informations et explications sur certaines notions nécessaires à la réalisation de mon projet.

Références

- [1] Datasheet locomotive “jouef” cc 72000.
- [2] Datasheet xilinx.
- [3] Dcc - digital command control for model train sets.
- [4] B.GRANADO et J.DENOULET. Cours fpga1. 2016.
- [5] M.Ayrault. Rapport de projet fpga.
- [6] railwaysignalling.eu. <http://www.railwaysignalling.eu/railway-interlocking-principles-railwaysignalling>.
- [7] D. Roverch. <http://roverch.net/modelisme/Signalisation.html>.
- [8] Alain Frisch Jacques Garrigue Didier Rémy Xavier Leroy, Damien Doligez and Jérôme Vouillon. *The OCaml system - Release 4.04 - Documentation and user’s manual*.
- [9] xxx. *VHDL Reference Manual*. 2016.