

# Développement FPGA d'une centrale DCC optimisée



#### Table des matières

- I. Contexte
- II. Objectifs
- III. Difficultés
- IV. Organisation
- V. Validation
- VI. Conclusion

Plan

#### Contexte

Projet en binôme

Contexte

 NMRA: National Model Railroad Association







# Objectifs

- Implémentation centrale DCC
  - Commande de trains miniatures
    - Vitesses
    - Fonctions (sons, lumières ...)
  - Basée sur carte de type FPGA
  - Envoi sur les rails via carte Booster



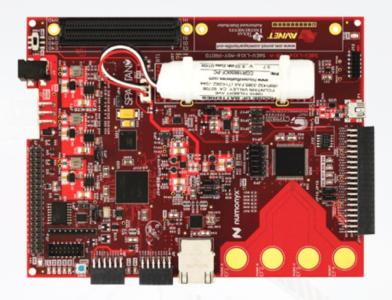
schéma de fonctionnement de l'envoi de la commande depuis la carte FPGA sur les rails

Objectifs

## **Outils**

- Carte Avnet LX16
  - FPGA Spartan 6
    - IP Centrale DCC
  - Micro-contrôleur softcore
    - Interface utlisateur
- Locomotive « Jouef »
  - Modèle CC72000(DC/DCC)
- Xilinx ISE





Objectifs

# Protocole DCC (1)

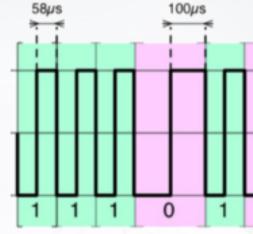
Envoi de trames standardisées

❖Suite de 1 et de 0

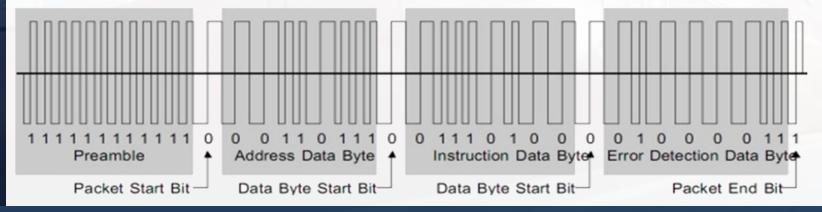
**Objectifs** 

-période de 1: **58µs\*2** 

-période de 0: 100μs\*2



Préambule, Adresse, Fonction, Contrôle



# Protocole DCC (2)

- Décodeur indispensable
  - ❖Intégré: locomotive DCC

ready/OnBoard

❖ À ajouter: locomotive

analogique



## Difficultés

Horloges et temporisations

Imprévus lors de l'implémentation sur la carte

Difficultés

 Sauvegarder plusieurs trames à envoyer (commander plusieurs trains)

# Organisation et tâches

- 2 Blocs: software(C) vs hardware(vhdl)
- interface utilisateur : par μcontrôleur

**Boutons/UART** 

**LEDs** 

Microblaze

**AXI WRAPPER** 

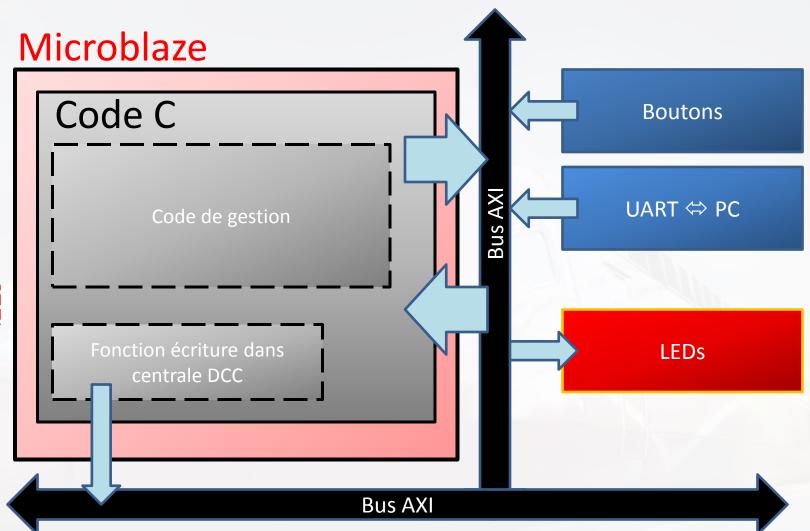
> IP centrale DCC:

Séquenceur

Modules send x (one, zero, preamble, byte)

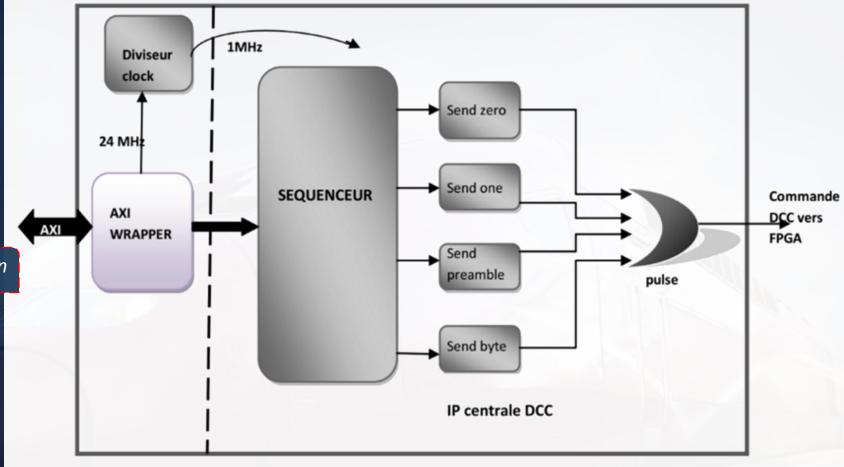
Organisation

## Interface utilisateur



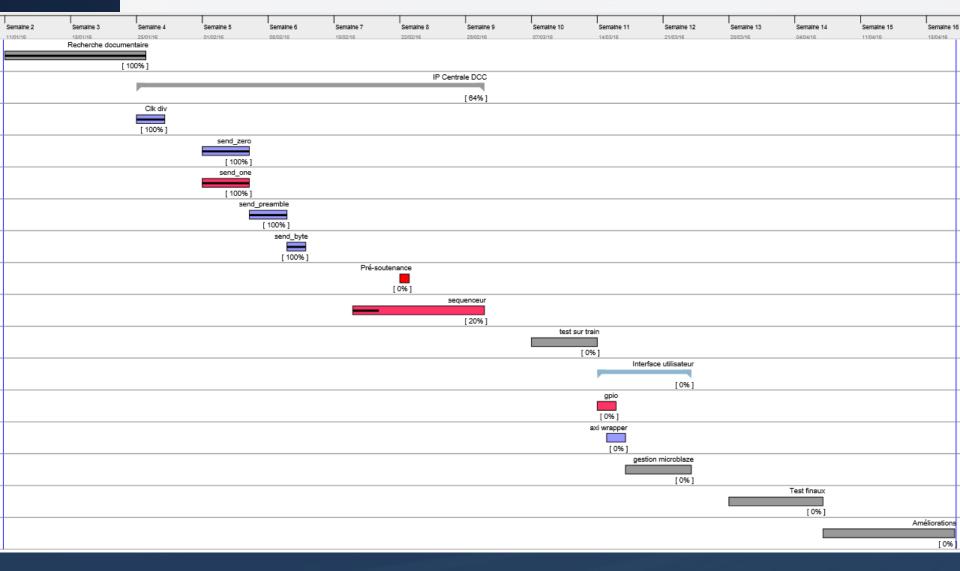
Organisation

## IP centrale DCC



Organisation

## Planification



## Validation

- **▶ IP centrale DCC:** 
  - testBench (simulation)
    expérimentale (sur carte FPGA + locomotives)
- ➤ Centrale DCC (complète) :
  - testBench (simulation)
    sur carte, visualisation sur trains

Validation

## Conclusion

Un tiers du projet terminé

Partie Interface utilisateur

 Améliorations (UART, interface réseau ? Programme Qt ?)

Conclusion