



**FACULTAD
DE INGENIERIA**

Universidad de Buenos Aires

**CARRERA DE ESPECIALIZACIÓN EN
SISTEMAS EMBEBIDOS**

MEMORIA DEL TRABAJO FINAL

**Equipo adquisidor de descargas
parciales**

Autor:

Ing. Pablo Severini

Director:

Dr. Ing. Marcos Maillot (UTN FRGP)

Codirector:

Ing. Cristian Bonini (UTN FRGP)

Jurados:

Mg. Ing. Mara Fusco (FIUBA)

Esp. Ing. Facundo Adrián Lucianna (FIUBA)

Esp. Ing. Santiago Salamandri (FIUBA)

*Este trabajo fue realizado en la Barcelona, España,
entre junio de 2020 y junio de 2021.*

Resumen

Una Descarga Parcial (DP) es un mecanismo de ruptura dieléctrica que tiene lugar en los sistemas aislantes de máquinas y equipos eléctricos de media (MT) y alta tensión (AT). Su ocurrencia genera deterioros acumulativos en el sistema aislante que pone en riesgo sus propiedades dieléctricas, por este motivo es de interés su medición. El presente trabajo, realizado para la UTN FRGP, trata sobre el desarrollo de un equipo para medir DP en máquinas y equipos eléctricos de MT y AT. El equipo desarrollado puede funcionar de forma autónoma y es capaz de adquirir, almacenar y procesar pulsos de DP bajo una serie de parámetros configurables. La información obtenida es utilizada para generar el Patrón de DP. Este constituye una herramienta estándar para el análisis de los sistemas aislantes de máquinas y equipos eléctricos de potencia.

Agradecimientos

Esta sección es para agradecimientos personales y es totalmente **OPCIONAL**.

Índice general

Resumen	I
1. Introducción general	1
1.1. Descargas parciales	1
1.2. Medidores de descargas parciales	2
1.3. Estado del arte	3
1.4. Objetivos y alcance	5
1.4.1. Objetivos	5
1.4.2. Alcance	5
2. Introducción específica	7
2.1. Requerimientos	7
2.2. Descripción general del sistema	9
2.3. Aislación óptica	9
2.4. Filtrado y adaptación	10
2.5. Procesamiento	10
2.6. Muestreo de datos	11
2.7. Listado de herramientas utilizadas	12
3. Diseño e implementación	15
3.1. Diseño del Hardware	15
3.1.1. Cruce por cero	15
3.1.2. Filtro	17
3.1.3. Esquemático general	18
3.1.4. Fuente	18
3.1.5. Comunicaciones	19
3.2. Diseño del Firmware	20
3.2.1. Shell	21
3.2.2. DP	23
3.2.3. HSADC	24
3.2.4. Storage	25
3.3. Herramientas de usuario	25
3.4. Prototipo funcional	25
4. Ensayos y resultados	27
4.1. Banco de pruebas	27
4.2. Ensayos de amplitud	28
4.3. Ensayos de integridad	30
4.4. Ensayos de disparo	31
4.5. Ensayos de fase	32
4.6. Tiempos de procesamiento	34
4.7. Tiempos de almacenado	35
4.8. Resumen de tiempos	36

4.9. Pruebas en campo	36
5. Conclusiones	37
5.1. Trabajo obtenido	37
5.2. Conocimientos aplicados	38
5.3. Trabajo futuro	38
Bibliografía	39

Índice de figuras

1.1. Esquema básico de DP en el interior de un aislante.	1
1.2. Forma de onda de una descarga parcial capturada por un HFCT (high frequency current transformer).	2
1.3. Patrón de descargas parciales.	2
1.4. HFCT de la empresa TechImp.	3
1.5. Equipo Falcon de Techimp.	4
1.6. Equipo ICMmonitor de Pdix.	4
1.7. MPD600 de Omnicrom.	4
2.1. Diagrama en bloques de sistema.	9
2.2. Representación esquemática de un optoacoplador.	9
2.3. Muestreo discreto de una señal analógica.	11
2.4. Efecto <i>aliasing</i> en señales analógicas.	12
2.5. Filtro pasabajos <i>anti-aliasing</i>	12
3.1. Entrada de detección de cruce por cero para la senoide de referencia.	15
3.2. Relación de transferencia del LTV357.	16
3.3. Respuesta en frecuencia deseada.	17
3.4. Filtro diferencial <i>Butterworth</i> de 3er orden. Frecuencia de corte 40Mhz.	17
3.5. Procesador y RTC.	18
3.6. Fuentes de alimentación.	18
3.7. Circuito de comunicación serial.	19
3.8. Circuitos de comunicación USB.	19
3.9. Diagrama en bloques de los módulos de firmware.	20
3.10. Patrón de DP por terminal.	22
3.11. Archivos generados como resultado de la creación de un patrón.	23
3.12. FSM control de fase.	23
3.13. Diagramas de bloque general de distribución de memoria.	24
3.14. Banco de memoria.	25
3.15. Árbol completo de archivos luego del procesamiento con scripts.	25
3.16. LPC link2.	26
3.17. Prototipo funcional.	26
4.1. Arquitectura del banco de prueba.	27
4.2. Señal senoidal adquirida de 1MHz 600 mVpp.	28
4.3. Señal senoidal adquirida de 39MHz 600 mVpp.	28
4.4. Respuesta en frecuencia del filtro implementado y su comparación con la respuesta en frecuencia esperada.	29
4.5. DP sintetizada 400mvpp capturada por el equipo.	30
4.6. Comparación entre la DP adquirida por el osciloscopio y la DP adquirida por el equipo.	30
4.7. Análisis de Fourier de una DP adquirida por un osciloscopio Siglent SDS1202X-E y por el equipo.	31

4.8. Adquisición de un banco 16k muestras dividido en 8 slots de 2k muestras cada uno.	31
4.9. Señal senoidal 1 MHz, dos ciclos, trigger 100 mV y flanco ascendente.	32
4.10. Comparación entre un patrón original y un patrón sintetizado.	33
4.11. Comparación entre un patrón original y un patrón sintetizado.	33
4.12. Senoide de referencia (amarillo) y salida de detección de cruce por 0 (rosa).	34
4.13. Tiempo necesario para procesar 8 slots de memoria de 2048 muestras y obtener sus valores máximos absolutos con sus respectivas fases.	35
4.14. Tiempo necesario para procesar 8 slots de memoria de 2048 muestras, obtener sus valores máximos absolutos con sus respectivas fases y almacenarlo en la unidad flash USB.	36
4.15. Línea de tiempo en base a la adquisición de un banco completo.	36

Índice de tablas

3.1. Corrientes de polarización	16
4.1. Antenuación del filtro	29

Dedicado a... [OPCIONAL]

Capítulo 1

Introducción general

En este capítulo se realiza una breve introducción de los elementos externos que interactúan con el sistema con la finalidad de brindar un marco de comprensión general antes de realizar un abordaje específico. También se explica el alcance y objetivos del presente trabajo.

1.1. Descargas parciales

Según IEEE

(*Guide for the Measurement of Partial Discharges in AC Electric Machinery*) «Una DP es una descarga eléctrica que cortocircuita parcialmente el material aislante ubicado entre dos conductores. Cuando la tensión excede cierto valor crítico, se produce una ionización gaseosa transitoria en el sistema aislante, a dicha ionización se la denomina DP» [1]

Una descarga parcial es un fenómeno de disrupción eléctrica. Se caracteriza por ser un pulso de corriente de alta frecuencia el cual se produce en el seno de un sistema aislante de una máquina o equipo eléctrico de potencia de media o alta tensión como consecuencia de la presencia de oclusiones gaseosas, impurezas, aristas aguzadas u otras anomalías que distorsionan la distribución de las líneas de campo eléctrico, figura 1.1.

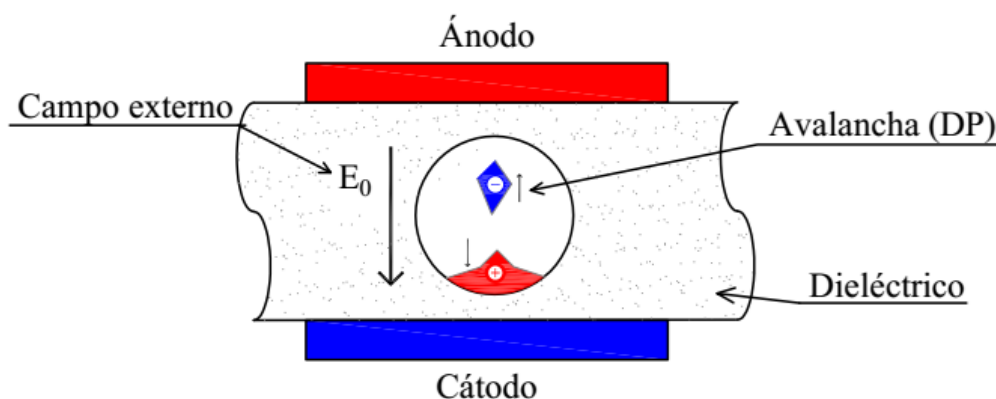


FIGURA 1.1. Esquema básico de DP en el interior de un aislante.

La ocurrencia de este fenómeno provoca un deterioro del sistema aislante. Dependiendo del medio en el que este fenómeno se manifiesta y cuál sea la causa que lo origina, el deterioro del sistema puede ser acumulativo.

1.2. Medidores de descargas parciales

La técnica eléctrica más utilizada se basa en registrar las corrientes originadas por las DP en el interior del sistema aislante. La detección de estas se realiza mediante la utilización de sensores inductivos pasivos de alta frecuencia conectados en las derivaciones a tierra de los equipos que se desean ensayar.

Cuando la DP se produce en el interior del sistema aislante, las corrientes que circulan hacia tierra pasan a través del sensor inductivo; induciendo una fuerza electromotriz proporcional a la carga involucrada, figura 1.2.

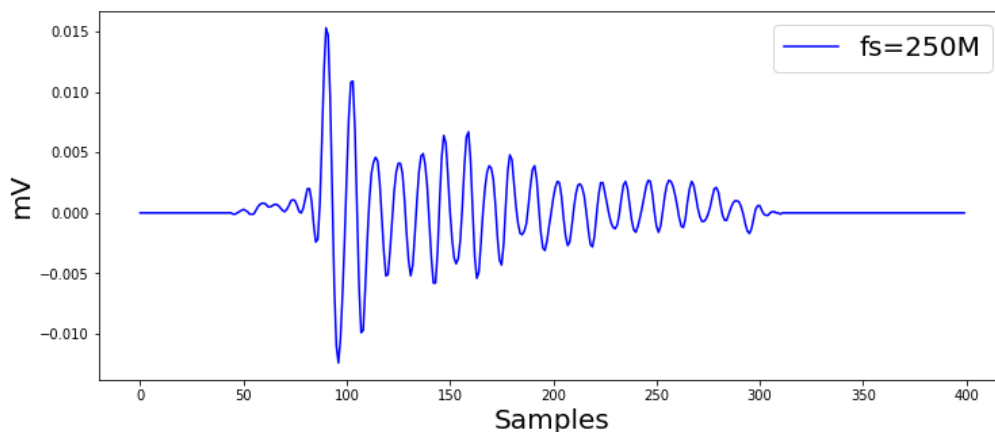


FIGURA 1.2. Forma de onda de una descarga parcial capturada por un HFCT (high frequency current transformer).

Las DP registradas son representadas en un sistema de referencias en cuyo eje de ordenadas se indica la máxima amplitud del pulso y en el eje de abscisa el momento angular en que el fenómeno ocurre respecto de una senoide de referencia de 50 Hz. Por medio de la superposición de múltiples eventos sobre un mismo periodo de 50 Hz se conforma lo que se conoce en la literatura especializada como Diagrama de Magnitud - Fase o Patrón de DP, figura 1.3.

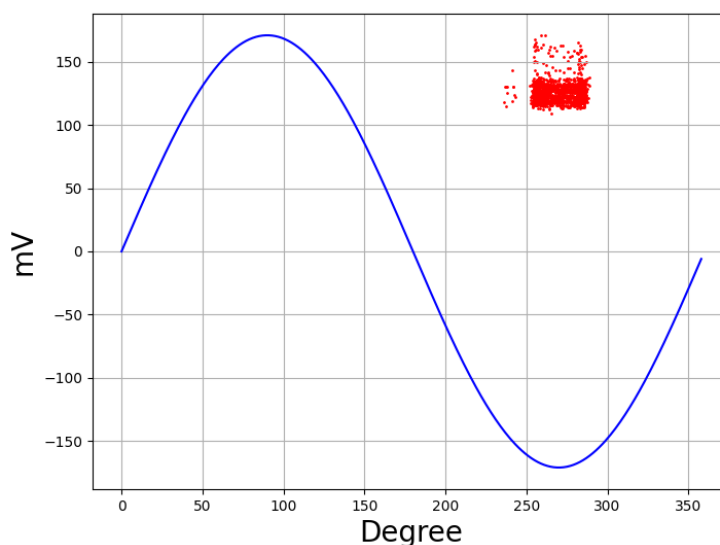


FIGURA 1.3. Patrón de descargas parciales.

Los patrones de DP permiten identificar, por medio de su estructura, el grado de severidad de una falla [2]. También permiten emitir un diagnóstico, ya que distintos tipos de DP tienen asociados distintos riesgos [3].

Sensor inductivo

Los transformadores de corriente de alta frecuencia (HFCT), figura 1.4, son sensores inductivos que dada su robustez y su sensibilidad están ampliamente difundidos como elementos captadores para mediciones de DP en campo. Estos se instalan en las derivaciones a tierra de las máquinas o equipos eléctricos de potencia donde se desea medir la ocurrencia de este fenómeno.

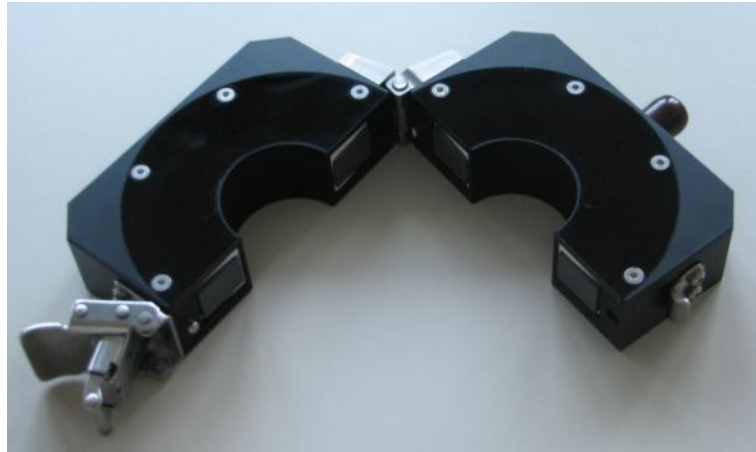


FIGURA 1.4. HFCT de la empresa TechImp.

1.3. Estado del arte

Actualmente existen equipos de medición de DP fabricados por empresas extranjeras como TechImp, PD Power Diagnostix u Omnicrom. Si bien esta gama de equipos abarca un amplio rango de características, ninguno proporciona una herramienta considerada de bajo costo para nuestro país, que permita a cooperativas o medianas empresas acceder a esta herramienta de diagnóstico. Al mismo tiempo, este equipo proporciona una herramienta de base para implementar algoritmos propios para procesamiento *over the edge*; características que no tienen los actuales equipos en el mercado.

Equipos existentes en el mercado de características similares al equipo desarrollado:

TechImp Falcon [4]

- Solución “económica” para monitoreo constante de descargas parciales.
- Adquisición automática y generación del patrón de descargas parciales.
- Separación de las diferentes actividades de descargas.
- Ancho de banda 30 MHz resolución 12 bits.
- Conexión ethernet.



FIGURA 1.5. Equipo Falcon de Techimp.

PD Power Diagnostix ICMmonitor [5]

- Creación del patrón y display para visualización *in-situ*.
- Analizador de espectro.
- Posibilidad de monitoreo remoto.
- Conexión TCP.



FIGURA 1.6. Equipo ICMmonitor de Pdux.

Omicrom MPD600 [6]

- Medición y análisis de descargas.
- Permite grabar, analizar y mostrar las señales.



FIGURA 1.7. MPD600 de Omnicrom.

1.4. Objetivos y alcance

1.4.1. Objetivos

El objetivo de este trabajo fue desarrollar un prototipo de un equipo adquisidor de DP de calidad, de bajo costo y de producción nacional. A su vez, se buscó crear las bases para un equipo abierto con capacidad de hacer procesamiento *over the edge*.

1.4.2. Alcance

El alcance del trabajo incluyó:

- El desarrollo del prototipo del producto.
- El desarrollo del firmware.
- El diseño del circuito esquemático.
- Confección de un manual de uso.
- Pruebas de validación y verificación.

Capítulo 2

Introducción específica

Durante este capítulo se brinda un marco orientativo sobre los requerimientos específicos del proyecto, la teoría básica involucrada y las tecnologías utilizadas para su realización.

2.1. Requerimientos

El trabajo realizado es un equipo adquisidor de DP que tiene como cliente a la UTN FRGP.

A continuación se listan los requerimientos acordados al iniciar el trabajo. Cabe destacar que todos fueron cumplimentados en su totalidad con excepción de los requerimientos 23 y 24 que fueron modificados, de mutuo acuerdo con el cliente, sin generar deterioro alguno en las características del equipo.

- Req 1: El dispositivo deberá, mediante el procesamiento de las adquisiciones, detectar los picos máximos de los pulsos de DP y representarlos sobre una senoide de referencia de frecuencia industrial - 50 Hertz - en fase con la tensión de ensayo (generar un patrón de DP).
- Req 2: El dispositivo deberá funcionar como un sistema *stand-alone*.
- Req 3: El dispositivo deberá mantener la fecha y hora por medio de un RTC.
- Req 4: El dispositivo deberá tener un puerto de acceso serial (preferentemente diferencial) para configuración y acceso a datos remoto.
- Req 5: El dispositivo deberá contar con un puerto USB para la descarga de los patrones de DP.
- Req 6: El dispositivo deberá permitir modificar el umbral de disparo a partir del cual se comenzará a adquirir una señal.
- Req 7: El dispositivo deberá permitir modificar la cantidad de muestras que serán adquiridas por disparo (máximo 1000).
- Req 8: El dispositivo deberá permitir modificar la cantidad de disparos (máximo 1000) que componen a un patrón de DP.
- Req 9: El dispositivo deberá permitir configurar el RTC.
- Req 10: El dispositivo deberá permitir planificar la generación automática de un patrón DP cada periodos múltiplos de 1 hora (calendario).

- Req 11: El dispositivo deberá permitir generar un patrón de DP con los parámetros configurados a demanda y transferirlo por el puerto serie.
- Req 12: El dispositivo deberá permitir poner al sistema en modo “ARMADO” o “DESARMADO”.
- Req 13: En modo “ARMADO” el dispositivo deberá cumplir con las adquisiciones preestablecidas por calendario.
- Req 14: En modo “DESARMADO” el dispositivo no estará operativo.
- Req 15: La entrada de señal de referencia debe poder detectar los cruces por cero de una senoide de 50 Hz, y saber su polaridad.
- Req 16: La entrada de señal de referencia debe ser opto-acoplada.
- Req 17: El dispositivo deberá llevar un contador en milisegundos a partir de la señal de cruce por cero. De forma tal que se pueda saber en todo momento si está transcurriendo un semiciclo positivo o negativo y saber cuánto tiempo transcurrió desde su inicio.
- Req 18: Se deben poder adquirir señales con una ancho de banda entre 0.1 MHz y 40 MHz con una resolución mínima de 8 bits.
- Req 19: La amplitud máxima de la señal de entrada será de 1 Vpp.
- Req 20: La entrada para el sensor analógico deberá ser de 50 ohms diferencial.
- Req 21: El dispositivo deberá detectar cuando la señal muestreada supere el umbral de disparo, si esto sucediera las siguientes muestras (cantidad definida anteriormente en la configuración) deberán ser comparadas entre sí y preservar la de mayor magnitud. El valor obtenido deberá ser almacenado en memoria, junto con un timestamp, la polaridad del semiciclo de referencia y su momento angular. Este proceso debe ser repetido hasta que se cumplan los disparos que componen un patrón DP.
- Req 22: Deberá indicar su estado “ARMADO - DESARMADO” por medio de un led de estado.
- Req 23: Deberá permitir “ARMAR - DESARMAR” al sistema por medio de una tecla física.
- Req 24: Deberá realizar la acción de transferir a un pendrive el contenido total de la memoria interna por medio de una tecla física.
- Req 25: El dispositivo deberá listar todos los patrones de DP almacenados bajo el siguiente identificador “AAMMDDhmm” en base a la fecha de generación del patrón.
- Req 26: El dispositivo deberá permitir seleccionar al patrón por medio de su identificador y solicitar su transferencia por puerto serie.

Los requerimientos 23 y 24 fueron modificados debido a que el almacenamiento de las DP es realizado directamente en el pendrive. De esta forma se puede reducir el costo en el diseño y se elimina la necesidad de transferir archivos entre memorias. Ambos requerimientos fueron reemplazados por el siguiente:

- Deberá almacenar en el pendrive el patrón de DP al finalizar su adquisición.

2.2. Descripción general del sistema

En la figura 2.1 se brinda una introducción de los módulos principales que abarcan el sistema y su interacción, por medio de esta se busca brindar una mejor interpretación de algunos temas abordados en este capítulo.

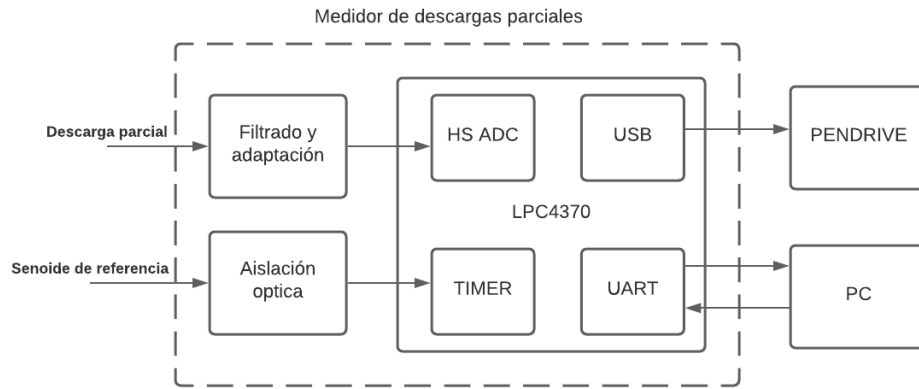


FIGURA 2.1. Diagrama en bloques de sistema.

El objetivo principal del equipo consiste en adquirir, almacenar y procesar señales de DP's para posteriormente, junto a la senoide de referencia, conformar el diagrama de magnitud-fase o patrón de DP.

2.3. Aislación óptica

Un optoacoplador es un dispositivo que vincula de forma óptica un diodo led y un fototransistor a través de material aislante transparente. Utilizados como interfaz entre circuitos con diferentes potenciales de masa, los optoacopladores reemplazan la aislación por medio de transformadores y relés. También son utilizados para aislar circuitos lógicos y líneas de potencia evitando cambios de impedancia, mejorando la capacidad de aislación entre entrada y salida y facilitando la eliminación del ruido [7]. Para este equipo se seleccionó el optoacoplador LTV357 [8] de la empresa liteon, el mismo cumple con los requisitos de ser de bajo costo, tener una aislación de 3750 Vrms y una respuesta lineal hasta 2 KHz de frecuencia.

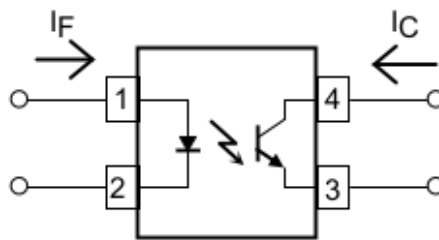


FIGURA 2.2. Representación esquemática de un optoacoplador.

2.4. Filtrado y adaptación

Una etapa de filtrado y adaptación es un punto crítico para cualquier diseño de adquisición de señales analógicas. La señal proveniente de los sensores puede contener componentes de frecuencia fuera del ancho de banda de interés. También es posible que los niveles de tensión de la señal no utilicen al máximo el rango dinámico de entrada perdiendo bits de conversión. La saturación por sobretensión también es un elemento que perjudica a la calidad de las mediciones y en algunos casos puede destruir al equipo.

La etapa de filtrado está diseñada para dejar pasar las frecuencias dentro de la banda de interés, atenuando en gran parte a todas aquellas fuera de rango.

La etapa de adaptación permite llevar los niveles de tensión de entrada al máximo rango dinámico permitido, esto puede realizarse por medio de amplificación o atenuación de la señal dependiendo el caso. En esta etapa también se implementan protecciones por sobretensión que puedan dañar al equipo, normalmente diseñadas con diodos de alta velocidad.

2.5. Procesamiento

La etapa de procesamiento es la encargada de orquestar todos los módulos del sistema. El equipo utiliza como microcontrolador principal un LPC4370 [9] de la firma NXP. La elección fue determinada porque posee un conversor analógico digital de alta velocidad (80 MSPS) combinado con un procesador ARM cortex M4 y dos ARM cortex M0. También incluye en la versión con encapsulado TFBGA100 dos periféricos USB de alta velocidad, puerto serie, reloj de tiempo real y entradas de propósito general.

Fue determinante para su elección el periférico ADCHS y su bajo costo. Gracias a que los principales módulos del desarrollo pudieron ser resueltos con los periféricos internos, solo fue necesario implementar de forma externa la etapa de aislación óptica y la etapa de adaptación y filtrado de señal.

Periféricos utilizados:

- HS ADC - Conversor analógico digital de alta velocidad

El LPC4370 TFBGA100 dispone de 3 conversores analógicos digitales de alta velocidad. Este es un periférico complejo que permite realizar adquisiciones analógicas a una tasa de muestreo de 80 MSPS con una resolución de 12 bits. Para poder manejar este flujo de datos proporciona conexión por DMA. Otra característica importante es el sistema de disparo del trigger, que permite dos umbrales de disparo por flanco ascendente o descendente.

- Timers

Dispone de 4 timers de 32 bits, que permiten ser configurados como contadores o temporizadores. Para permitir una mejor adaptación a los tiempos de aplicación, proporcionan divisores y diferentes opciones suministro de clock.

- USB

Dispone de 2 puertos USB 2.0 con velocidad de transferencia de hasta 480 Mb/s. Uno de ellos con tecnología on-the-go. Ambos soportan DMA y cumplen con las especificaciones Universal Serial Bus 2.0

- RTC - Reloj de tiempo real

Dispone de un reloj de tiempo real con registros específicos para funcionar en bajo consumo. Este módulo requiere de un cristal propio de 32 KHz para generar una base de tiempo de 1 Hz independiente al CPU, también posee una línea de alimentación dedicada que puede ser alimentada por batería.

2.6. Muestreo de datos

Para procesar y almacenar las señales analógicas de alta frecuencia proveniente del pulso de una DP es preciso realizar un muestreo de amplitud de la señal.

El concepto de muestreo de amplitud de una señal analógica en intervalos de tiempo discretos se muestra en la figura 2.3.

La señal analógica debe ser muestreada en intervalos de tiempo discretos t_s , este intervalo debe ser cuidadosamente escogido para asegurar una precisa representación de la señal analógica original. Está claro que a mayor cantidad de muestras adquiridas mayor será la precisión de la representación digital, pero si pocas muestras son tomadas se alcanza un punto en donde se pierde información crítica de la señal. Este punto está definido por los criterios de Nyquist [10].

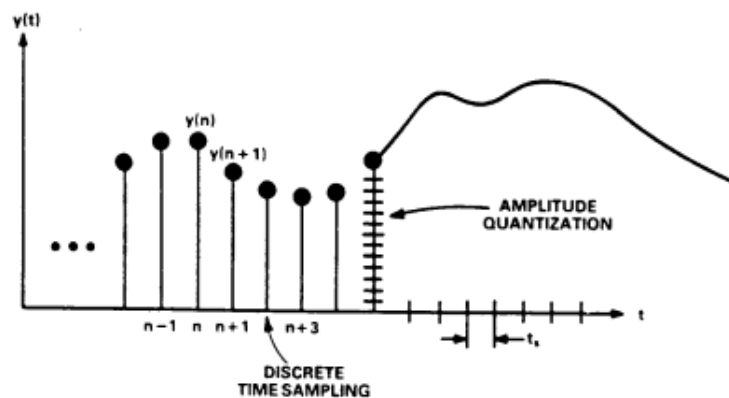


FIGURA 2.3. Muestreo discreto de una señal analógica.

Criterios de Nyquist

- Una señal analógica con un ancho de banda de f_a debe ser muestreada a una tasa de muestreo $f_s > 2f_a$ para evitar pérdida de información.
- Si $f_s < 2f_a$ entonces un fenómeno llamado *aliasing* ocurre en el ancho de banda de la señal

Con el fin de comprender la implicación del *aliasing* se deben considerar los cuatro casos representados en la figura 2.4 de una señal senoidal muestreada en el dominio del tiempo. En el caso 1 está claro que la cantidad de muestras es adecuada para preservar la información. En el caso 2 solo se realizaron 4 muestras por ciclo, pero aun así es una cantidad adecuada para preservar la información. En el caso 3 se representa un caso de la condición límite ambiguo donde $f_s = 2f_a$.

Si la relación entre los puntos muestreados y la señal fuese tal que el muestreo coincidiera con los cruces por cero, toda la información se perdería. En el caso 4 la figura representa la situación donde $f_s < 2f_a$ y la información obtenida de las muestras dan como resultado una senoide de frecuencia inferior a $f_s/2$, en este caso una frecuencia fuera de banda se entrelaza con ancho de banda de Nyquist.

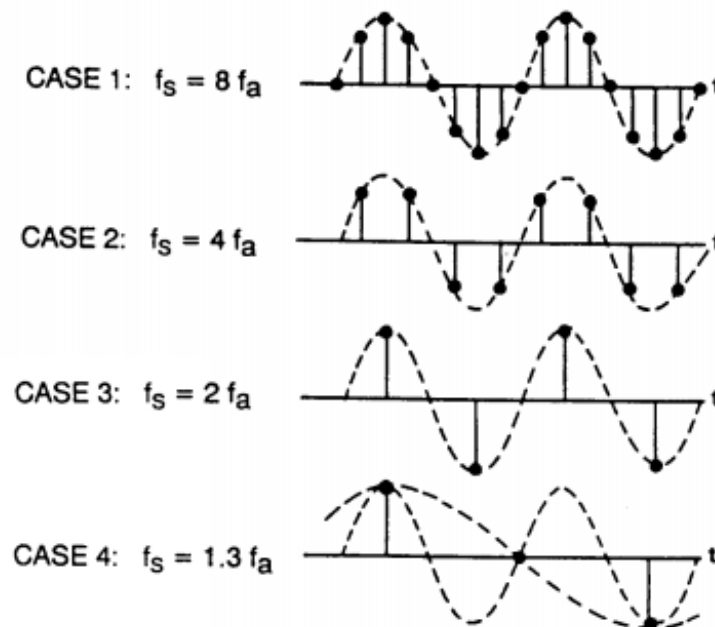


FIGURA 2.4. Efecto *aliasing* en señales analógicas.

Por lo expuesto anteriormente, un conversor analógico digital debe ser precedido por un filtro *anti-aliasing*, figura 2.5, que tenga suficiente atenuación a partir de la frecuencia de corte $f_s/2$ para prevenir que se entrelacen frecuencias fuera de banda.

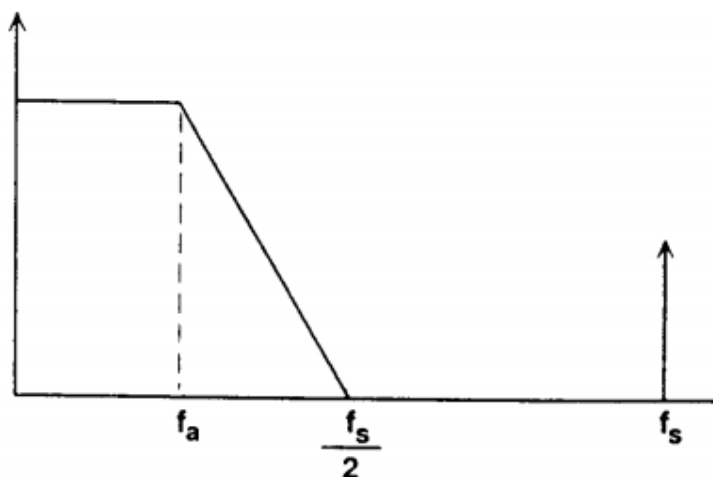


FIGURA 2.5. Filtro pasabajos *anti-aliasing*.

2.7. Listado de herramientas utilizadas

Para este trabajo se utilizaron las siguientes herramientas de hardware:

- Placa LPC Link2 como programador y *debugger*.
- Placa LPC Link2 como placa de desarrollo.
- Fuente de alimentación conmutada Minileaf 0-30V 10A
- Osciloscopio Siglent SDS1202X-E de 200 MHz para verificar las mediciones y tiempos realizados por el equipo.
- DDS FY6900 de 60 MHz para la generación de señales en el banco de pruebas.
- Analizador lógico Saleae para el control de tiempos.
- Multímetro.

También se utilizaron la siguiente herramientas de software:

- Mcuxpresso ide 11.3 para el diseño del firmware [11].
- Python 3 para la generación de scripts para el banco de prueba y scripts de procesamiento de datos.
- Minicom para acceder a la interfaz.

Capítulo 3

Diseño e implementación

Durante este capítulo se explica el diseño e implementación del software y hardware del equipo. También se detalla y justifica el motivo de las implementaciones realizadas.

3.1. Diseño del Hardware

3.1.1. Cruce por cero

Debido a que la medición de una descarga parcial debe estar relacionada con la senoide de referencia por medio de su momento angular, el equipo fue provisto de un medio para conocer esta variable del sistema de forma constante.

El método elegido para la medición de fase fue un circuito de detección de cruce por cero combinado con un timer interno del microcontrolador. Se optó por este método porque puede ser aislado por medio de un optoacoplador y soportar conexiones directas con senoides de referencia de hasta 300 V. Otro motivo es que solo al ser de interés el momento angular, un timer de 32 bits brinda mejor resolución que un conversor analógico digital y requiere menos procesamiento.

El circuito diseñado, figura 3.1, está basado en un optocoplador LTV357 [8]. Este presenta una aislación de 3750 Vrms entre entrada y salida. La polarización del led de entrada se realizó por medio de un C8 y tiene un rango dinámico de tensión de entrada entre 50 Vpp y 340 Vpp.

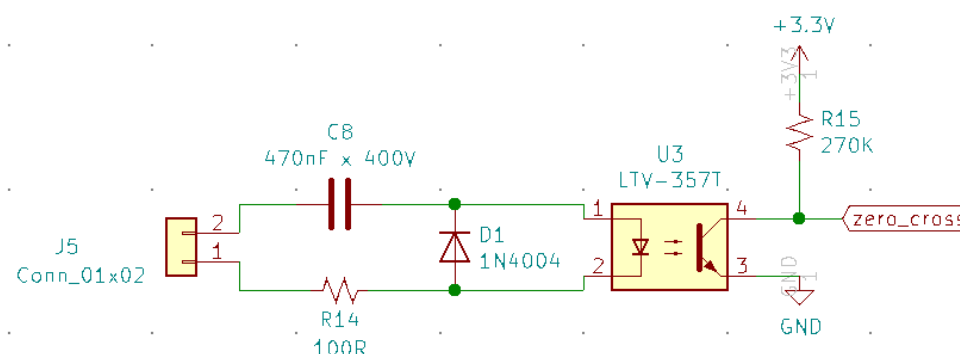


FIGURA 3.1. Entrada de detección de cruce por cero para la senoide de referencia.

El cálculo del valor de C8 fue determinado por la corriente de polarización del led (I_f), la corriente de colector (I_c) y la relación de transferencia (CTR), figura 3.2.

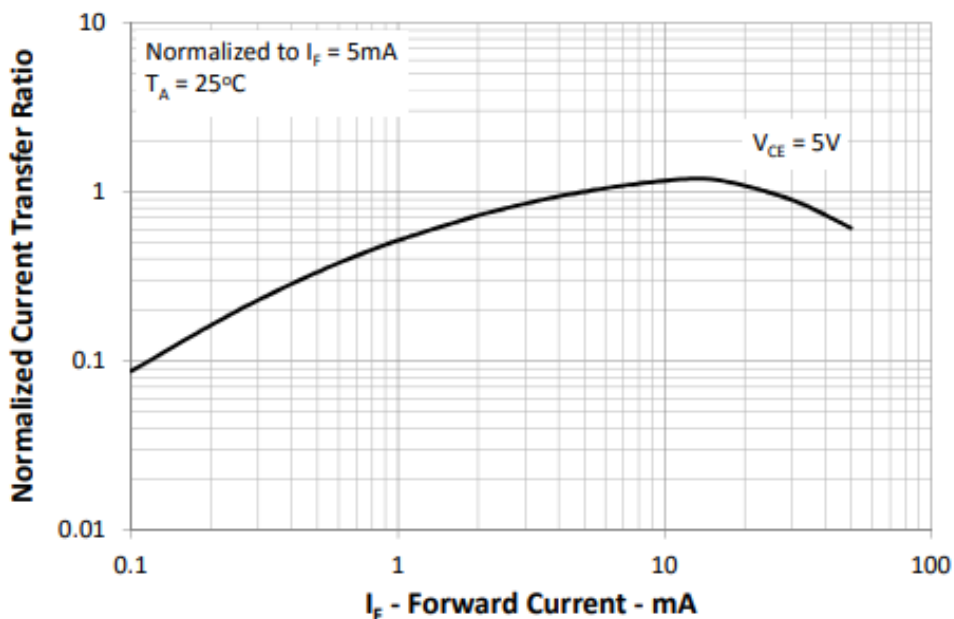


FIGURA 3.2. Relación de transferencia del LTV357.

En base a la curva 3.2, se calculó la corriente mínima necesaria I_f para polarizar el transistor del optoacoplador. Para este cálculo se consideró como tensión mínima de polarización a una senoide de 50 Vpp luego de haber transcurrido 1 grado desde su cruce por cero. Esto se debe a que la resolución mínima deseada del equipo es 1 grado y por lo tanto el circuito debe detectar el cruce por cero dentro de este periodo.

En la tabla 3.1 se observa que la corriente I_f máxima en 340 Vpp no excede los 50 mA y que la corriente I_c mínima en 50 Vpp es superior a los 0,0122 mA necesarios para polarizar el circuito.

TABLA 3.1. Corrientes de polarización

Vpp	If(mA) @ 1°	Ic(mA) @ 1°	If(mA) @ 90°	Ic(mA) @ 90°
340	0,88	0,35	50,2	30,12
50	0,13	0,0129	7,38	7,38

El optoacoplador elegido solo posee un LED que se polariza durante un semiciclo. Esto permite reconocer de forma sencilla el semiciclo positivo y negativo. El diodo D1 protege al LED interno del optoacoplador cuando se encuentra en polarizado inversa.

La salida del circuito se encuentra conectada a un pin del microcontrolador que permite el mapeo de interrupciones externas.

3.1.2. Filtro

Para la medición de la descarga parcial se utilizó el conversor analógico digital de alta velocidad del LPC4370 [9], configurado en modo diferencial. En el capítulo 2 se explicó la importancia de un filtro *anti-aliasing* para evitar interferencia de frecuencias indeseadas en la medición. Ya que el conversor analógico digital tiene una velocidad máxima de 80 MSPS, el filtro fue calculado para tener una frecuencia de corte igual a 40MHz. Figura 3.3.

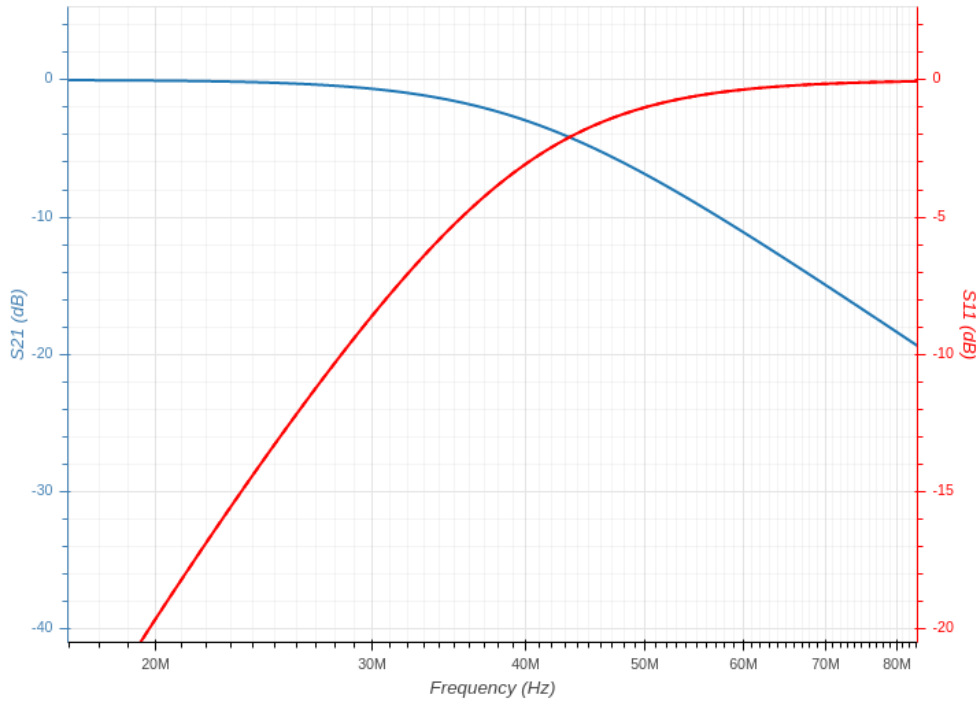


FIGURA 3.3. Respuesta en frecuencia deseada.

El filtro implementado es un filtro *Butterworth* diferencial de 3er orden con una atenuación de -3dB en 40 MHz, figura 3.4. El ingreso de la señal al filtro se realiza por medio de dos capacitores de desacople y un transformador 1:1, esto permite conectar un sensor inductivo en modo común o diferencial.

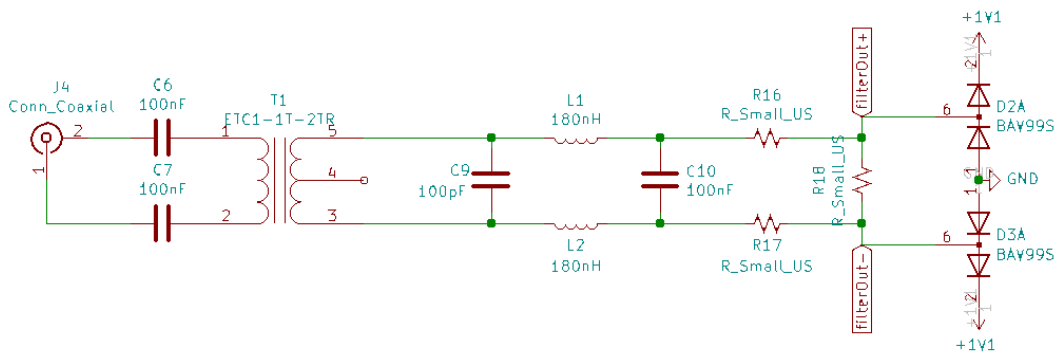


FIGURA 3.4. Filtro diferencial *Butterworth* de 3er orden. Frecuencia de corte 40Mhz.

Puede observarse que al final del filtro se incluye un divisor resistivo y un enclavamiento de diodos para proteger al periférico de sobretensiones. El divisor permite atenuar linealmente la señal en caso de requerir mayor rango dinámico de entrada y también podría servir en caso de requerir agregar una etapa más al filtro.

3.1.3. Esquemático general

El módulo central es el microprocesador LPC4370, figura 3.5. A este llegan la señal analógica proveniente del filtro diferencial y la entrada aislada de la detección del cruce por cero. Pueden observarse los componentes necesarios para el funcionamiento reloj de tiempo real (RTC), estos son un cristal de 32 KHz y una batería.

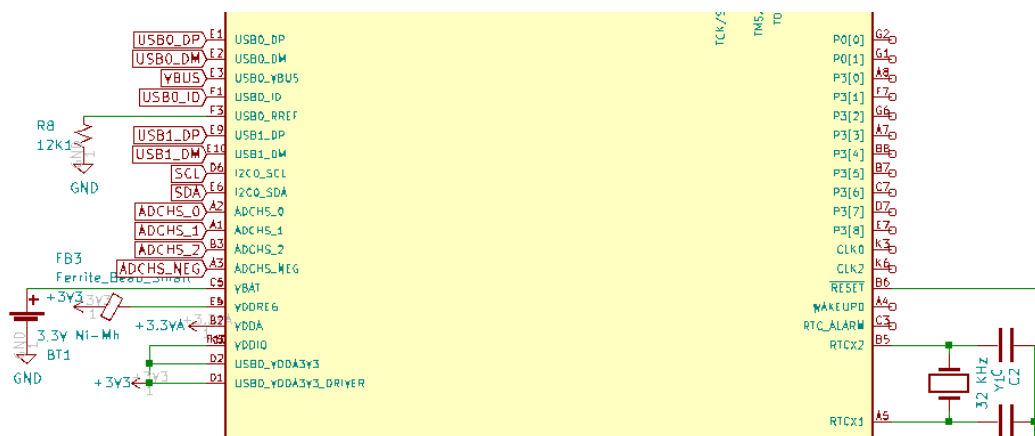


FIGURA 3.5. Procesador y RTC.

3.1.4. Fuente

La fuente de alimentación, figura 3.6, fue diseñada por medio de dos reguladores lineales. Se utilizó el regulador de 3,3 V junto con dos filtros PI para generar dos ramas, una para los módulos digitales y otra los módulos analógicos. El regulador de 1,1 V cumple la función de generar la tensión de enclavamiento para el circuito de protección de la etapa analógica.

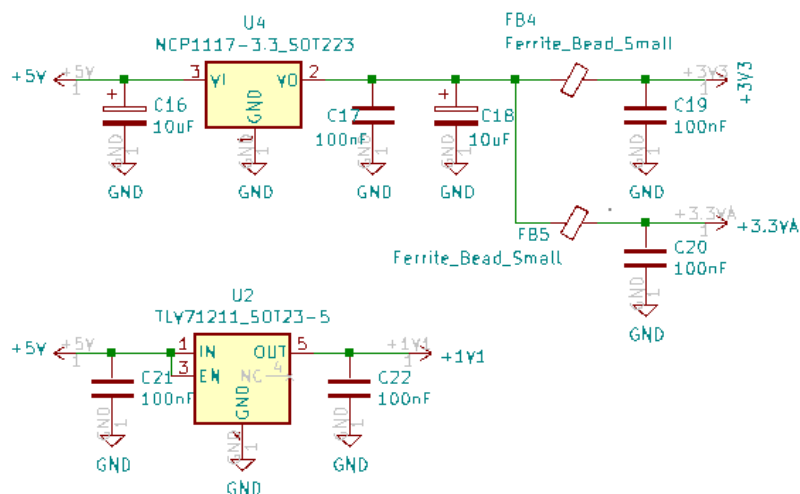


FIGURA 3.6. Fuentes de alimentación.

3.1.5. Comunicaciones

Como periféricos de comunicación se proporcionó un puerto 232, figura 3.7, para acceder a la interfaz del sistema.

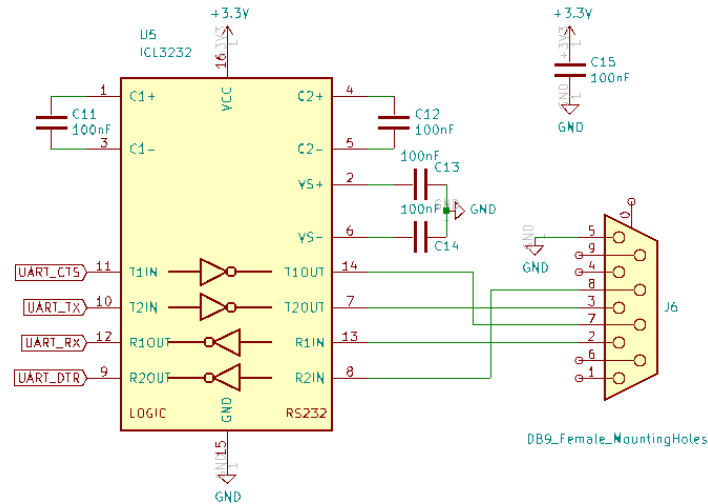


FIGURA 3.7. Circuito de comunicacion serial.

También se incluyeron dos puertos USB de alta velocidad, figura 3.8, uno para conexión directa de un pendrive y otro para conexión *on-the-go* para futuras opciones.

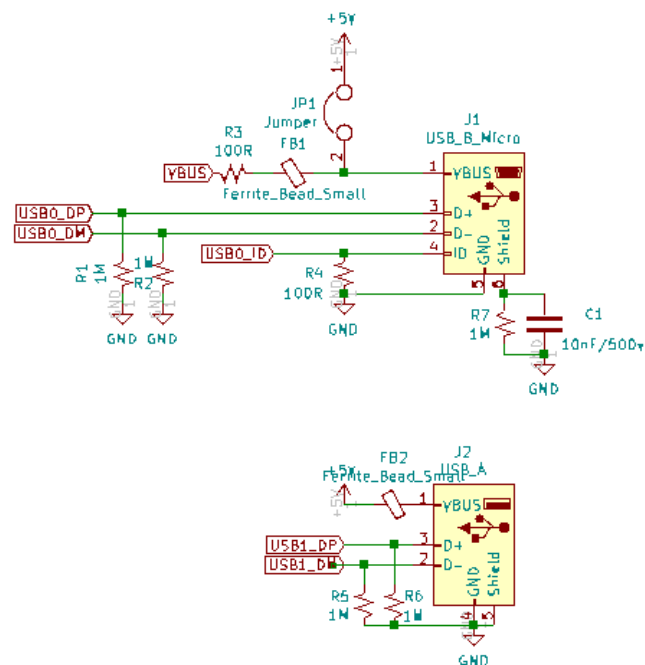


FIGURA 3.8. Circuitos de comunicacion USB.

3.2. Diseño del Firmware

Si bien el LPC4370 dispone de tres núcleos, este trabajo se realizó utilizando solo el cortex M4 dejando libres los dos cortex M0. De esta forma quedan recursos disponibles para implementar futuros procesamiento de la señal.

Inicialmente se había planificado utilizar un sistema operativo de tiempo real, pero se descartó debido a que la ejecución de tareas durante el proceso de disparo del *trigger* generan *jitter* al comienzo de la adquisición.

Las soluciones planteadas para este problema fueron:

- detener el scheduler en momentos específicos.
- portar el kernel de freertos tickless para este procesador.
- evitar el uso de un sistema operativo y realizar el software bajo el patrón de software *superpoll*.

Por ser una solución de menor complejidad y debido al tiempo disponible para realizar el trabajo, la última alternativa fue la elegida.

El firmware fue desarrollado en lenguaje C y se dividió en varios módulos funcionales que encapsulan su comportamiento, figura 3.9. La interacción entre los módulos se realizó por medio de funciones públicas utilizadas como interfaces.

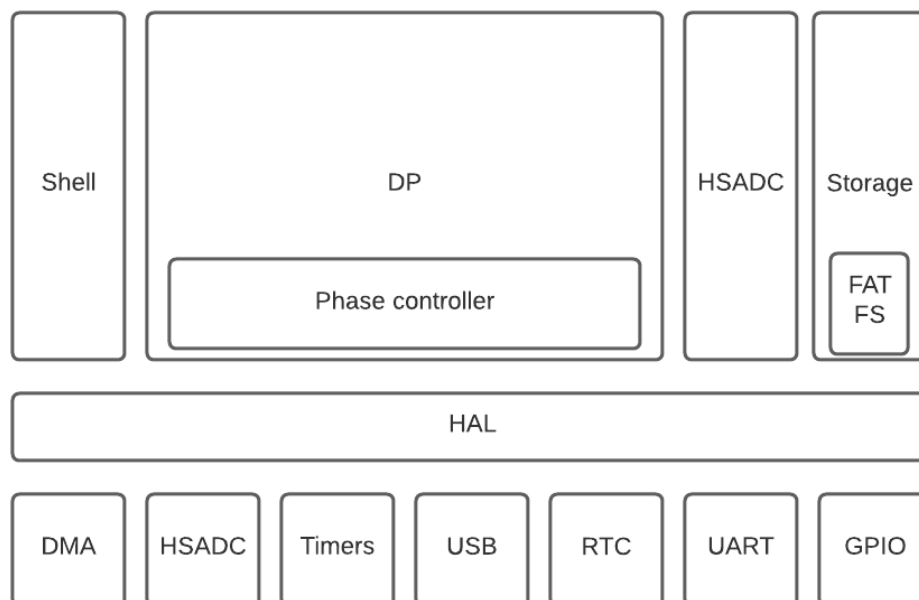


FIGURA 3.9. Diagrama en bloques de los módulos de firmware.

3.2.1. Shell

El equipo dispone de una interfaz de usuario desarrollada para funcionar en cualquier terminal estándar de 80 caracteres por línea. Esta es accesible por medio de un puerto serial bajo una configuración 115200,8,n,1.

La interfaz permite configurar el equipo, realizar, navegar y visualizar mediciones. Los comandos se componen de una palabra principal y en algunos casos permiten parámetros adicionales.

Existen 4 grupos de comandos:

- de configuración.
- de navegación.
- de visualización.
- de estado.

Breve descripción de los comandos:

- `mode -a [m]`: Permite activar el modo de adquisición automático con un intervalo de tiempo [minutos]. Este modo inicializa la creación de un patrón de DP cada *m* minutos.
- `mode -i [g-p]`: Inicializa la creación de un patrón de DP. Con el parámetro [g] lo grafica por medio de caracteres ASCII y no es guardado. Con el parámetro [p] el patrón y el muestreo de las descargas parciales son guardados en el pendrive.
- `mode -d`: Desarma el trigger y en caso de haber un patrón de DP en proceso de creación lo guarda.
- `dccal`: Calibración para eliminar componente de continua.
- `conf -t [mV]`: Permite configurar el valor del trigger en [mV]. El mismo valor será considerado como absoluto y será establecido como trigger positivo y negativo.
- `conf -q [puntos]`: Permite configurar la cantidad de puntos (DP) que constituirán un patrón de DP (hasta 1500).
- `conf -s [muestras]`: Permite configurar la cantidad de muestras por DP (hasta 968).
- `time -g`: Imprime el valor de fecha y hora en pantalla bajo el formato hh:mm:ss DD/MM/AAAA.
- `time -s [hh:mm:ss DD/MM/AAAA]`: Permite configurar la fecha y hora.
- `lspd`: Lista todos los patrones de DP existentes en el pendrive.
- `lspd -f [AAAAMMDDhhmm]`: Lista los patrones existentes en el pendrive y los filtra según el año (AAAA), mes (MM), día (DD), horas (hh), minutos (mm) y segundos (ss) ingresados. Cualquier atributo puede reemplazarse por el caracter '?' para ignorar el filtro.

- `dwnpd -g [AAAAMMDDhhmm]` : Permite graficar por medio de caracteres ASCII el patrón de descargas parciales seleccionado.
- `dwnpd -t [AAAAMMDDhhmm]` : Permite enviar en forma de tabla el patrón seleccionado.
- `restart` : Reinicia el cpu
- `info -s` : Brinda información sobre el sistema
- `?` : Información sobre los comandos.

La interfaz dispone de un modo de visualización de patrones de descarga parcial generado por caracteres *ASCII*, figura 3.10. Debido a la baja resolución existente en este modo, se utilizaron diferentes caracteres para representar densidad de DP en un área del patrón determinada. Este modo es especialmente práctico para configuración o consultas remotas. También puede solicitarse que una DP sea visualizada en forma de tabla.

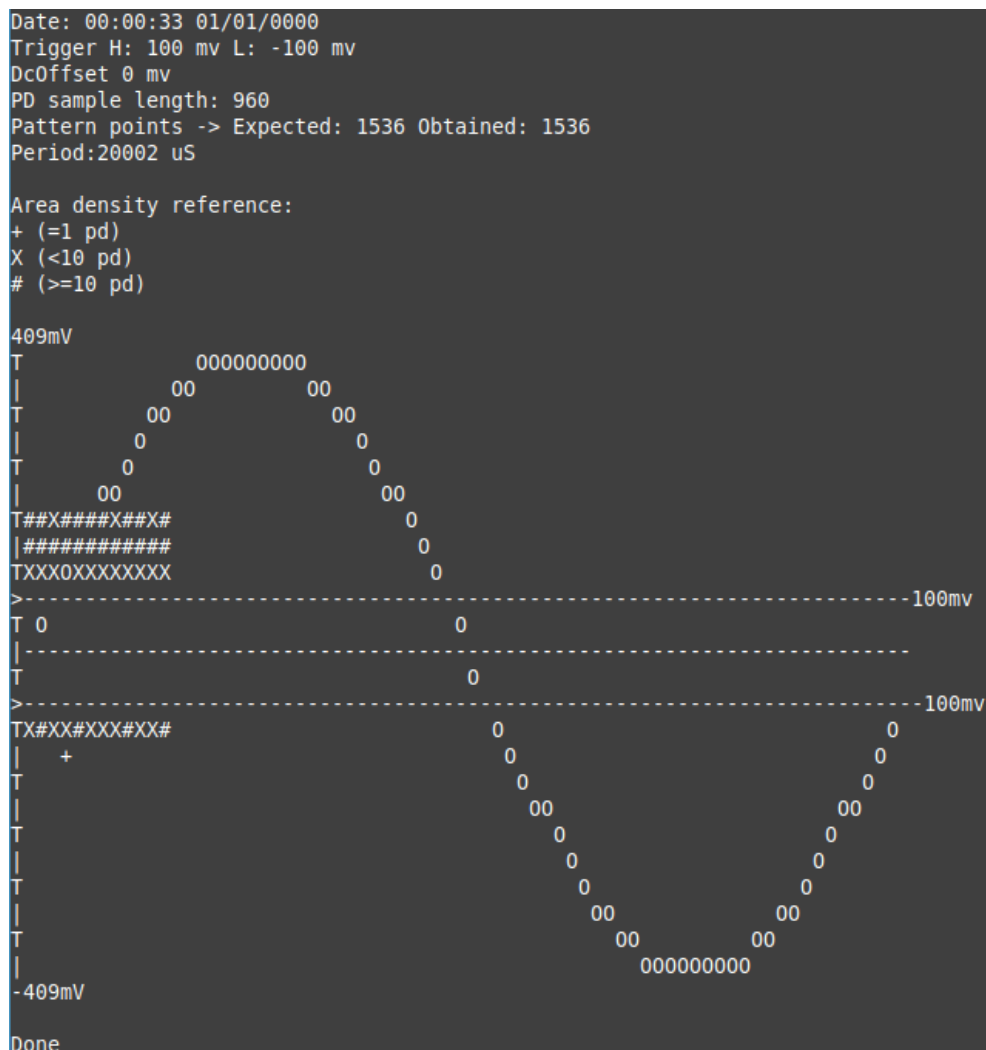


FIGURA 3.10. Patrón de DP por terminal.

Los archivos almacenados en el pendrive por cada patrón de DP son tres, figura 3.11. Un archivo «.info» que contiene los parámetros de la medición realizada, un archivo «.mem» que contiene los datos crudos con las formas de onda de las DP y un archivo «.csv». Este último archivo puede ser abierto por cualquier planilla de cálculo y contiene el patrón de DP representado por los conjuntos «pico-fase».

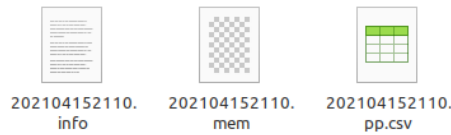


FIGURA 3.11. Archivos generados como resultado de la creación de un patrón.

3.2.2. DP

Dentro de este módulo se realiza el control de las adquisiciones de DP, el posterior procesamiento y conformación del patrón. Este es el módulo central, funciona como consumidor de las funciones que implementan los demás módulos.

Dentro de este módulo también se realiza el control de fase. La detección de cruce por cero es realizada por una interrupción por hardware configurada por flanco ascendente. En la rutina de interrupción se inicia un timer que se encarga de medir el tiempo de forma constante entre cruces. Consultando este timer en cualquier momento y desde cualquier parte del código, puede conocerse por regla de tres simple la fase de la senoide de referencia. En la figura 3.12 puede verse el diagrama de la máquina de estado encargada de controlar el momento angular.

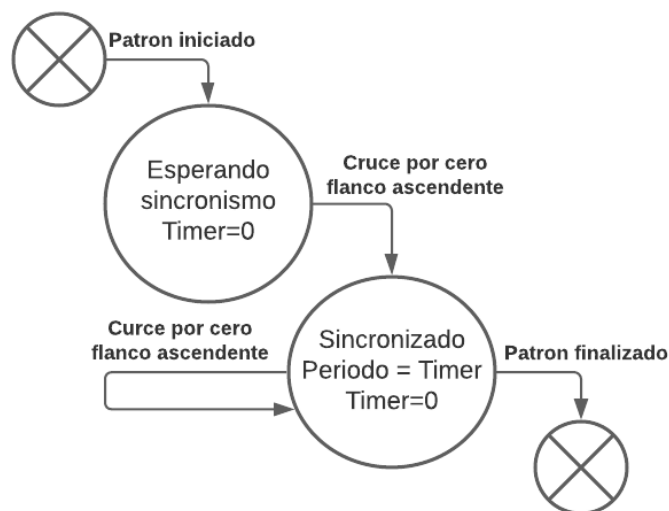


FIGURA 3.12. FSM control de fase.

3.2.3. HSADC

La gestión de memoria interna fue una pieza clave para el correcto funcionamiento del sistema. El conversor analógico digital junto con su acceso directo a memoria (DMA) generan muestras de 12 bits a una tasa de 80 MHz. Debido a la arquitectura del cortex M4, los accesos al mismo banco de memoria no pueden realizarse de forma simultánea. Para asegurar que no se pierdan muestras de la adquisición, se asignó al periférico ADC un banco de memoria exclusivo, figura 3.13.

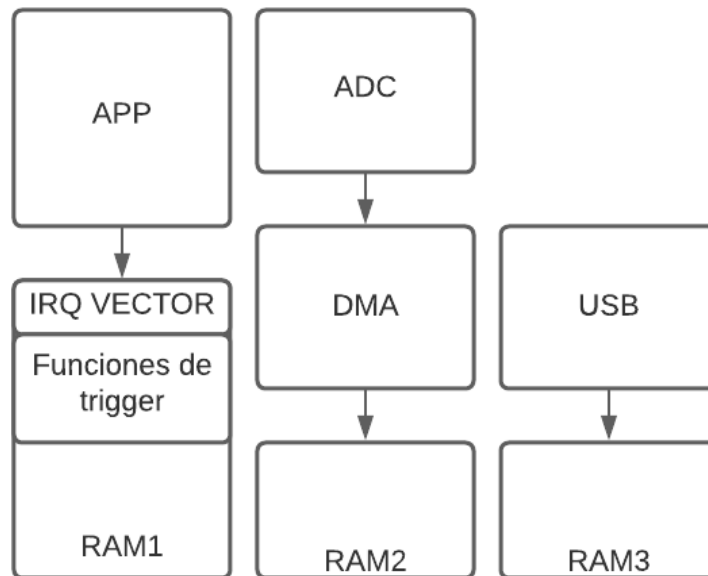


FIGURA 3.13. Diagramas de bloque general de distribución de memoria.

Un disparo de *trigger* se realiza por medio de una comparación entre una muestra y un umbral establecido previamente. Para poder realizar esta comparación, el periférico necesita adquirir muestras constantemente, esto genera un flujo de datos que debe administrarse. Para resolver esto se utilizó una cola circular en memoria en donde el DMA copia los datos adquiridos de forma constante y elimina siempre la muestra más antigua. Cuando el *trigger* es disparado se almacena el puntero a la posición inicial y cuando la cola completa la vuelta se finaliza la adquisición. El resultado es una ventana de N muestras que puede ser propagada a otras capas de software para su correcta manipulación.

Por practicidad, el módulo de firmware HSADC administra su memoria como un único banco, figura 3.14, este banco a su vez es dividido en *slots*. Todos los slots son de igual tamaño y permiten adquirir ininterrumpidamente a partir de un disparo de trigger. Una vez concluida la adquisición del *slot*, en caso de quedar slots libres, el sistema se rearma y queda a la espera de un próximo disparo. En caso de haber completado todos los *slots* del banco de memoria, se procesa y almacena.

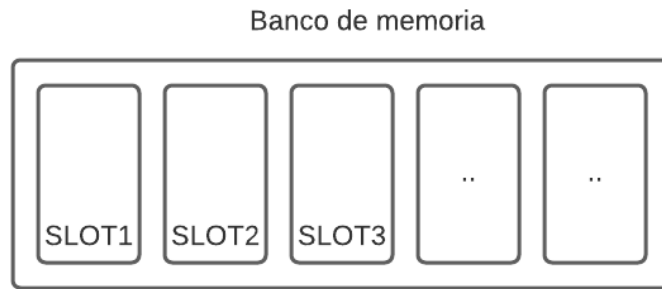


FIGURA 3.14. Banco de memoria.

3.2.4. Storage

Este módulo se encarga de encapsular el funcionamiento del pendrive y su sistema de archivos. Implementa el sistema de archivos FAT32 por medio de la librería FatFs [12] combinado con los drivers USB provistos por NXP.

3.3. Herramientas de usuario

Para dar mayor capacidad de análisis sobre las mediciones adquiridas se desarrollaron dos scripts en Python3 que procesan los datos almacenados en el pendrive.

- El primero permite generar un patrón de DP de forma gráfica a partir de un archivo «.csv».
- El segundo permite reconstruir las señales obtenidas de cada DP a partir de un archivo «.mem» y generar un gráfico por cada una.

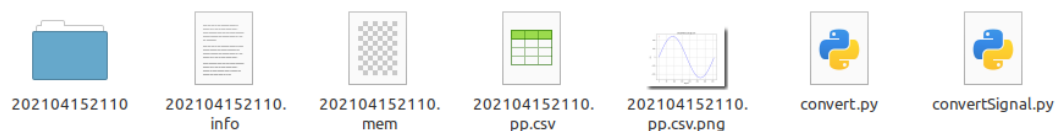


FIGURA 3.15. Árbol completo de archivos luego del procesamiento con scripts.

3.4. Prototipo funcional

Un prototipo funcional fue montado como validador tecnológico y a su vez para poder llevar a cabo los ensayos. El mismo fue construido utilizando una placa de desarrollo «LPC link2», figura 3.16. A pesar de no estar disponibles todos los pines del microprocesador, la placa fue modificada para poder acceder a todos los periféricos requeridos en este trabajo. La única restricción encontrada fue el acceso a la alimentación independiente del reloj de tiempo real, lo cual hace que en este prototipo la fecha y hora se pierda siempre que falte el suministro eléctrico.



FIGURA 3.16. LPC link2.

Como tareas de modificación se removieron los filtros existentes en modo común de las entradas analógicas para que no afecten a los nuevos filtros diferenciales conectados. También se agregó un cristal de 32 KHz como oscilador del reloj de tiempo real.

La placa de desarrollo solo dispone de un puerto USB diseñado para ser utilizado como device y ser conectado a la PC. El circuito fue modificado para funcionar como host y ser alimentado desde la fuente. También se utilizó un adaptador micro USB a USB A para poder conectar un pendrive.

Para finalizar el prototipo funcional, figura 3.17, se agregó una placa adicional con el filtro diferencial y la etapa de optoacoplado. La conexiones entre los dos circuitos impresos fueron realizadas por medio de los puertos de expansión del «LPC link2».

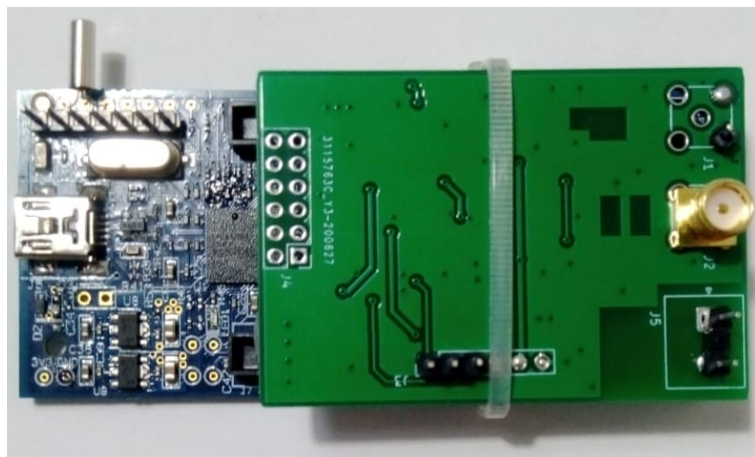


FIGURA 3.17. Prototipo funcional.

Capítulo 4

Ensayos y resultados

En este capítulo se detallan los ensayos realizados para verificar el correcto funcionamiento del prototipo y el cumplimiento de los requisitos tanto en la etapa digital como en la analógica.

4.1. Banco de pruebas

Para los ensayos efectuados en laboratorio se montó un banco de pruebas, figura 4.1, constituido por los siguientes elementos:

- Generador DDS FY6900.
- Cable BNC-SMA (Canal descarga parcial).
- Cable BNC-Cocodrilos (Canal senoide de referencia).
- Computadora portátil.
- Puerto serie-USB.
- Prototipo funcional.

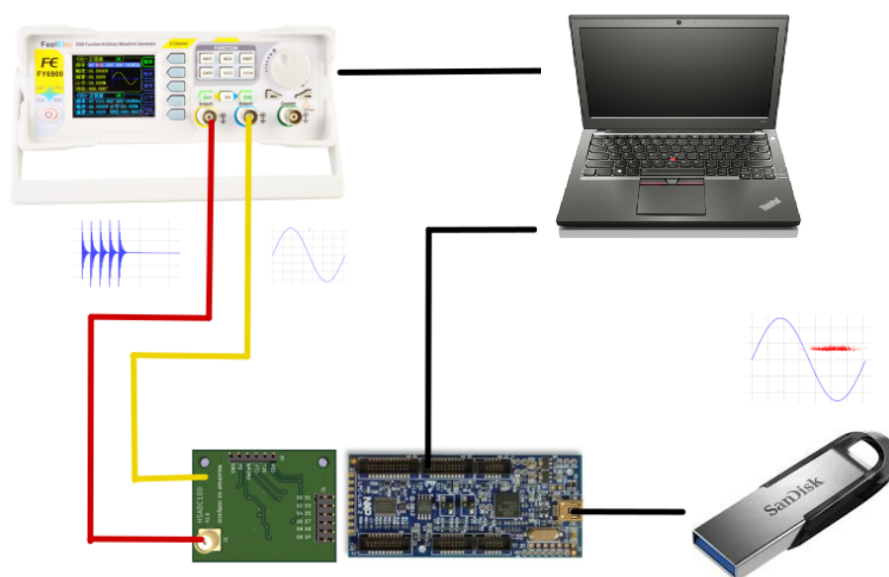


FIGURA 4.1. Arquitectura del banco de prueba.

El banco permitió simular, por medio del generador de señales, la forma de onda de una DP y sincronizarla con una senoide de referencia de 50Hz. La computadora portátil fue utilizada para acceder por medio del puerto serial a la interfaz de usuario del equipo. También se empleó para controlar al DDS utilizando la base de datos de DP agrupadas por patrones proporcionada por el cliente. El conjunto de elementos permitió realizar diversas pruebas manuales y automatizadas.

Durante el montaje del banco de pruebas se encontró una limitación en el generador DDS FY6900 que obligó a replantear el proceso de prueba. Debido a que este generador no permite establecer demoras entre los disparos de sus canales las validaciones de amplitud y fase se realizaron en diferentes ensayos.

4.2. Ensayos de amplitud

Durante los ensayos de amplitud se buscó validar que las señales obtenidas por el equipo correspondieran en amplitud y forma con la señales inyectadas por el DDS. Para esto se generaron señales senoidales en diferentes frecuencias.

Este ensayo también se utilizó para validar la respuesta en frecuencia del filtro de entrada. Para esto se inyectaron señales senoidales de 600 mVpp en distintas frecuencias y se realizaron adquisiciones con el fin de comparar lo obtenido con lo inyectado, figura 4.2 y 4.3. Puede observarse que a igual tensión de entrada, la figura 4.3 se encuentra atenuada en -2,5dB por ser una frecuencia cercana a la frecuencia de corte del filtro.

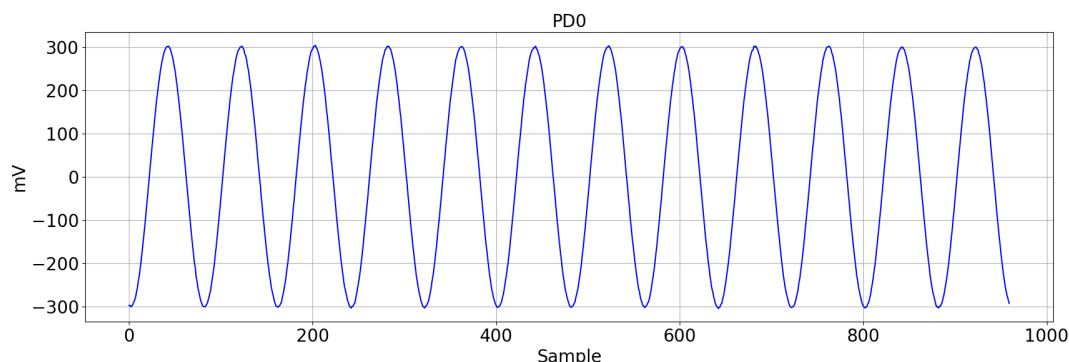


FIGURA 4.2. Señal senoidal adquirida de 1MHz 600 mVpp.

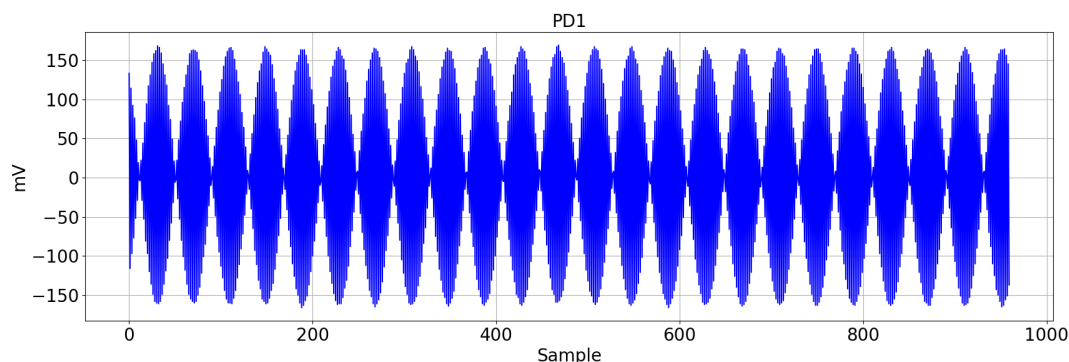


FIGURA 4.3. Señal senoidal adquirida de 39MHz 600 mVpp.

En la tabla 4.1 se representan la máxima tensión de entrada y la máxima tensión adquirida para cada frecuencia registrada. Por medio de estos valores se calculó la respuesta en frecuencia del filtro real.

Para garantizar la correcta detección del valor máximo de la senoide sintetizada, se eligieron frecuencias que no sean múltiplos de la frecuencia de muestreo, de modo de lograr un batido que en un número considerable de muestras se logre barrer un período completo de la señal inyectada.

TABLA 4.1. Atenuación del filtro

f (MHz)	Entrada (mV)	Salida (mV)	Atenuación (dB)	At. esperada (dB)
1	600	610	0,0717	-0,1770
13	600	580	-0,1472	-0,177
19	600	540	-0,4575	-0,195
25	600	540	-0,4575	-0,237
27	600	540	-0,4575	-0,237
33	600	520	-0,6214	-0,557
39	600	330	-2,5963	-2,265

En la figura 4.4 se puede observar la comparativa entre la respuesta del filtro esperada y la deseada

Respuesta en frecuencia

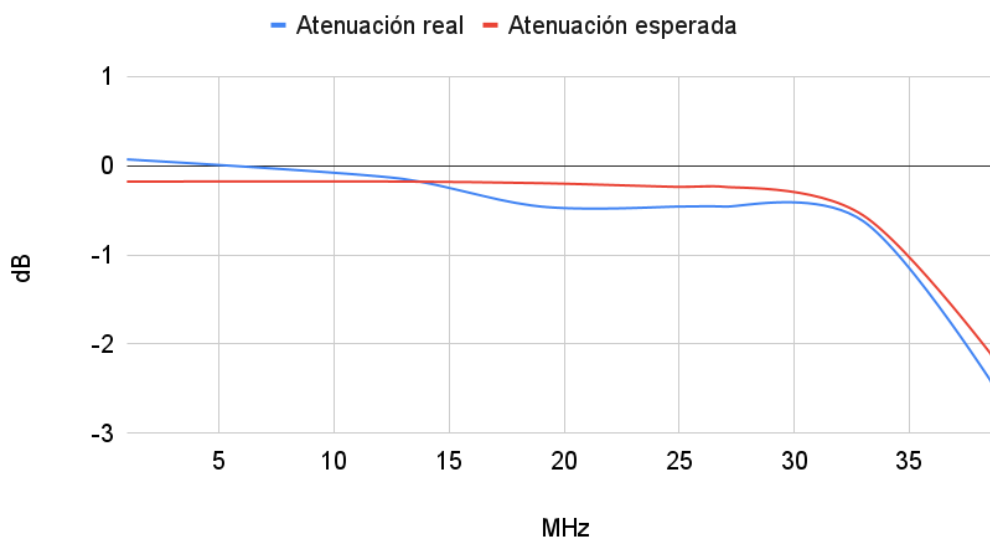


FIGURA 4.4. Respuesta en frecuencia del filtro implementado y su comparación con la respuesta en frecuencia esperada.

4.3. Ensayos de integridad

Durante estos ensayos se buscó determinar que la forma de onda capturada por el prototipo desarrollado sea aceptable y conserve en gran medida la morfología de la señal a adquirir. Para esto se inyectó una DP generada en base a una DP real previamente muestreada, figura 4.5.

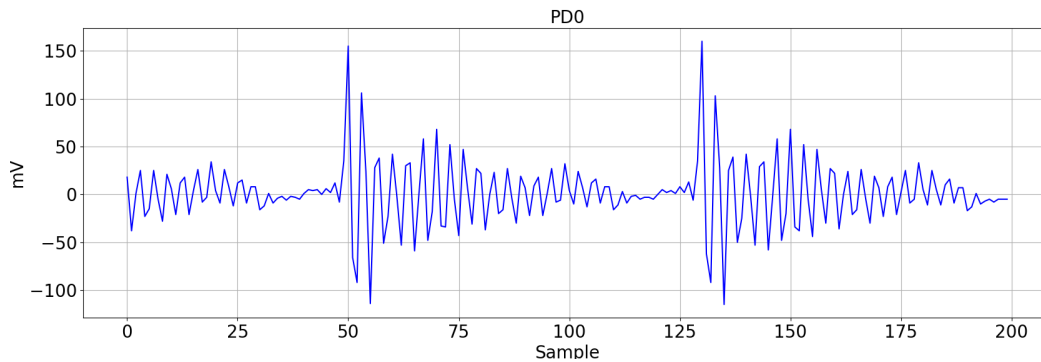


FIGURA 4.5. DP sintetizada 400mvpp capturada por el equipo.

La señal generada fue muestreada por medio de un osciloscopio Siglent SDS1202X-E de 200 Mhz de ancho de banda y 1 Gs de tasa de muestreo. La misma señal fue muestreada por el equipo adquisidor de DP a una tasa de 80 Ms. Para que ambas señales tengan las mismas características y puedan ser comparadas, se aplicó de forma matemática sobre la señal muestreada por el osciloscopio la respuesta en frecuencia del filtro que se encuentra en la entrada del equipo. Ambas señales fueron graficadas superpuestas en la figura 4.6 donde se utilizó un trazo continuo azul para las adquisiciones realizadas por el osciloscopio y una serie de puntos en color rojo para las adquisiciones realizadas por el equipo.

Se puede observar que las muestras adquiridas por ambos equipos coinciden durante toda la señal. También se identifica una buena distribución de muestras a 80 Ms, suficiente para detectar el valor máximo sin la necesidad de hacer un *re-sampling* de la señal.

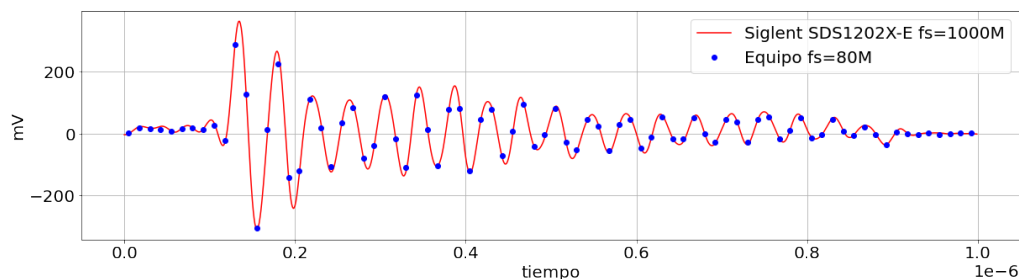


FIGURA 4.6. Comparación entre la DP adquirida por el osciloscopio y la DP adquirida por el equipo.

Un análisis de Fourier sobre las señales permitió realizar una comparación de la distribución de energía en el espectro para cada señal, figura 4.7. También se utilizó como herramienta para conocer los componentes principales de frecuencia de la DP analizada.

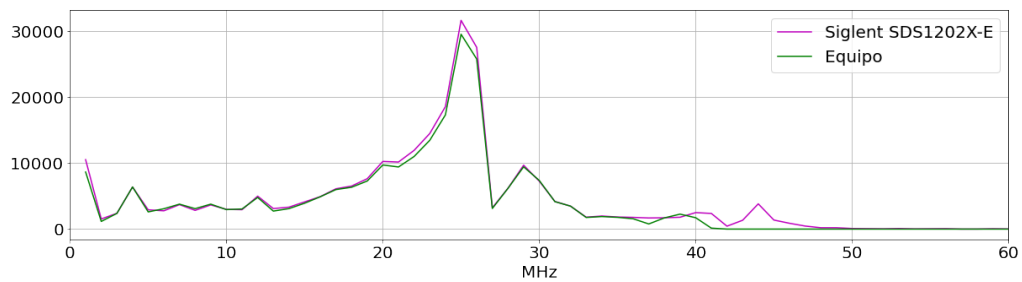


FIGURA 4.7. Analisis de Fourier de una DP adquirida por un osciloscopio Siglent SDS1202X-E y por el equipo.

4.4. Ensayos de disparo

Durante los ensayos de disparo se realizaron mediciones del tiempo requerido por el sistema para poder rearmar su *trigger*. Esta latencia se encuentra determinada principalmente por el tiempo requerido para configurar nuevamente los punteros a memoria y reiniciar el periférico ADC de alta velocidad.

En la figura 4.8 puede verse un oscilograma realizado con una base de tiempo de 200uS/division. La medición fue realizada asegurando una tasa de repetición DP suficiente para producir disparos de forma constante en el equipo, evitando tiempos de espera. El estado alto de la señal representa la adquisición de muestras por parte del equipo. Puede observarse un tren de ocho pulsos que corresponde al armado y disparo de los ocho *slots* dentro del banco de memoria.

Durante la adquisición de los *slots* pertenecientes al mismo banco de memoria, el tiempo de rearme (nivel bajo) fue de 90 uS. Considerando que un grado de la senoide de referencia representa un tiempo igual a 55 uS, la tasa máxima de repetición fue de 1 DP cada 1°36'. El tiempo de adquisición (nivel alto) fue de 25,6 uS, equivalente a $1/80 \text{ MHz} * 2048$ muestras.

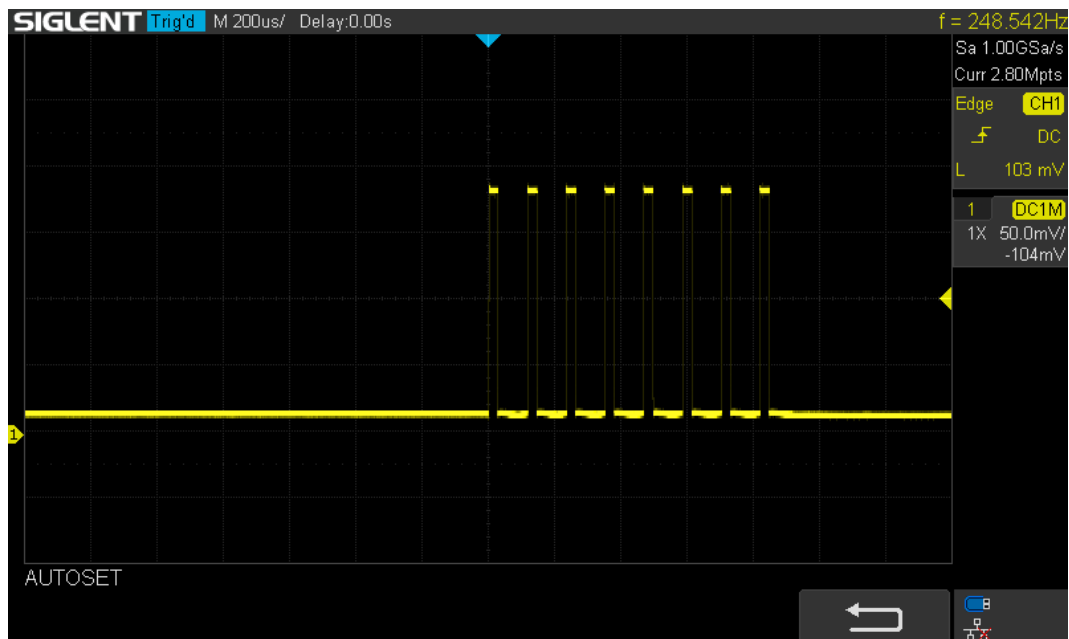


FIGURA 4.8. Adquisición de un banco 16k muestras dividido en 8 slots de 2k muestras cada uno.

Además del tiempo requerido para el rearme se realizaron mediciones sobre el tiempo mínimo requerido, por el procesador, para atender el disparo del *trigger*. Este tiempo es de suma importancia porque determina cuantas muestras de desplazamiento existen desde que el *trigger* detectó su disparo hasta que el procesador pudo atenderlo.

El tiempo mínimo de latencia para un cortex M4 es de 12 ciclos de reloj. Ya que la velocidad del núcleo es de 204 MHz y la del conversor AD es de 80 MHz se puede determinar que la latencia minima es de 5 muestras.

En la figura 4.9 se muestra un ejemplo del efecto producido por la latencia en la atención de la interrupción. La adquisición fue realizada con el *trigger* por flanco ascendente configurado en 100 mV, sin embargo no fue hasta 5 muestras después que la interrupcion del *trigger* fue atendida esto determinó el inicio del muestreo cerca de los 200 mV.

Durante esta etapa también se realizaron pruebas comparativas a fin de determinar el *jitter* entre los diferentes disparos. Ya que el tiempo de atención de la interrupción depende ademas de como se haya diseñado el firmware y de la utilización de los bancos de memoria RAM. El *jitter* medido fue siempre inferior a 4 muestras oscilando normalmente entre 1 y 2 .

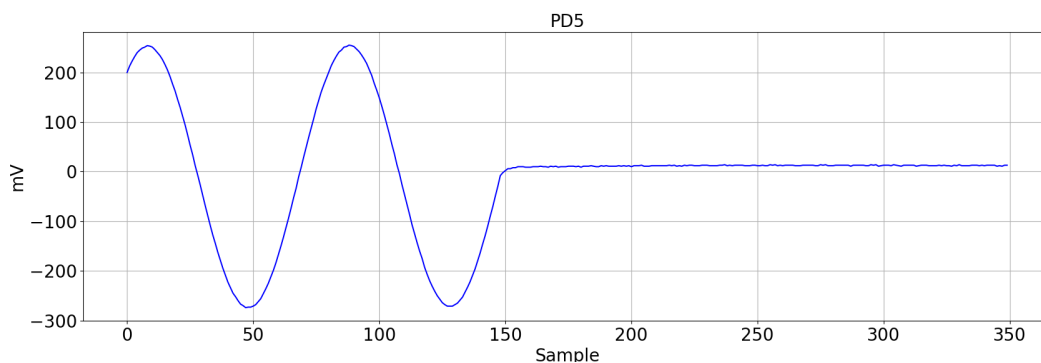


FIGURA 4.9. Señal senoidal 1 MHz, dos ciclos, trigger 100 mV y flanco ascendente.

4.5. Ensayos de fase

Los ensayos de fase buscan verificar que la detección de una DP determinada está vinculada con el momento angular correcto de la senoide de referencia.

Debido a restricciones del banco de pruebas para disparar una DP sintetizada en un momento angular dado de la senoide de referencia, se recurrió a simular la DP con una señal cuadrada de 50 Hz con un duty cycle del 0,001 % para la señales positivas y de 99,999 % para las negativas. De esta manera la entrada optoacoplada y la entrada de DP pudieron ser excitadas en forma conjunta durante todo el periodo de la señal de referencia al desplazar la fase de la DP simulada acorde a la base de datos.

Como consecuencia de este método, la señal inyectada en la entrada de DP es un pulso de breve periodo a una frecuencia de 50 Hz que no se encuentra dentro del rango lineal del filtro. Es por esto que la medición de tensión no se tomó en cuenta para este ensayo.

Además de verificar disparos individuales configurados manualmente, se realizó un script en python con la librería Fygen [13] capaz de sintetizar un patrón de DP. Los datos utilizados provienen de archivos Matlab que fueron previamente generados en base a mediciones reales realizadas por el cliente.

En las figuras 4.10a, 4.10b, 4.11a y 4.11b pueden verse la comparativa entre los patrones de DP generados por el cliente y su homónimo generado por el equipo en base a la misma secuencia de señales sintetizadas. Como diferencia se encuentra que la escala vertical del patron original se encuentra expresada en pC y la generada en mV debido al proceso de calibración que se realizó cuando las pruebas fueron tomadas. Como fue explicado al inicio de este capítulo la magnitud solo fue tomada como referencia por tratarse de un ensayo de fase.

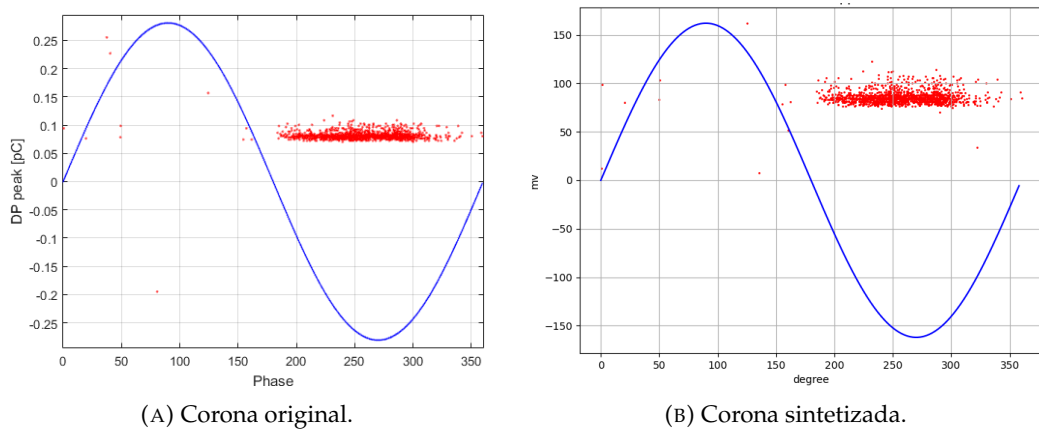


FIGURA 4.10. Comparación entre un patrón original y un patrón sintetizado.

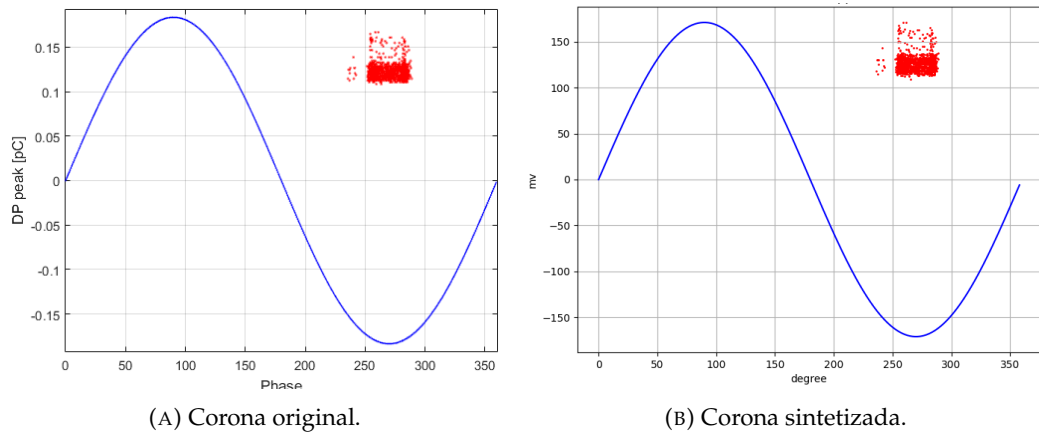


FIGURA 4.11. Comparación entre un patrón original y un patrón sintetizado.

Durante esta etapa también se verificó el correcto funcionamiento del detector de cruce por cero. En la figura 4.12 puede verse la comparación entre la senoide de referencia (amarillo) y la salida aislada ópticamente (rosa).

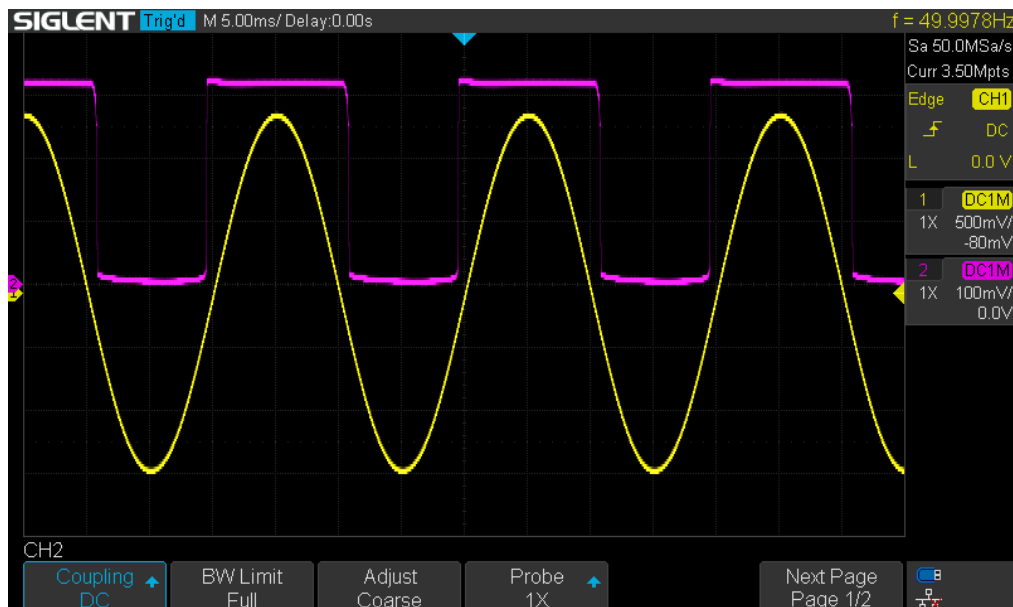


FIGURA 4.12. Senoide de referencia (amarillo) y salida de detección de cruce por 0 (rosa).

4.6. Tiempos de procesamiento

Los ensayos de tiempo de procesamiento se realizaron utilizando un osciloscopio y un pin de salida de la placa «LPC link2» como marcador del estado interno del procesador. Durante este ensayo se buscó cuantificar el tiempo requerido por el procesador para realizar los distintos procesamientos. Para esto se generó solo una DP por ciclo de la senoide de referencia.

El estado alto del oscilograma, figura 4.13, indica que el equipo está armado y el estado bajo que el equipo está desarmado. De esta forma puede apreciarse el periodo de 20 mS entre adquisición, resultado de haber una DP por ciclo de la senoide de referencia. También se visualiza luego de ocho adquisiciones el tiempo requerido para el procesamiento de los datos.

La operatoria de procesamiento se ejecuta al finalizar la adquisición de un bloque de memoria. Durante la misma se recorren los *slots* en búsqueda del valor máximo absoluto, una vez encontrado se calcula la fase de la senoide de referencia que pertenece al mismo y se guarda en memoria RAM. Los resultados demuestran que para ejecutar este proceso sobre un banco de 16384 muestras es necesario un tiempo de 5,5 mS. Esto equivale a 99° de desplazamiento angular de la senoide de referencia.

Si el proceso finaliza antes de comenzar un nuevo semiciclo el procesador puede rearmarse y continuar, de lo contrario deberá dejar un ciclo muerto.

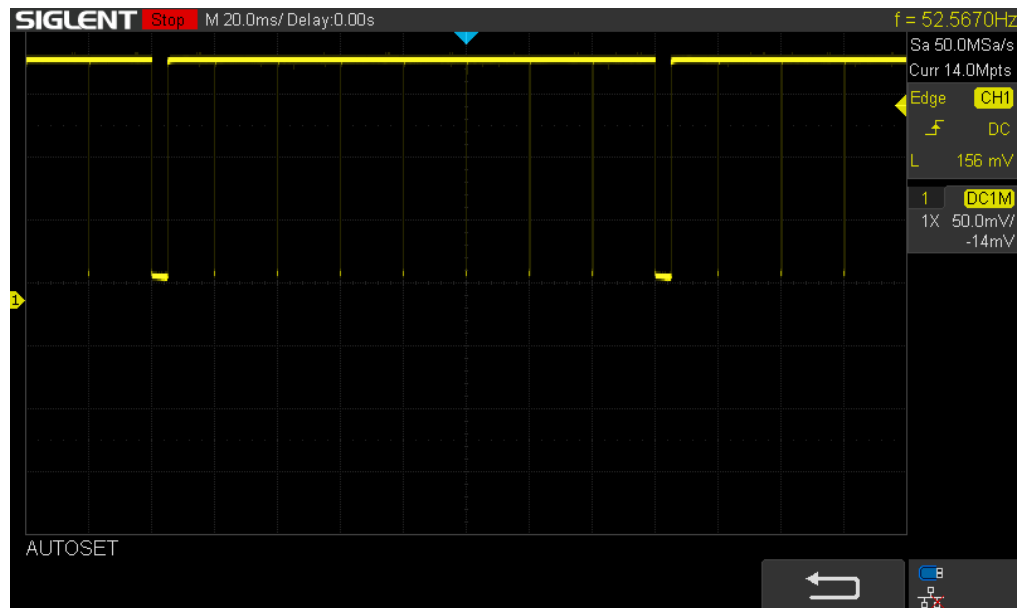


FIGURA 4.13. Tiempo necesario para procesar 8 slots de memoria de 2048 muestras y obtener sus valores máximos absolutos con sus respectivas fases.

4.7. Tiempos de almacenado

Los ensayos de almacenamiento se realizaron con el fin de determinar cuánto tiempo requiere el procesador para almacenar el total de la adquisición en el soporte flash USB. Al igual que el procesamiento, este proceso se realiza al completar un banco de memoria, por lo que se efectúan rafagas de escritura de 32 kB. Junto con el volcado de memoria se efectúa el proceso de búsqueda de pico y fase descrito en el ensayo de procesamiento.

El abordaje para esta prueba fue igual al realizado durante el ensayo de procesamiento, solo se generó una DP por ciclo de la senoide de referencia. Puede apreciarse en el oscilograma, figura 4.14, un tren de ocho DP a una distancia de 20mS finalizados por el tiempo requerido para procesar y almacenar el banco.

El tiempo requerido para realizar un vuelco de memoria y su procesamiento es de 16 mS esto es igual a 288° de desplazamiento angular sobre la senoide de referencia. Al igual que en el proceso de procesamiento el sistema podrá rearmarse si finaliza antes del inicio de un nuevo periodo, de lo contrario deberá dejar un ciclo muerto.

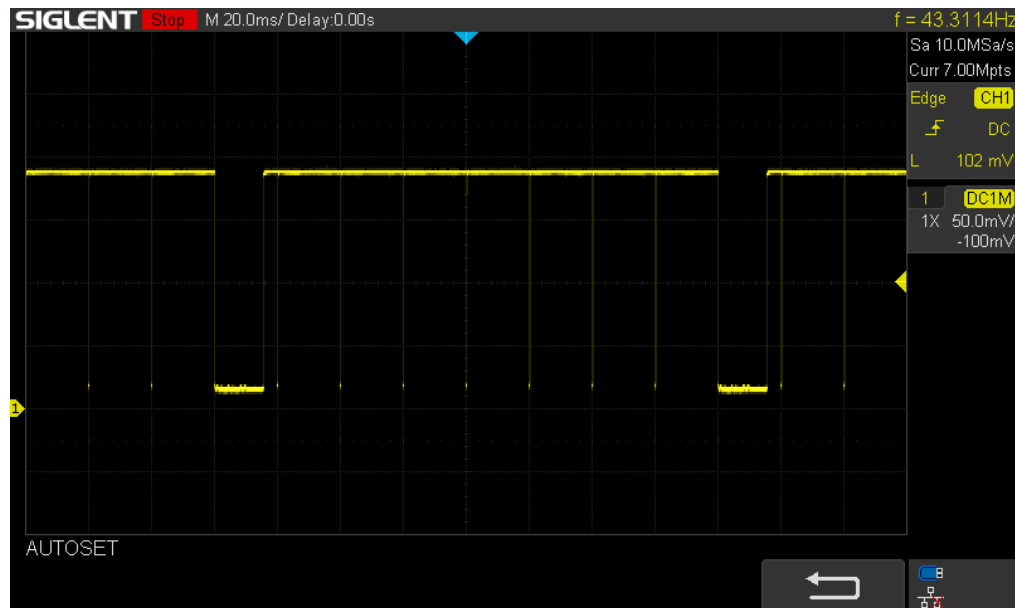


FIGURA 4.14. Tiempo necesario para procesar 8 slots de memoria de 2048 muestras, obtener sus valores máximos absolutos con sus respectivas fases y almacenarlo en la unidad flash USB.

4.8. Resumen de tiempos

Por medio de esta subsección se pretende hacer un breve resumen de los tiempos requeridos para los procesos de adquisición, procesamiento y almacenado.

La siguiente línea de tiempo, figura 4.15, fue realizada con el equipo configurado para procesar el patrón de DP y almacenar las descargas parciales en el pendrive USB. La ocurrencia de DPs en el canal de entrada fue tal que el equipo no tuvo tiempos de espera entre rearmes.

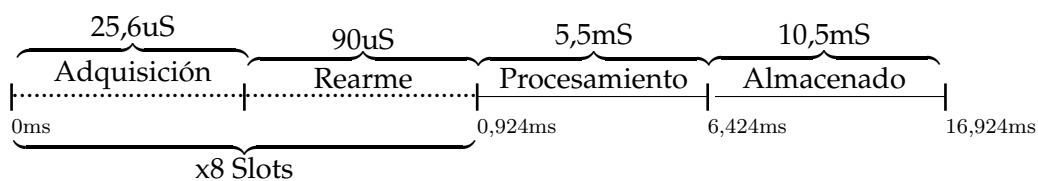


FIGURA 4.15. Línea de tiempo en base a la adquisición de un banco completo.

4.9. Pruebas en campo

Debido a la pandemia global COVID-19 no fue posible realizar pruebas en campo ni en el laboratorio situado en la Universidad Tecnológica Nacional Regional General Pacheco. Dichos ensayos están pendientes a ser realizados cuando se tenga permiso de acceso al laboratorio.

Capítulo 5

Conclusiones

Durante este capítulo se realiza un breve resumen del trabajo realizado, los problemas encontrados y los resultados obtenidos. También se incluye una reseña de posibles implementaciones futuras.

5.1. Trabajo obtenido

El trabajo finalizó con el desarrollo exitoso de un prototipo medidor de DP. Este se armó utilizando una placa de desarrollo “LPC Link 2” y una placa adicional para el filtrado de la señal analógica y adquisición de la senoide de referencia. El equipo logrado es de bajo costo, tamaño reducido y cumple con todos los requerimientos pautados con el cliente a excepción de los requerimientos Req 23 y Req 24 que fueron modificados sin perjudicar la funcionalidad del mismo.

Este prototipo es capaz de generar un patrón de DP de forma autónoma y almacenarlo en un pendrive USB. Para esto permite configurar una serie de parámetros que luego serán utilizados en la adquisición del patrón. Además el equipo permite, de forma optativa, almacenar el muestreo completo de cada DP. Los datos obtenidos pueden ser accedidos por medio del puerto serie usando la interfaz de usuario implementada o pueden procesarse desde la unidad flash utilizando una serie de scripts provistos realizados en Python.

Por medio de las pruebas realizadas pudo validarse la correcta medición de DP sintetizadas de forma digital, también se validó la correcta confección del patrón de DP. Debido a la pandemia global causada por el COVID-19 no fue posible realizar pruebas en el laboratorio de la Universidad Tecnológica Nacional Regional General Pacheco.

En cuanto a la planificación, se cumplió dentro de los plazos esperados a pesar de haberse manifestado el principal riesgo: “restricciones de velocidad para realizar la adquisición”. Se invirtió una suma de tiempo sustancial en mitigar este riesgo, durante esta etapa se intentó resolver la adquisición por medio de un FPGA y un conversor externo de alta velocidad de forma exitosa. Finalmente fue reemplazado por el LPC4370 por motivos de costo y complejidad.

5.2. Conocimientos aplicados

Durante la realización de este proyecto se aplicaron conocimientos adquiridos en el transcurso de la especialidad. Las asignaturas que más aportaron para la realización de este trabajo fueron:

- Gestión de proyecto para crear la documentación relativa a la planificación y seguimiento.
- Programación de microcontroladores para la implementación del firmware en C del microcontrolador ARM M4 elegido.
- Ingeniería de software para seguir buenas prácticas de diseño y documentación.

5.3. Trabajo futuro

A fin de lograr un equipo apto para el mercado como actividades de mejora a futuro se propone:

- Utilizar los dos cortex M0 para revertir los efectos del filtro de forma digital y hacer un resampling de la señal con el objetivos de mejorar la precisión del máximo obtenido.
- Permitir la carga de parámetros de configuración por medio del pendrive USB.
- Implementar un sistema de pre-trigger que permita mantener n muestras anteriores al momento del disparo.

Bibliografía

- [1] IEEE. *IEEE Guide for the Measurement of Partial Discharges in AC Electric Machinery*. 1.^a ed. IEEE Publications, 2010. URL: <https://teslapishro.ir/wp-content/uploads/2019/12/IEEE-Std-1434-2010.pdf>.
- [2] E. y F. Kreuger Gulski. «Computer-aided recognition of Discharge Sources». IEEE Transactions on Dielectrics and Electrical Insulation 27.1, págs. 1702-1711-55. IEEE Publications, 1992. URL: <https://ieeexplore.ieee.org/document/123443>.
- [3] A. y col. Cavallini. «Indexes of the Recognition of Insulation System Defects Derived from Partial Discharge Measurements». IEEE International Symposium on Electrical Insulation. Boston, Estados Unidos. IEEE Publications, 2002. URL: <https://ieeexplore.ieee.org/document/995986>.
- [4] TechImp. *Falcon PD monitor*. <https://www.altanova-group.com/en/products/partial-discharge-tests/acquisition-units/falcon-medium-voltage-pd-monitoring>.
- [5] PowerDiagnostix. *PD Power ICMmonitoring*. <https://www.pdix.com/en/products/partial-discharge-monitoring-systems/icmmonitor.html>.
- [6] Omnicrom. *MPD600*. <https://www.omicronenergy.com/es/productos/mpd-600>.
- [7] *Photocoupler Application Note*. Toshiba. 2018. URL: <https://toshiba.semicon-storage.com/info/docget.jsp?did=13438>.
- [8] *Photocoupler LTV-357T Series*. Lite-On. 2020. URL: <https://optoelectronics.liteon.com/upload/download/DS70-2001-012/LTV-357T%20series%20201606.pdf>.
- [9] *LPC4370 Product datasheet*. NXP Semiconductors. 2020. URL: <https://www.nxp.com/docs/en/data-sheet/LPC4370.pdf>.
- [10] *Fundamentals of sampled data systems*. Analog Devices. 2020. URL: <https://www.analog.com/media/en/technical-documentation/application-notes/an-282.pdf>.
- [11] NXP Semiconductors. *MCUXPRESSO IDE v11.3*. Disponible: 2021-05-01. URL: <https://www.nxp.com/design/software/development-software/mcuxpresso-software-and-tools-/mcuxpresso-integrated-development-environment-ide:MCUXpresso-IDE>.
- [12] ELM-Chan. *FatFs - Generic FAT Filesystem Module*. <http://elm-chan.org>.
- [13] Mattwach. *FyGen*. <https://github.com/mattwach/fygen>.