



**FACULTAD
DE INGENIERIA**

Universidad de Buenos Aires

Equipo adquisidor de descargas parciales

Autor:

Pablo Severini

Director:

Dr. Ing. Marcos Maillot (UTN FRGP)

Codirector:

Ing. Cristian Bonini (UTN FRGP)

Jurados:

Nombre y Apellido (1) (pertenencia (1))

Nombre y Apellido (2) (pertenencia (2))

Nombre y Apellido (3) (pertenencia (3))

*Este trabajo fue realizado en el curso de Gestión de proyectos
entre el 22 de junio de 2020 y el 22 de Agosto de 2020.*

Índice

Registros de cambios	3
Acta de Constitución del Proyecto	4
Descripción técnica-conceptual del Proyecto a realizar	5
Identificación y análisis de los interesados	6
1. Propósito del proyecto	6
2. Alcance del proyecto	6
3. Supuestos del proyecto	7
4. Requerimientos	7
5. Entregables principales del proyecto	8
6. Desglose del trabajo en tareas	9
7. Diagrama de Activity On Node	10
8. Diagrama de Gantt	11
9. Matriz de uso de recursos de materiales	13
10. Presupuesto detallado del proyecto	13
11. Matriz de asignación de responsabilidades	14
12. Gestión de riesgos	14
13. Gestión de la calidad	15
14. Comunicación del proyecto	16
15. Gestión de Compras	16
16. Seguimiento y control	16
17. Procesos de cierre	17

Registros de cambios

Revisión	Detalles de los cambios realizados	Fecha
1.0	Creación del documento	22/06/2020
1.1	Se agrega del punto 1 al 6	05/07/2020
1.2	Se agregan las correcciones del punto 1 al 6	15/07/2020
1.3	Se agrega del punto 7 al 11	23/07/2020
1.4	Se agrega del punto 12 al 17	08/08/2020

Acta de Constitución del Proyecto

Buenos Aires, 22 de junio de 2020

Por medio de la presente se acuerda con el Ing. Pablo Severini que su Trabajo Final de la Carrera de Especialización en Sistemas Embebidos se titulará “Equipo adquisidor de descargas parciales”, consistirá esencialmente en un equipo que detecte pulsos de descargas parciales traducidos por un sensor externo y mediante la referencia de la fase bajo medición construya un patrón de descargas parciales. Tendrá un presupuesto preliminar estimado de 800€ y 600 hs de trabajo, con fecha de inicio 22 de junio de 2020 y fecha de presentación pública 22 de Agosto de 2021.

Se adjunta a esta acta la planificación inicial.

Ariel Lutenberg
Director posgrado FIUBA

Marcos Maillot
UTN FRGP

Dr. Ing. Marcos Maillot
Director del Trabajo Final

Ing. Cristian Bonini
Co-Director del Trabajo Final

Nombre y Apellido (1)
Jurado del Trabajo Final

Nombre y Apellido (2)
Jurado del Trabajo Final

Nombre y Apellido (3)
Jurado del Trabajo Final

Descripción técnica-conceptual del Proyecto a realizar

Introducción general al tema

Una descarga parcial es un fenómeno de disrupción eléctrica. Se caracteriza por ser un pulso de corriente de alta frecuencia el cual se produce en el seno de un sistema aislante de una máquina o equipo eléctrico de potencia como consecuencia de la presencia de oclusiones gaseosas, impurezas, aristas aguzadas u otras anomalías que distorsionan la distribución de las líneas de campo eléctrico.

La ocurrencia de este fenómeno provoca un deterioro local del sistema aislante. Indistintamente de cuál sea el medio en el que este fenómeno se manifiesta y cual sea la causa que lo origina, el deterioro del sistema es acumulativo.

El generador de patrones de descargas parciales (en adelante DP) es un equipo que permite realizar mediciones de distintos tipos de DP en máquinas o equipos eléctricos de potencia. Por medio de estas mediciones es posible monitorear el estado de su aislación. En la figura 1 se presenta el diagrama en bloques del sistema.

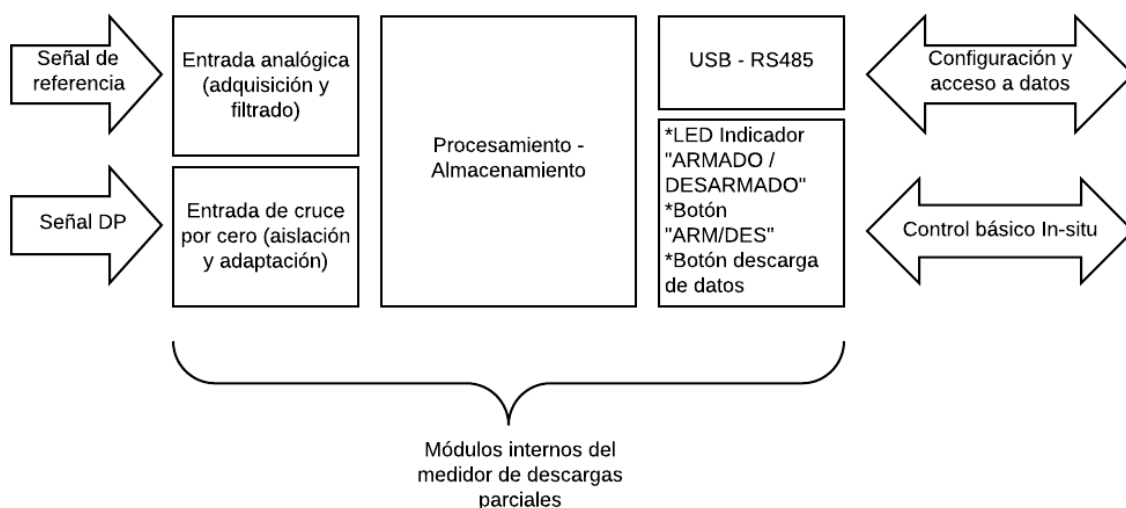


Figura 1: Diagrama en bloques del sistema

Descripción detallada

El objetivo del presente trabajo es desarrollar un sistema capaz de detectar los picos máximos de los pulsos de DP y representarlos sobre una senoide de referencia de frecuencia industrial - 50 Hertz – en fase con la tensión de ensayo. La superposición de eventos conformará una nube cuya estructura o morfología dará indicios del tipo de DP (corona, interna o superficial). A la representación antes mencionada se la conoce con el nombre de “Patrón de DP”. Una imagen de este puede apreciarse en la figura 2.

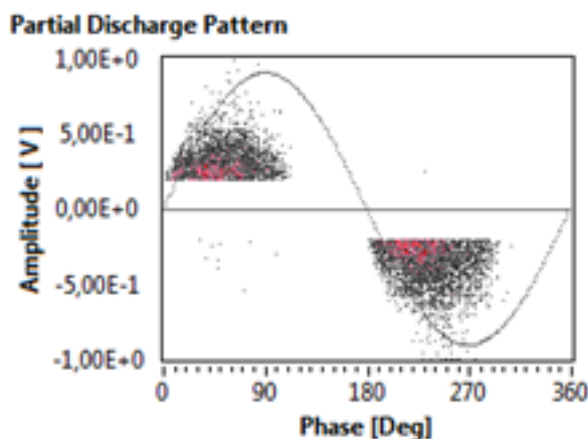


Figura 2: Ejemplo de patrón de DP del tipo interna

Estado del arte

Actualmente existen equipos de medición de descargas parciales fabricados por empresas extranjeras como TechImp, PD Power Diagnostic, Omnicrom. El sistema propuesto se diferencia de los antes mencionados por ser un equipo de bajo costo capaz de ser instalado de forma fija para realizar monitoreo en tiempo real.

Identificación y análisis de los interesados

Rol	Nombre y Apellido	Organización	Puesto
Cliente	Marcos Maillot	UTN FRGP	Director Trabajo final
Impulsor	Pablo Severini	FIUBA	Alumno
Responsable	Pablo Severini	FIUBA	Alumno
Orientador	Ing. Cristian Bonini	UTN FRGP	Co-Director Trabajo final

1. Propósito del proyecto

El propósito de este proyecto es crear un equipo de medición de descargas parciales de bajo costo capaz de ser instalado permanentemente, para brindar un monitoreo constante, rápido y eficiente.

2. Alcance del proyecto

El presente proyecto incluye:

- El desarrollo del prototipo del producto.
- El desarrollo del firmware.
- El diseño electrónico del hardware.
- Confección de un manual de uso.

- Pruebas de validación y verificación.

El presente proyecto no incluye:

- El desarrollo del equipo final.
- Diseño de gabinete.
- Pruebas en campo.

3. Supuestos del proyecto

- UTN FRGP proveerá una base de datos de señales de DP adquiridas sobre distintas probetas de distintos materiales dieléctricos en laboratorio.
- En el ámbito del COVID 2019, no se cerrarán las importaciones impidiendo el acceso a equipamiento o materiales necesarios para la ejecución del proyecto.

4. Requerimientos

1. Requerimientos generales

- 1.1. El dispositivo deberá, mediante el procesamiento de las adquisiciones, detectar los picos máximos de los pulsos de DP y representarlos sobre una senoide de referencia de frecuencia industrial - 50 Hertz - en fase con la tensión de ensayo (generar un patrón de DP).
- 1.2. El dispositivo deberá funcionar como un sistema *"stand-alone"*.
- 1.3. El dispositivo debe mantener la fecha y hora por medio de un RTC.
- 1.4. El dispositivo deberá tener un puerto de acceso serial (preferentemente diferencial) para configuración y acceso a datos remoto.
- 1.5. El dispositivo deberá contar con un puerto USB para la descarga de los patrones de DP.

2. Requerimientos asociados a la configuración

- 2.1. El dispositivo deberá permitir modificar el umbral de disparo a partir del cual se comenzará a procesar una señal.
- 2.2. El dispositivo deberá permitir modificar la cantidad de muestras que serán procesadas por disparo (máximo 1000).
- 2.3. El dispositivo deberá permitir modificar la cantidad de disparos (máximo 1000) que componen a un patrón de DP.
- 2.4. El dispositivo deberá permitir configurar el RTC.
- 2.5. El dispositivo deberá permitir planificar la generación automática de un patrón DP cada periodos múltiplos de 1 hora (calendario).
- 2.6. El dispositivo deberá permitir generar un patrón de DP con los parámetros configurados a demanda y transferirlo por el puerto serie.

3. Requerimientos asociados al modo de trabajo
 - 3.1. El dispositivo deberá permitir poner al sistema en modo “ARMADO” y “DESARMADO”.
 - 3.2. En modo “ARMADO” el dispositivo deberá cumplir con las adquisiciones preestablecidas por calendario.
 - 3.3. En modo “DESARMADO” el dispositivo no estará operativo.
4. Requerimientos asociados a la adquisición de la señal de referencia
 - 4.1. La entrada de señal de referencia debe poder detectar los cruces por cero de una senoide de 50 Hz, y saber su polaridad.
 - 4.2. La entrada de señal de referencia debe ser opto-acoplada.
 - 4.3. El dispositivo deberá llevar un contador en milisegundos a partir de la señal de cruce por cero. De forma tal que se pueda saber en todo momento si está transcurriendo un semiciclo positivo o negativo y saber cuánto tiempo transcurrió desde su inicio.
5. Requerimientos asociados a la adquisición de la señal analógica
 - 5.1. Se deben poder adquirir señales con una ancho de banda entre 0.1MHz y 40Mhz con una resolución mínima de 8 bits.
 - 5.2. La amplitud máxima de la señal de entrada sera de 1 Vpp.
 - 5.3. La entrada para el sensor analógico deberá ser de 50 ohms diferencial.
 - 5.4. El dispositivo deberá detectar cuando la señal muestreada supere el umbral de disparo, si esto sucediera las siguientes muestras (cantidad definida anteriormente en la configuración) deberán ser comparadas entre sí y preservar la de mayor magnitud. El valor obtenido deberá ser almacenado en memoria, junto con un *timestamp*, la polaridad del semiciclo de referencia y su momento angular. Este proceso debe ser repetido hasta que se cumplan los disparos que componen un patrón DP.
6. Requerimientos asociados a la interfaz de usuario
 - 6.1. Deberá indicar su estado “ARMADO - DESARMADO” por medio de un led de estado.
 - 6.2. Deberá permitir “ARMAR - DESARMAR” al sistema por medio de una tecla física.
 - 6.3. Deberá realizar la acción de transferir a un *pendrive* el contenido total de la memoria interna por medio de una tecla física.
7. Requerimientos de acceso a datos
 - 7.1. El dispositivo deberá listar todos los patrones de DP almacenados bajo el siguiente identificador “AAMMDhmm” en base a la fecha de generación del patrón.
 - 7.2. El dispositivo deberá permitir seleccionar al patrón por medio de su identificador y solicitar su transferencia por puerto serie.

Historias de usuarios (*Product backlog*)

Como personal de mantenimiento quiero poder realizar un patrón de DP a demanda o programado.

- Ponderación: 7
- Prioridad: 3

Como personal de mantenimiento quiero poder configurar la cantidad de muestras y de disparos que componen a una patrón de DP.

- Ponderación: 3
- Prioridad: 3

Como personal de mantenimiento quiero poder configurar el umbral de disparo para la detección de una DP.

- Ponderación: 7
- Prioridad: 3

Como personal de mantenimiento quiero poder configurar la hora por medio de una terminal.

- Ponderación: 2
- Prioridad: 1

Como personal de mantenimiento quiero poder descargar los patrones de DP por medio de un pendrive.

- Ponderación: 3
- Prioridad: 1

Como personal de mantenimiento quiero poder descargar los patrones de DP por medio de una terminal.

- Ponderación: 1
- Prioridad: 2

Como personal de mantenimiento quiero poder activar o desactivar el dispositivo por una terminal.

- Ponderación: 1
- Prioridad: 1

Ponderaciones: 1(esfuerzo bajo) 3(esfuerzo medio) 7(esfuerzo alto)
Prioridades: 1(prioridad mínima) 2(prioridad media) 3(prioridad máxima)

5. Entregables principales del proyecto

- Manual de uso
- Diagrama esquemático
- Diagrama de instalación
- *Firmware*
- Informe final

6. Desglose del trabajo en tareas

1. Planificación

- 1.1. Realizar el plan de proyecto (20 hs)

2. Recopilación de información

- 2.1. Búsqueda de información teórica de muestreo a alta velocidad (32 hs)
- 2.2. Búsqueda de componentes para la etapa de adquisición analógica (26 hs)

3. Diseño de y validación del *hardware*

- 3.1. Selección y cálculo de filtros. (10 hs)
- 3.2. Diseño del esquemático para la etapa de adquisición analógica. (20 hs)
- 3.3. Diseño del *PCB* para la etapa de adquisición analógica. (12 hs)
- 3.4. Montaje de componentes. (8 hs)
- 3.5. Verificación y puesta en marcha del *hardware*. (20 hs)
- 3.6. Validación de la etapa analógica por medio de inyección señales. (15 hs)
- 3.7. Codificar funciones para validar el diseño de la adquisición analógica. (30 hs)

4. Desarrollo módulo de adquisición

- 4.1. Codificar funciones de comunicación con ADC. (40 hs)
- 4.2. Codificar funciones de detección de cruce por cero. (15 hs)
- 4.3. Codificar funciones para el umbral de disparo. (24 hs)

5. Desarrollo módulos auxiliares

- 5.1. Codificar funciones de comunicación para la UART. (30 hs)
- 5.2. Codificar funciones del reloj de tiempo real. (20 hs)
- 5.3. Codificar funciones de botones de entrada y led de estado. (4 hs)
- 5.4. Codificar funciones de almacenamiento USB. (40 hs)

6. Integración

- 6.1. Integrar todos los módulos de software. (50 hs)
- 6.2. Pruebas funcionales. (30 hs)
- 6.3. Integrar los módulos de funciones de adquisición. (50 hs)

7. Proceso final

- 7.1. Confeccionar manual de uso. (10 hs)
- 7.2. Confeccionar memoria (50 hs)
- 7.3. Revisión final del documento (24 hs)
- 7.4. Diseño del esquemático final. (20 hs)

Cantidad total de horas: (600 hs)

7. Diagrama de Activity On Node

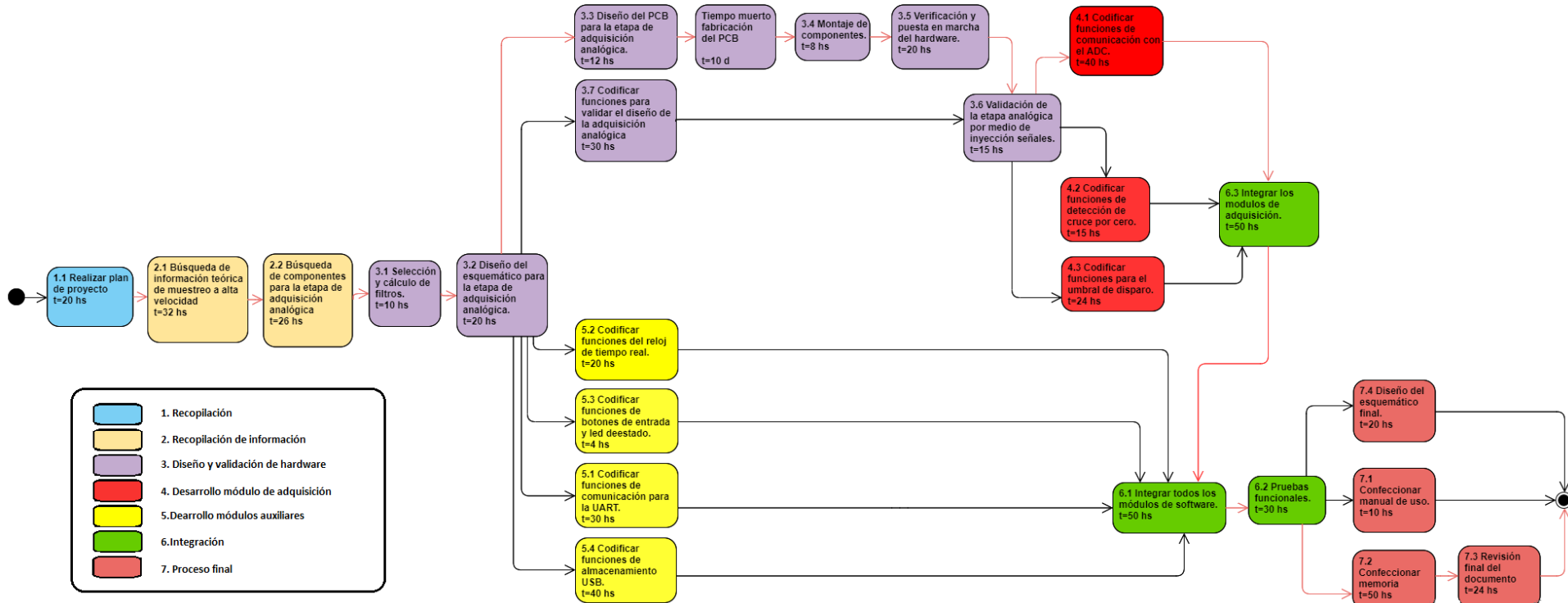


Figura 3: Diagrama en *Activity on Node*

8. Diagrama de Gantt

1. Planificación	2.5days	07/01/2020	07/13/2020		
1.1. Realizar el plan de proyecto	20hrs	07/01/2020	07/13/2020		Pablo Severini
2. Recopilación de información	7.25days	07/15/2020	08/23/2020		
2.1. Búsqueda de información teórica de muestreo a alta velocidad	32hrs	07/15/2020	08/05/2020	2	Pablo Severini
2.2. Búsqueda de componentes para la etapa de adquisición a	26hrs	08/07/2020	08/23/2020	4	Pablo Severini
3. Diseño de y validación del hardware	26.13days	08/24/2020	01/17/2021		
3.1. Selección y cálculo de filtros	10hrs	08/24/2020	08/30/2020	5	Pablo Severini
3.2. Diseño del esquemático para la etapa de adquisición anal	20hrs	08/31/2020	09/13/2020	7	Pablo Severini
3.3. Diseño del PCB para la etapa de adquisición analógica	12hrs	09/14/2020	09/21/2020	8	Pablo Severini
3.4. Montaje de componentes.	8hrs	11/27/2020	12/02/2020	22,9FS+10days	Pablo Severini
3.5. Verificación y puesta en marcha del hardware.	20hrs	12/04/2020	12/16/2020	10	Pablo Severini
3.6. Validación de la etapa analógica por medio de inyección si	15hrs	01/08/2021	01/17/2021	11,13	Pablo Severini
3.7. Codificar funciones para validar el diseño de la adquisición	30hrs	12/18/2020	01/06/2021	8,11	Pablo Severini
4. Desarrollo módulo de adquisición	9.88days	01/17/2021	03/14/2021		
4.1. Codificar funciones de comunicación con ADC.	40hrs	01/17/2021	02/14/2021	12	Pablo Severini
4.2. Codificar funciones de detección de cruce por cero.	15hrs	02/14/2021	02/24/2021	12,15	Pablo Severini
4.3. Codificar funciones para el umbral de disparo.	24hrs	02/25/2021	03/14/2021	12,16	Pablo Severini
5. Desarrollo módulo auxiliares	11.75days	09/23/2020	11/27/2020		
5.1. Codificar funciones de comunicación para la UART.	30hrs	09/23/2020	10/12/2020	8,9	Pablo Severini
5.2. Codificar funciones del reloj de tiempo real.	20hrs	10/14/2020	10/26/2020	8,19	Pablo Severini
5.3. Codificar funciones de botones de entrada y led de estado	4hrs	10/28/2020	10/30/2020	8,20	Pablo Severini
5.4. Codificar funciones de almacenamiento USB.	40hrs	10/30/2020	11/27/2020	8,21	Pablo Severini
6. Integración	16.25days	03/14/2021	06/13/2021		
6.1. Integrar todos los módulos de software.	50hrs	04/18/2021	05/23/2021	19,20,21,22,26	Pablo Severini
6.2. Pruebas funcionales.	30hrs	05/23/2021	06/13/2021	24	Pablo Severini
6.3. Integrar los módulos de funciones de adquisición.	50hrs	03/14/2021	04/18/2021	15,16,17	Pablo Severini
7. Proceso final	12.75days	06/13/2021	08/22/2021		
7.1. Confeccionar manual de uso.	10hrs	06/13/2021	06/20/2021	25	Pablo Severini
7.2. Confeccionar memoria.	50hrs	06/20/2021	07/25/2021	25,28	Pablo Severini
7.3. Revisión final del documento.	24hrs	07/25/2021	08/09/2021	29	Pablo Severini
7.4. Diseño del esquemático final.	18hrs	08/11/2021	08/22/2021	25,30	Pablo Severini

Figura 4: Tareas Gantt

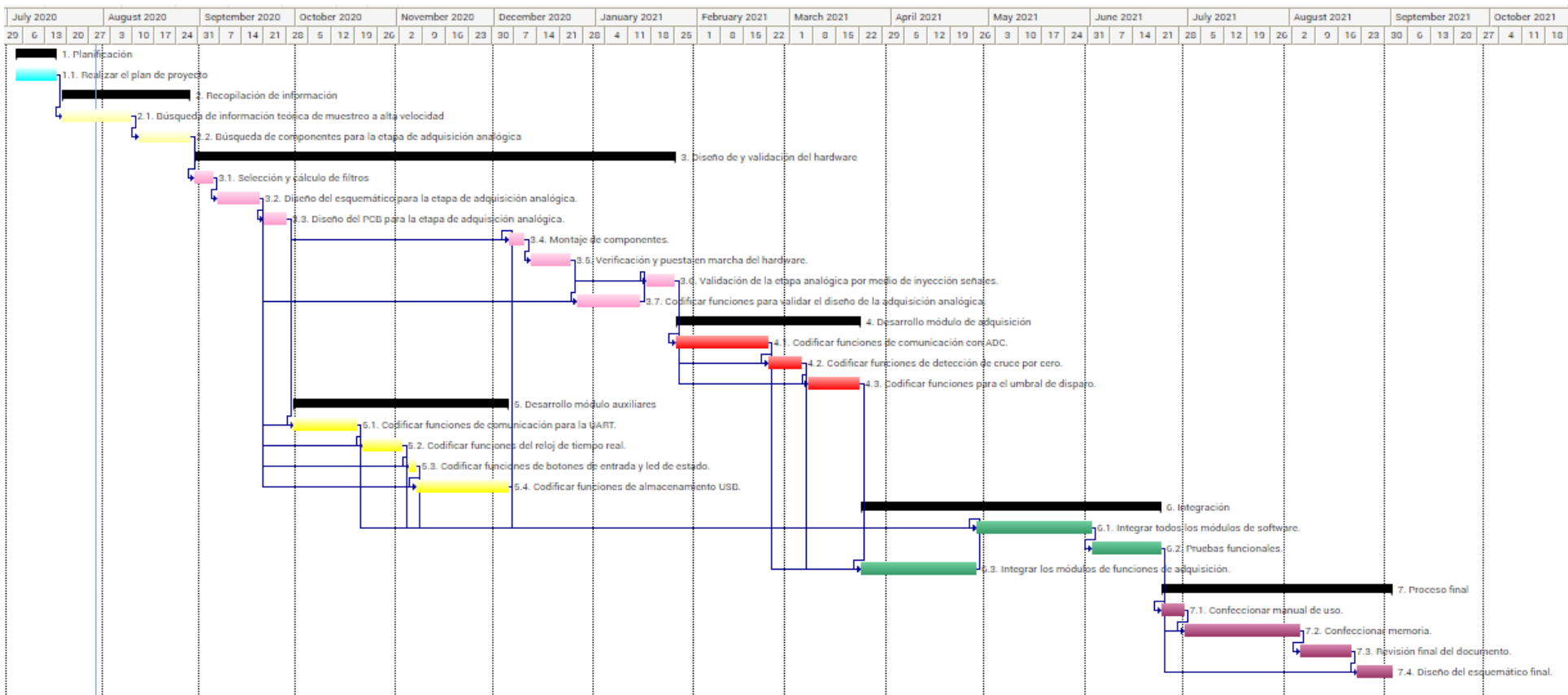


Figura 5: Calendario Gantt

9. Matriz de uso de recursos de materiales

Código WBS	Nombre de la tarea	Recursos requeridos (horas)			
		PC	Placa digital	Placa analógica	Instrumentos
1. Planificación					
1.1	Realizar el plan de proyecto	16 hs			
2. Recopilación de información					
2.1	Búsqueda de información teórica de muestreo a alta velocidad	32 hs			
2.2	Búsqueda de componentes para la etapa de adquisición analógica	30 hs			
3 Diseño de y validación del hardware					
3.1	Selección y cálculo de filtros.	10 hs			
3.2	Diseño del esquemático para la etapa de adquisición analógica.	20 hs			
3.3	Diseño del PCB para la etapa de adquisición analógica.	12 hs			
3.4	Montaje de componentes.			8 hs	
3.5	Verificación y puesta en marcha del hardware.			20 hs	20 hs
3.6	Validación de la etapa analógica por medio de inyección señales.			15 hs	15 hs
3.7	Codificar funciones para validar el diseño de la adquisición analógica.	30 hs	30 hs		
4 Desarrollo módulo de adquisición					
4.1	Codificar funciones de comunicación con ADC.	40 hs	40 hs		
4.2	Codificar funciones de detección de cruce por cero.	15 hs	15 hs		5 hs
4.3	Codificar funciones para el umbral de disparo.	24 hs	24 hs		5 hs
5 Desarrollo módulo auxiliares					
5.1	Codificar funciones de comunicación para la UART.	30 hs	30 hs		
5.2	Codificar funciones del reloj de tiempo real.	20 hs	20 hs		
5.3	Codificar funciones de botones de entrada y led de estado.	4 hs	4 hs		
5.4	Codificar funciones de almacenamiento USB.	40 hs	40 hs		
6 Integración					
6.1	Integrar todos los módulos de software.	50 hs	30 hs	30 hs	10 hs
6.2	Pruebas funcionales.	30 hs	30 hs	30 hs	30 hs
6.3	Integrar los módulos de funciones de adquisición.	50 hs	50 hs	50 hs	50 hs
7 Proceso final					
7.1	Confeccionar manual de uso.	10 hs			
7.2	Confeccionar memoria.	50 hs			
7.3	Revisión final del documento.	24 hs			
7.4	Diseño del esquemático final.	20 hs			
Totales		539 hs	295 hs	153 hs	135 hs

10. Presupuesto detallado del proyecto

COSTOS DIRECTOS			
Descripción	Cantidad	Valor unitario	Valor total
Modulo K210 Maix Dock	1	25€	25€
PCB	1	25€	25€
Componentes etapa analógica	1	100€	100€
SUBTOTAL			150€
COSTOS INDIRECTOS			
Descripción	Cantidad	Valor unitario	Valor total
Osciloscopio Siglent SDS1202X-E	1	365€	365€
Generador de onda arbitraria DDS FY6900	1	85€	85€
Fuente de laboratorio Minleaf NPS3010W	1	40€	40€
Cables y adaptadores SMA a BNC	1	20€	20€
SUBTOTAL			510€
TOTAL			660€

(*)Valores aproximados

11. Matriz de asignación de responsabilidades

Código WBS	Nombre de la tarea	Listar todos los nombres y roles del proyecto		
		Responsable Pablo Severini	Orientador Ing. Cristian Bonini	Cliente Dr. Ing. Marcos Maillot
1. Planificación				
1.1	Realizar el plan de proyecto	P	I	A
2. Recopilación de información				
2.1	Búsqueda de información teórica de muestreo a alta velocidad	P	C	I
2.2	Búsqueda de componentes para la etapa de adquisición analógica	P	C	I
3 Diseño de y validación del <i>hardware</i>				
3.1	Selección y cálculo de filtros.	P	C	C
3.2	Diseño del esquemático para la etapa de adquisición analógica.	P	I	I
3.3	Diseño del <i>PCB</i> para la etapa de adquisición analógica.	P	I	I
3.4	Montaje de componentes.	P	-	-
3.5	Verificación y puesta en marcha del <i>hardware</i> .	P	I	I
3.6	Validación de la etapa analógica por medio de inyección señales.	P	I	I
3.7	Codificar funciones para validar el diseño de la adquisición analógica.	P	-	-
4 Desarrollo módulo de adquisición				
4.1	Codificar funciones de comunicación con ADC.	P	-	-
4.2	Codificar funciones de detección de cruce por cero.	P	-	-
4.3	Codificar funciones para el umbral de disparo.	P	-	-
5 Desarrollo módulo auxiliares				
5.1	Codificar funciones de comunicación para la UART.	P	-	-
5.2	Codificar funciones del reloj de tiempo real.	P	-	-
5.3	Codificar funciones de botones de entrada y led de estado.	P	-	-
5.4	Codificar funciones de almacenamiento USB.	P	-	-
6 Integración				
6.1	Integrar todos los módulos de software.	P	I	I
6.2	Pruebas funcionales.	P	C	A
6.3	Integrar los módulos de funciones de adquisición.	P	I	I
7 Proceso final				
7.1	Confeccionar manual de uso.	P	I	A
7.2	Confeccionar memoria.	P	C	A
7.3	Revisión final del documento.	P	C	A
7.4	Diseño del esquemático final.	P	I	I

Referencias:

- P = Responsabilidad Primaria
- S = Responsabilidad Secundaria
- A = Aprobación
- I = Informado
- C = Consultado

12. Gestión de riesgos

a) Identificación de los riesgos (al menos cinco) y estimación de sus consecuencias:

Riesgo 1: Restricciones de velocidad para realizar la adquisición.

- Severidad (8): Si el microprocesador no es adecuado para realizar la adquisición a alta velocidad, se deberá buscar otro procesador y migrar el trabajo existente a la nueva plataforma generando retrasos en el cronograma, no solo por el trabajo adicional sino por el tiempo de espera en la adquisición del nuevo procesador.
- Probabilidad de ocurrencia (6): Puede suceder ya que el microprocesador elegido si bien opera en frecuencias de procesador de 500 MHz, no tiene apéndice de especificación de la velocidad de los periféricos.

Riesgo 2: Problemas de deformación de señal en la etapa analógica.

- Severidad (9): Si la adaptación y preparación de la señal deforman la misma, la adquisición realizada podría no tener utilidad, obligando a rediseñar la etapa.
- Ocurrencia (5): Puede suceder ya que el diseño de alta frecuencia depende de muchas características de diseño que deben realizarse sin error.

Riesgo 3: Destrucción del prototipo de hardware

- Severidad (8): La pérdida del prototipo de hardware generaría un retraso en el cronograma de trabajo.
- Ocurrencia (5): Es probable que suceda en la etapa de prueba.

Riesgo 4: El instrumental adquirido no cubre con los requerimientos necesarios

- Severidad (7): Impactaría en el costo y en el tiempo de adquisición del nuevo instrumental.
- Ocurrencia (2): Es poco probable que suceda ya que las características necesitadas y las ofrecidas son conocidas .

b) Tabla de gestión de riesgos:

Riesgo	S	O	RPN	S*	O*	RPN*
1	8	6	48	4	6	24
2	9	5	40	9	3	27
3	8	5	40	8	2	16
4	7	2	14	7	2	14

Criterio adoptado: Se tomarán medidas de mitigación en los riesgos cuyos números de RPN sean mayores a 30

Nota: los valores marcados con (*) en la tabla corresponden luego de haber aplicado la mitigación.

c) Plan de mitigación de los riesgos que originalmente excedían el RPN máximo establecido:

Riesgo 1: Se seleccionara y comprara un microprocesador alternativo por si el primero no cumple con los requisitos.

- Severidad (4): La severidad desciende ya que en caso de que el primer microcontrolador no cumpla con los requisitos se dispondrá de un segundo modelo para seguir con la implementación.
- Probabilidad de ocurrencia (6): La probabilidad de ocurrencia se mantiene.

Riesgo 2: La etapa analógica se diseñara teniendo en cuenta las buenas practicas en diseños de alta frecuencia, se calcularan impedancias características de cada etapa realizando microstrip donde corresponda y se seleccionaran cuidadosamente los componentes.

- Severidad (9): La severidad se mantiene.
- Probabilidad de ocurrencia (3): La probabilidad de ocurrencia desciende ya que se aplicaran controles y esfuerzo adicional en el diseño y calculo de la etapa.

Riesgo 3: Se tendrá una placa de prototipo de backup.

- Severidad (8): La severidad se mantiene.
- Probabilidad de ocurrencia (2): La probabilidad de ocurrencia desciende ya que se dispondrá de una placa auxiliar para remplazar la principal.

13. Gestión de la calidad

Para cada uno de los requerimientos del proyecto indique:

- Req #1: El dispositivo deberá, mediante el procesamiento de las adquisiciones, detectar los picos máximos de los pulsos de DP y representarlos sobre una senoide de referencia de frecuencia industrial - 50 Hertz - en fase con la tensión de ensayo (generar un patrón de DP).

Verificación y validación:

- Verificación: Revisión de algoritmos, circuito esquemático y hojas de datos.
- Validación: Se inyectara en la etapa de entrada un señales simulada provistas por el cliente con el fin de validar que el patrón de DP obtenido sea el esperado.

- Req #2: El dispositivo deberá funcionar como un sistema *"stand-alone"*.

Verificación y validación:

- Verificación: Sin acción asociada
- Validación: Se realizaran todas la pruebas solo utilizando el dispositivo.

- Req #3: El dispositivo debe mantener la fecha y hora por medio de un RTC.

Verificación y validación:

- Verificación: Revisión de algoritmos, circuito esquemático y hojas de datos.
- Validación: Se ingresara una hora fecha y hora en el sistema, se interrumpirá el suministro eléctrico y una vez restablecido se verificara la hora del sistema.

- Req #4: El dispositivo deberá tener un puerto de acceso serial (preferentemente diferencial) para configuración y acceso a datos remoto.

Verificación y validación:

- Verificación: Revisión de circuito esquemático.
- Validación: Se realizara una inspección visual y un caso practico de envió de comando para validar su funcionamiento.

- Req #5: El dispositivo deberá contar con un puerto USB para la descarga de los patrones de DP.

Verificación y validación:

- Verificación: Revisión de circuito esquemático.
- Validación: Se realizara una inspección visual y un caso practico de descarga de datos para validar su funcionamiento.

- Req #6: Requerimientos asociados a la configuración.

Verificación y validación:

- Verificación: Se realizaran paquete de prueba de configuración que incluyan tramas de configuración y valores esperados en el equipo luego de recibir la trama.
- Validación: Se realizara la configuración completa del equipo junto al cliente con el fin de recibir la aprobación del mismo.

- Req #7: Requerimientos asociados al modo de trabajo

Verificación y validación:

- Verificación:
- Validación:

- Req #8: La entrada de señal de referencia debe poder detectar los cruces por cero de una senoide de 50 Hz, y saber su polaridad.

Verificación y validación:

- Verificación: Se inyectaran señales de 50 Hz y se verificaran los resultados obtenidos con un osciloscopio y el mismo sistema.
- Validación: Sin acción asociada.

- Req #9: La entrada de señal de referencia debe ser opto-acoplada.

Verificación y validación:

- Verificación: Revisión de circuito esquemático y hojas de dato.
- Validación: Sin acción asociada.

- Req #10: El dispositivo deberá llevar un contador en milisegundos a partir de la señal de cruce por cero. De forma tal que se pueda saber en todo momento si está transcurriendo un semiciclo positivo o negativo y saber cuánto tiempo transcurrió desde su inicio.

Verificación y validación:

- Verificación: Se inyectaran señales de 50 Hz y se verificaran los resultados obtenidos con un osciloscopio y el mismo sistema.
- Validación: Sin acción asociada.

- Req #11: Requerimientos asociados a la adquisición de la señal analógica

Verificación y validación:

- Verificación: Se inyectaran señales simuladas en la etapa de entrada, dentro de los márgenes de frecuencia y tensión de trabajo. Las señales obtenidas por el dispositivo serán comparadas con las medidas por un osciloscopio a la entrada y a la salida del filtro analógico. También se inyectaran señales con frecuencias por encima de la operativa con el fin de detectar si el filtro está cortando correctamente.
- Validación: Se inyectaran señales simuladas provistas por el cliente y se analizarán en conjunto los resultados.

- Req #12: Requerimientos asociados a la interfaz de usuario.

Verificación y validación:

- Verificación: Revisión de circuito esquemático y funciones.
- Validación: Se realizará una operatoria de activación y descarga junto al cliente con el fin de recibir la aprobación del mismo.

- Req #13: Requerimientos de acceso a datos

Verificación y validación:

- Verificación: Revisión de funciones y diagramas.
- Validación: Se realizará una operatoria de acceso a datos junto al cliente con el fin de recibir la aprobación del mismo.

14. Comunicación del proyecto

PLAN DE COMUNICACIÓN DEL PROYECTO					
¿Qué comunicar?	Audiencia	Propósito	Frecuencia	Método de comunicac.	Responsable
Avances	Dr.Ing.Marcos Maillot, Ing. Cristian Bonini	Solucionar problemas, anticipar desvíos, prevenir atrasos.	Quincenal	Mail	Pablo Severini
Consultas	Dr.Ing.Marcos Maillot, Ing. Cristian Bonini	Consultar dudas teóricas y de diseño	Quincenal	Video-conferencia	Pablo Severini
Avances con plan de trabajo	Patricio Bos, Ariel Lutem-berg	Semanal	Mail		Pablo Severini

15. Gestión de Compras

Compra: Componentes electrónicos Proveedor: Mouser Criterios de selección: Calidad, precio, disponibilidad de componentes y envíos Portugal.

Compra: Osciloscopio Siglent SDS1202X-E Proveedor: Welectron GmbH Criterios de selección: Precio, es representante oficial de Sigilent y hace envíos a Portugal.

Compra: DDS FY6900 Proveedor: Amazon Criterios de selección: Precio, disponibilidad y envíos rápidos a Portugal.

Compra: Fuente Minleaf NPS3010W Proveedor: Amazon Criterios de selección: Precio, disponibilidad y envíos rápidos a Portugal.

Compra: Cables y adaptadores SMA Proveedor: Amazon Criterios de selección: Precio, disponibilidad y envíos rápidos a Portugal.

Compra: PCB Proveedor: JLCPCB Criterios de selección: Precio, tiempo producción y hace envíos por DHL.

16. Seguimiento y control

SEGUIMIENTO DE AVANCE						
Tarea del WBS	Indicador de avance	Frecuencia de reporte	Resp. de seguimiento	Persona a ser informada	Método de comunic.	
1.1	Cantidad de puntos completados	Semanal	Pablo Severini	Patricio Bos, Ariel Lutemberg, Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail	
2.1	Cantidad de documentos y hojas de datos encontradas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Video-conferencia, Mail	
2.2	Cantidad de componentes disponibles	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail	
3.1	Cantidad de variantes de filtros analizadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Video-conferencia, Mail	
3.2	Cantidad de módulos diseñados	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Video-conferencia, Mail	
3.3	Cantidad de componentes posicionados	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Video-conferencia, Mail	
3.4	Cantidad de componentes montados	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail	
3.5	Cantidad de módulos funcionando	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail	
3.6	Cantidad de etapas validadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Video-conferencia, Mail	
3.7	Cantidad de funcionalidades alcanzadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail	

SEGUIMIENTO DE AVANCE					
Tarea del WBS	Indicador de avance	Frecuencia de reporte	Resp. de seguimiento	Persona a ser informada	Método de comunic.
4.1	Cantidad de funcionalidades alcanzadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
4.2	Cantidad de funcionalidades alcanzadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
4.3	Cantidad de funcionalidades alcanzadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
5.1	Cantidad de funcionalidades alcanzadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
5.2	Cantidad de funcionalidades alcanzadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
5.3	Cantidad de funcionalidades alcanzadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
5.4	Cantidad de funcionalidades alcanzadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
6.1	Cantidad de módulos integradas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
6.2	Porcentaje de pruebas realizadas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
6.3	Cantidad de módulos integradas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
7.1	Cantidad de unidades escritas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
7.2	Cantidad de unidades escritas	Quincenal	Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail

SEGUIMIENTO DE AVANCE					
Tarea del WBS	Indicador de avance	Frecuencia de reporte	Resp. de seguimiento	Persona a ser informada	Método de comunic.
7.3	Cantidad de unidades corregidas		Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail
7.4	Cantidad de módulos diseñados		Pablo Severini	Dr. Ing. Marcos Maillot, Ing. Cristian Bonini	Mail

17. Procesos de cierre

Pablo Severini es el responsable de analizar el cumplimiento de los requerimientos establecidos. También será el responsable de seguir y comparar los tiempos utilizados para cada actividad y los estimados en la planificación, con el fin de aplicar el plan de contingencia pertinente a cada situación.

Pablo Severini es el responsable de analizar los procedimientos utilizados durante las tareas, identificar cuáles presentaron dificultades y los resultados obtenidos para cada tarea. El resultado será registrado en las memorias del proyecto final.

Una vez finalizado el proyecto, se agradecerá formalmente a todos los colaboradores y se informará a los interesados la finalización del mismo. En la memoria del proyecto se escribirá un agradecimiento a los colaboradores.