

# FPGA SIG



# Filosofía del grupo



- Todos somos profesores
- Todos somos alumnos
- Documentacion publica
- Libre divulgacion y reclutamiento
- Trabajo grupal

# Temario a abordar



- Resena
- EDA's
  - Quartus
    - Proyecto
    - Compilacion
    - Simulacion
    - Optimizacion
    - Grabacion
  - Otros EDA's
- VHDL
  - AHDL
  - Verilog
  - etc
- Placa de desarrollo
  - Programacion
  - Funcionamiento
- FLEXX10
  - Estudio interno
  - Caracteristicas
  - Comparaciones
  - Metodos de grabacion
    - ByteBlaster
    - JTAG
    - Activos
    - Pasivo
- ECL2
  - Especificaciones
  - Modos de uso
  - Alternativas
- Estado de arte de la tecnologia
  - Comparacion con otras marcas
- Vent. - Desv.
  - Analisis de ejemplos
  - Generacion de bibliotecas dedicadas
  - Diseno de placa de desarrollo propia
  - etc,etc.

# Temas del dia

- **Resena**

- EDA's

  - Quartus

    - **Proyecto**

    - **Compilacion**

    - Simulacion

    - Optimizacion

    - **Grabacion**

  - Otros EDA's

- VHDL

  - AHDL

  - Verilog

  - etc

- Placa de desarrollo

  - **Programacion**

- FLEXX10

  - **Estudio interno**

  - **Caracteristicas**

  - **Comparaciones**

  - Metodos de grabacion

    - ByteBlaster

    - JTAG

    - Activos

    - Pasivo

- ECL2

  - Especificaciones

  - Modos de uso

  - Alternativas

  - Estado de arte de la tecnologia

  - Comparacion con otras marcas

  - Ventajas y desventajas

  - Analisis de ejemplos

  - Generacion de bibliotecas dedicadas

  - Diseno de placa de desarrollo propia

  - etc,etc.

- **Resena**
- Quartus
- Pca.desarrollo
- FlexK10
- ECL2
- Ejemplo

# Resena...

A thick, horizontal yellow brushstroke with a textured, painterly appearance, extending across the width of the slide below the title.

- Resena
- Quartus
- Pca.desarrollo
- FlexK10
- ECL2
- Ejemplo

# PLA (programmable logic array)

## •PLA

- Diseno plano
- Pocas operaciones
- OTP
- TTL

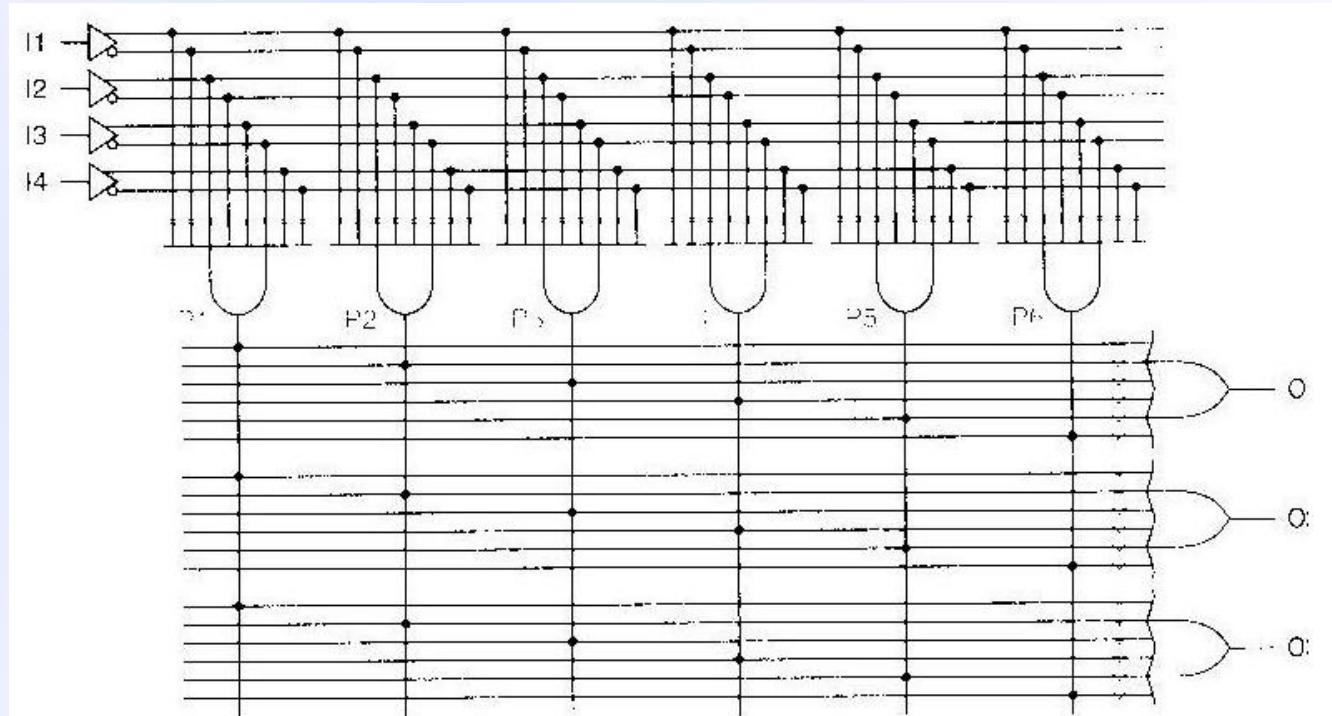


Figure 5-21 A 4 x 3 PLA with six product terms.

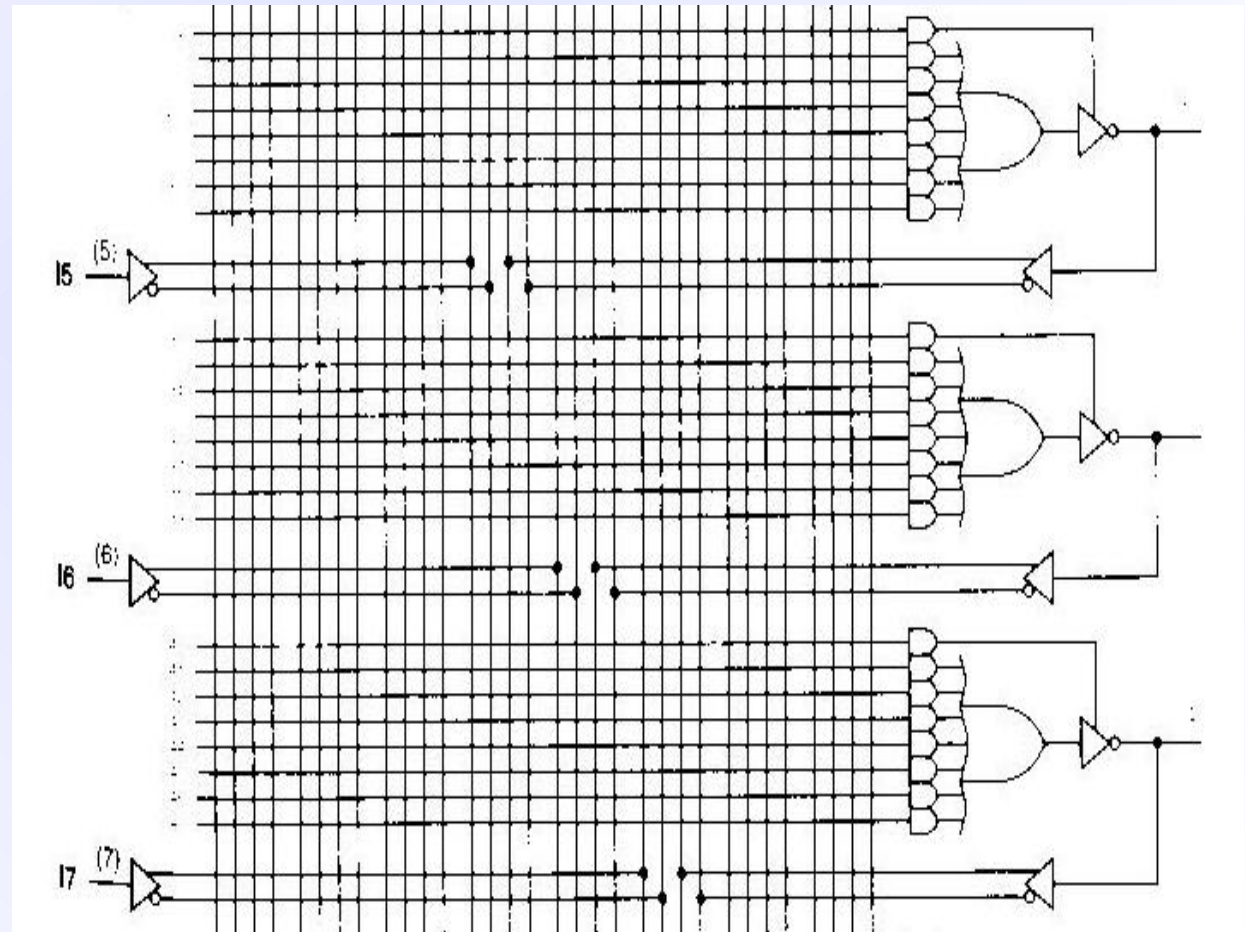
- Resena
- Quartus
- Pca.desarrollo
- FlexK10
- ECL2
- Ejemplo

# PLD (programmable array logic (PAL) device)

## •PLA

## •PLD

- Or fijas
- I/O bidireccionales
- OTP
- TTL





- Resena
- Quartus
- Pca.desarrollo
- FlexK10
- ECL2
- Ejemplo

# GAL (generic array logic)

- PLA
- PLD
- GAL, PALCE

- Secuenciales: FF
- Polaridad de salida=>ma eficiencia
- EEPLD
- CMOS

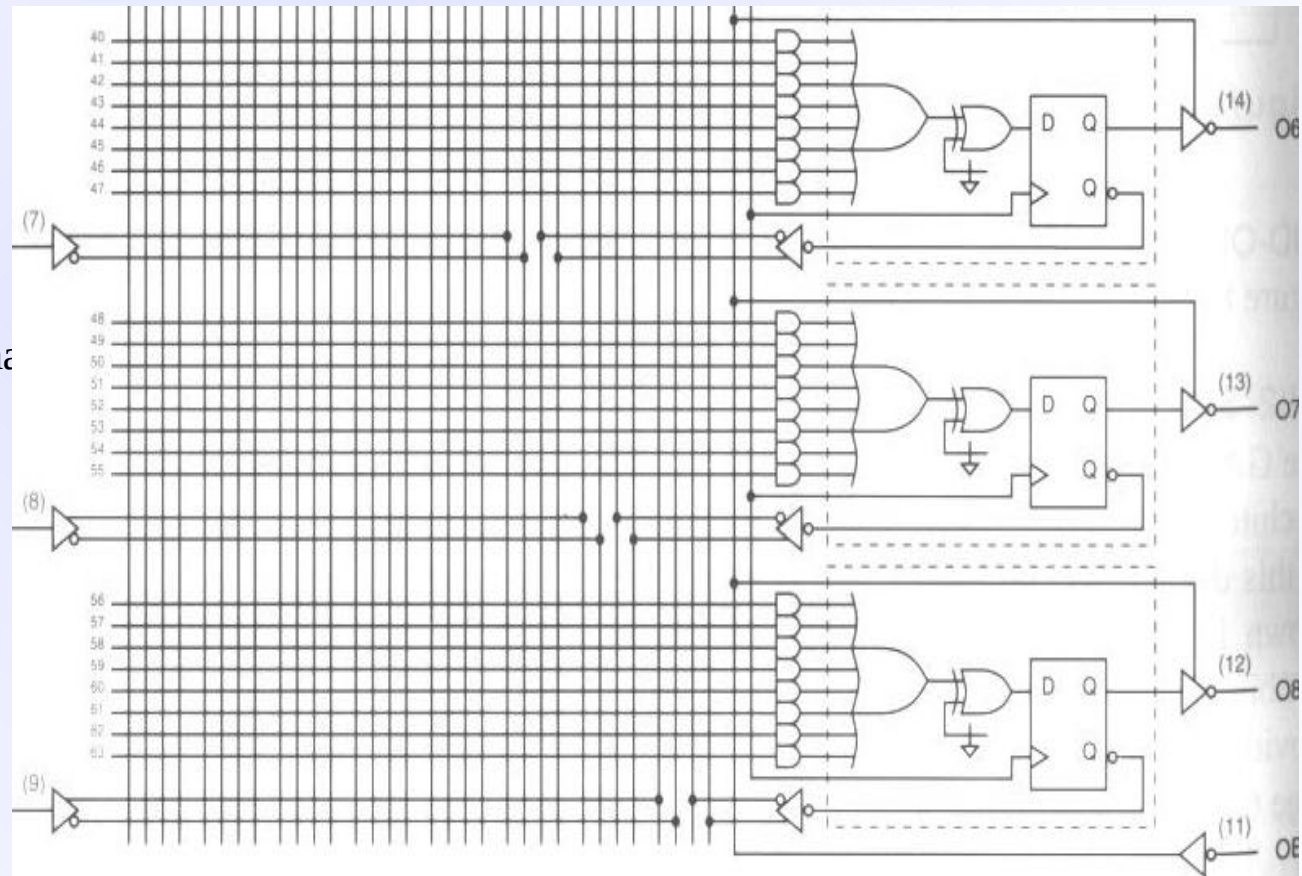


Figure 8-20 Logic diagram for the 16V8 in the "registered" configuration.

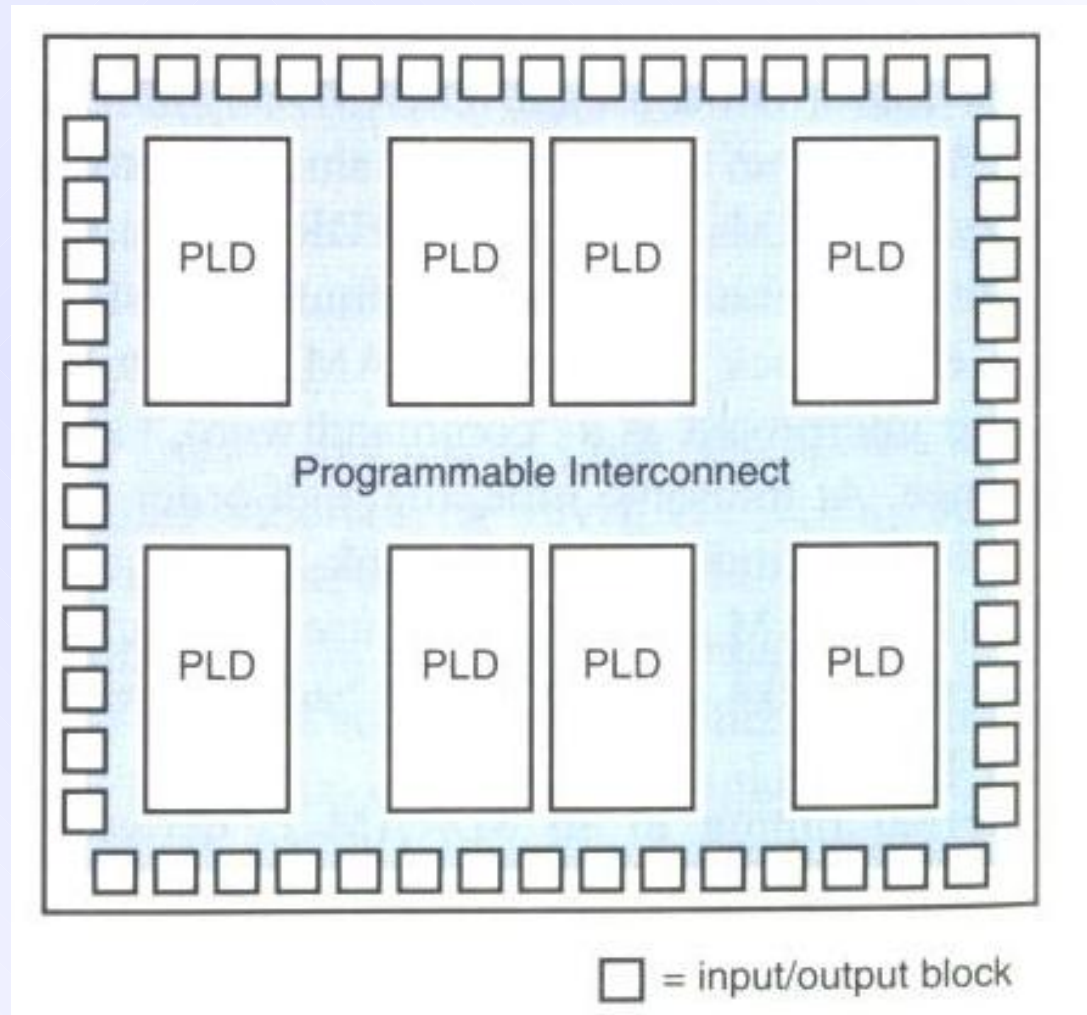


- Resena
- Quartus
- Pca.desarrollo
- FlexK10
- ECL2
- Ejemplo

# CPLD (complex programmable logic device)

- PLA
- PLD
- GAL
- CPLD

- Array de PLD's
- Matriz de coneccion

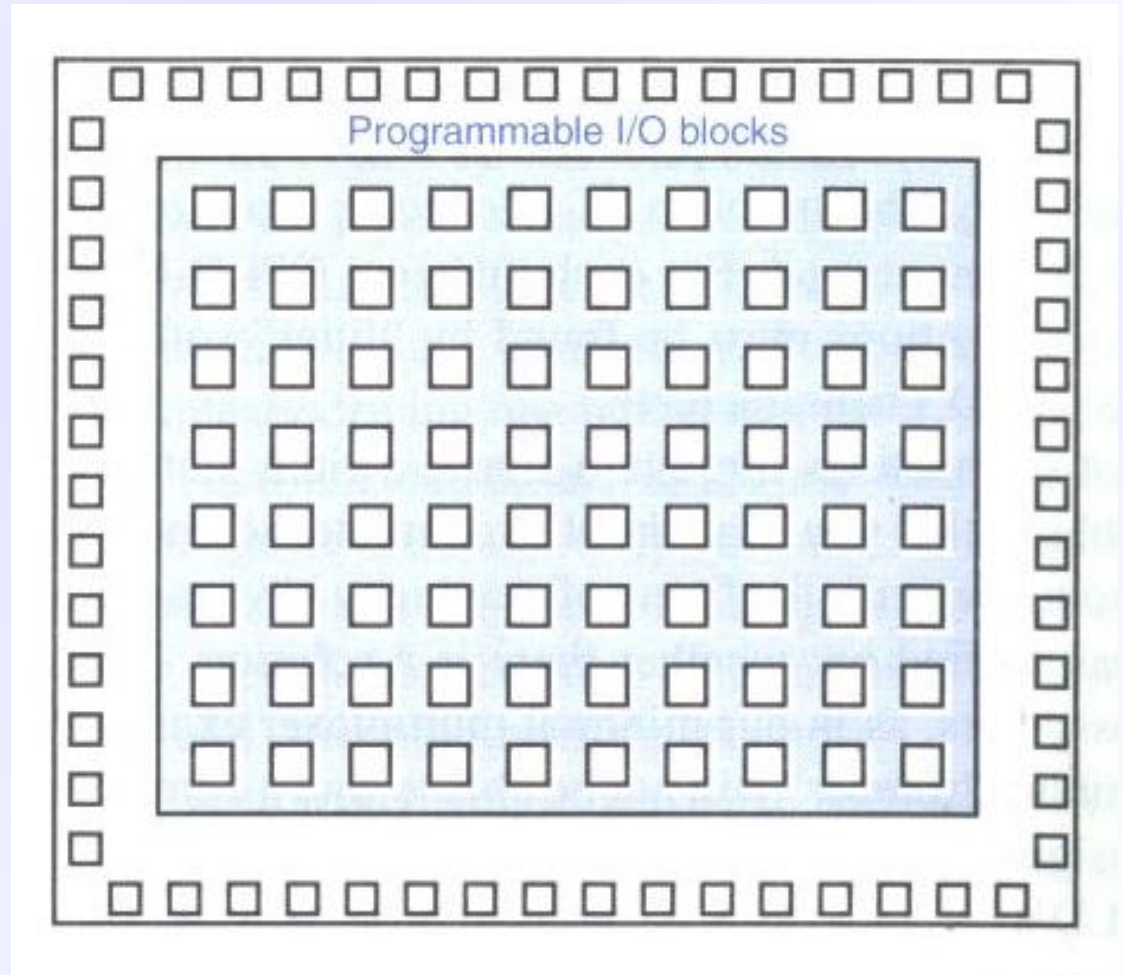


- Resena
- Quartus
- Pca.desarrollo
- FlexK10
- ECL2
- Ejemplo

# FPGA (field programmable gate array)

- PLA
- PLD
- GAL
- CPLD
- FPGA

- pequenos bloques
- Matriz de coneccion
- LUT
- Embedded systems



- Resena
- Quartus
- Pca.desarrollo
- FlexK10
- ECL2
- Ejemplo

# Porque FPGA?



- Versatilidad
- Costo de PCB Vs. Costo del IC
- Velocidad
- Tamano
- Transportabilidad

- Resena
- Quartus
- Pca.desarrollo
- FlexK10
- ECL2
- Ejemplo

# Opciones de Altera

**Devices - Microsoft Internet Explorer provided by HPC Factor**

File Edit View Favorites Tools Help

Back Forward Stop Refresh Home Search Favorites Media History Mail Print

Address <http://www.altera.com/products/devices/dev-index.jsp> Go Links >>

**FPGAs**

- ▶ Stratix II
- ▶ Stratix
- ▶ Cyclone II
- ▶ Cyclone
- ▶ Stratix GX
- ▶ APEX II
- ▶ APEX 20K
- ▶ Mercury
- ▶ FLEX 10K
- ▶ ACEX 1K
- ▶ FLEX 6000

**CPLDs**

- ▶ MAX II
- ▶ MAX 3000A
- ▶ MAX 7000

**Structured ASICs**

- ▶ About HardCopy
- ▶ HardCopy II
- ▶ HardCopy Stratix
- ▶ HardCopy APEX 20K

**Configuration Devices**

- ▶ Enhanced Configuration
- ▶ Serial Configuration

**Embedded Processors**

- ▶ About Excalibur

**High-Density FPGAs**

- ▶ **Stratix® II**
- ▶ **Stratix**

**CPLDs**

- ▶ **MAX® II**
- ▶ **MAX**

**Transceiver FPGAs**

- ▶ **Stratix® GX**

**Structured ASICs**

- ▶ **HardCopy® II**
- ▶ **HardCopy**

**Low-Cost FPGAs**

- ▶ **Cyclone™ II**
- ▶ **Cyclone**

**Click on a Device Family to Learn More**

▶ **Device Family Overview**

**Stratix® II Performance Jumps!**

Altera

▶ **Learn More**

**The ALTERA Zone**

**3 Steps to Higher Performance**

▶ **Learn More**

**ALTERA HardCopy II**

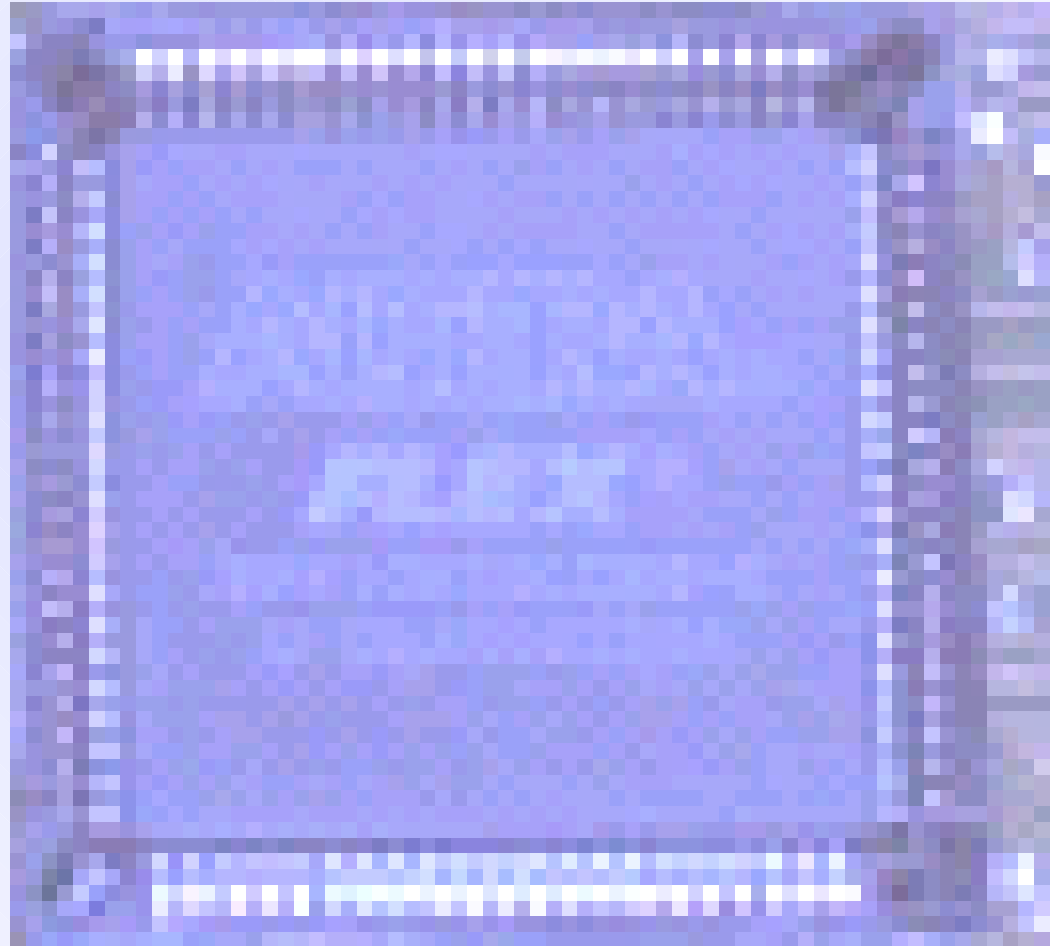
**Get ASIC Gain Without the Pain**

Done Internet

- Resena
- Quartus
- Pca.desarrollo
- Flex10K10**
- ECL2
- Ejemplo

# FLEX10K10LC84

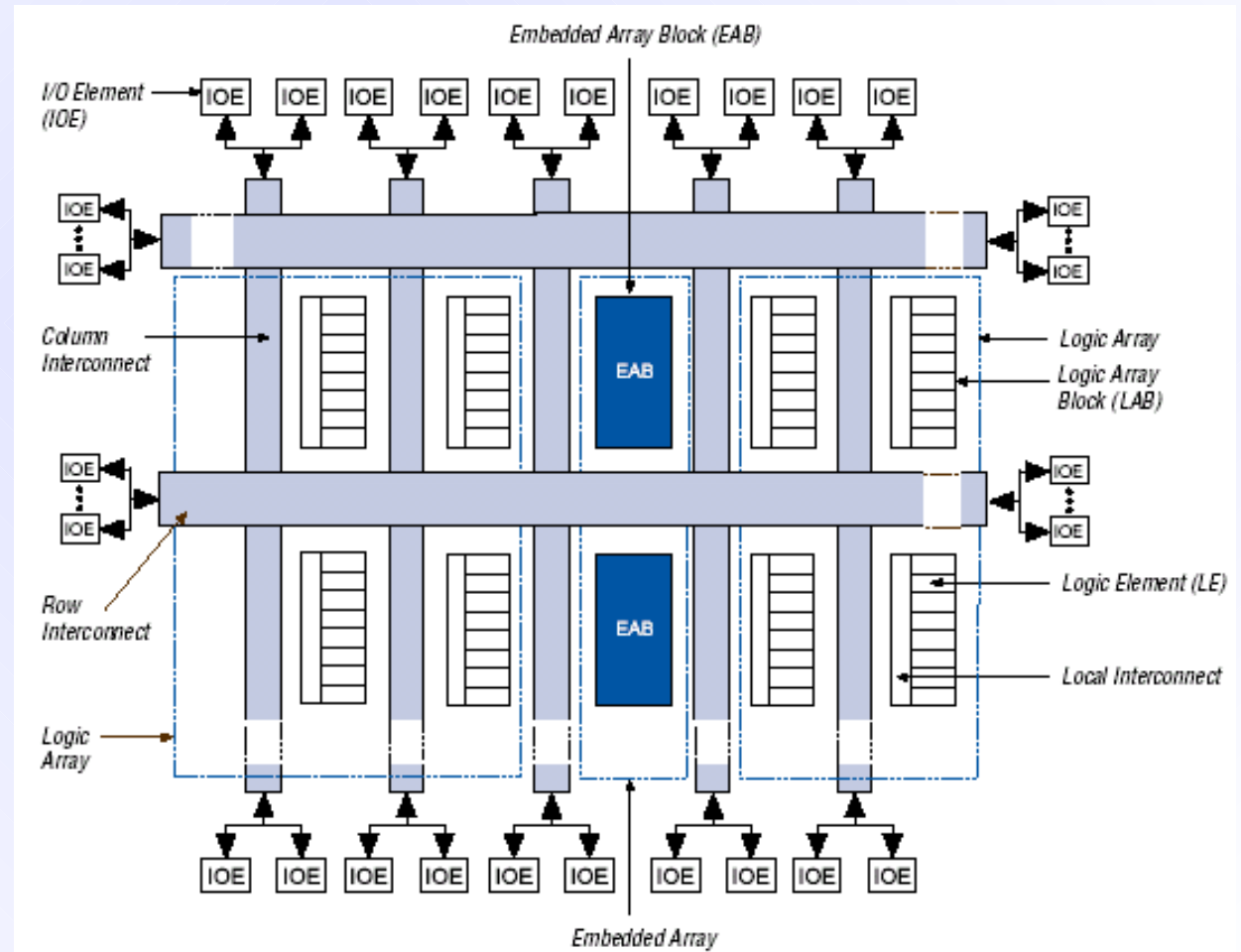
- 10000 compuertas
- 5V
- 59 pin I/O
- 84 pin PLCC
- 80-200Mhz
- 0.5 A a 100Mhz
- Facil coneccion entre FPGA's



- Resena
- Quartus
- Pca.desarrollo
- Flex10K10**
- ECL2
- Ejemplo

# Estructura interna

- 576 LE's
- 72 LAB
- 3 EAB
- 6144 bits de RAM
- 59 pin I/O
- 3r x 24c

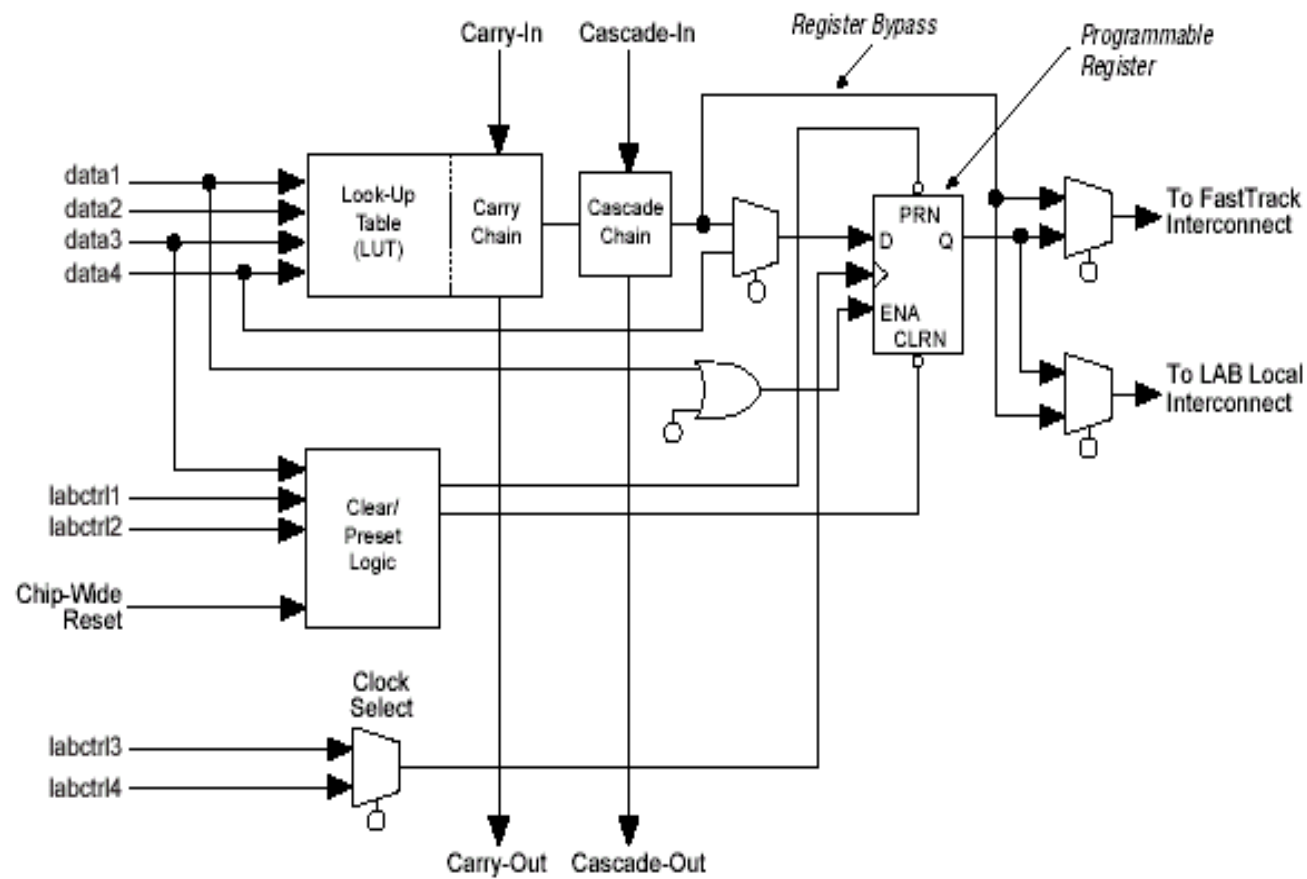


- Resena
- Quartus
- Pca.desarrollo
- Flex10K10**
- ECL2
- Ejemplo

# LE

- 4 input LUT
- inter. Local o FastTrack

Figure 6. FLEX 10K Logic Element



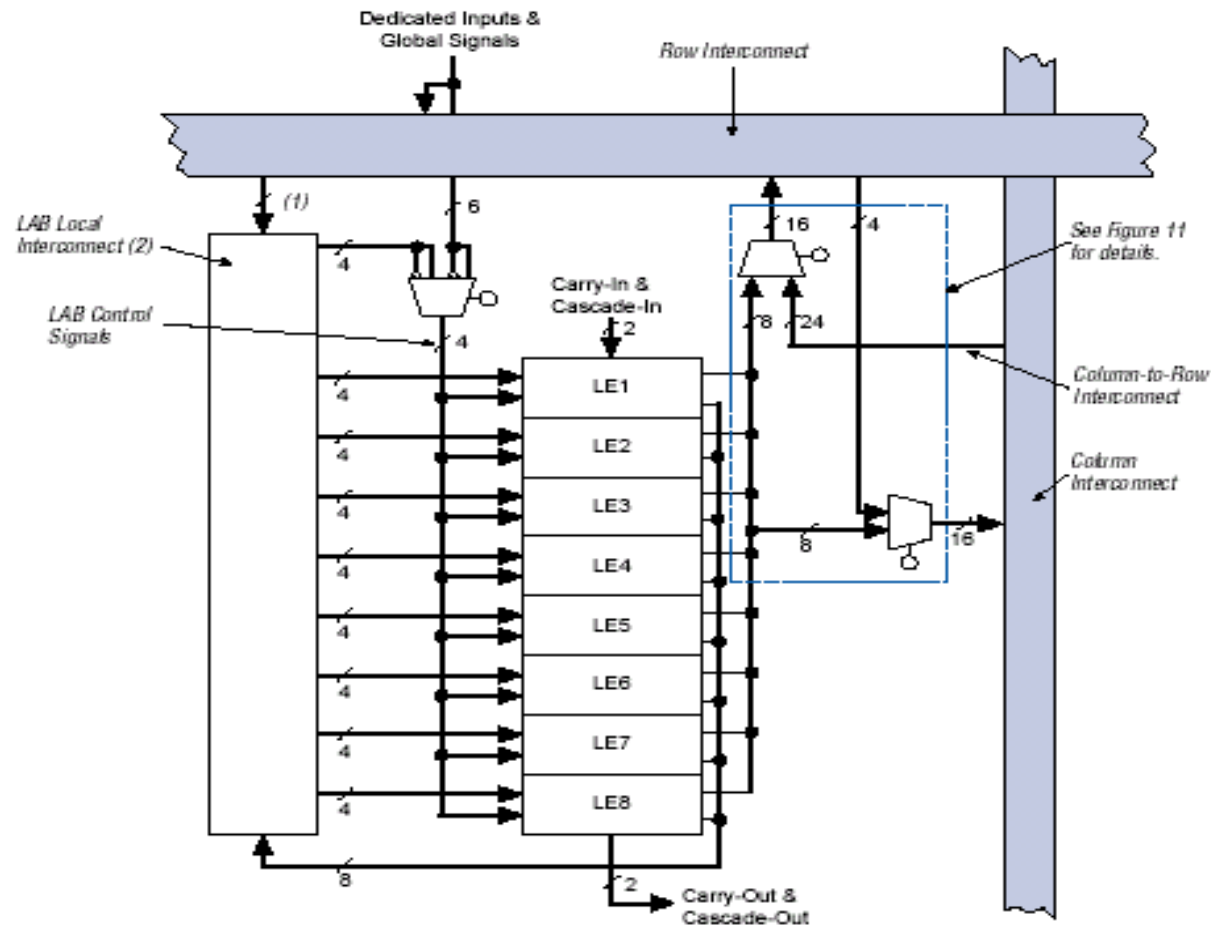


- Resena
- Quartus
- Pca.desarrollo
- Flex10K10**
- ECL2
- Ejemplo

# LAB

•8 LE's por LAB

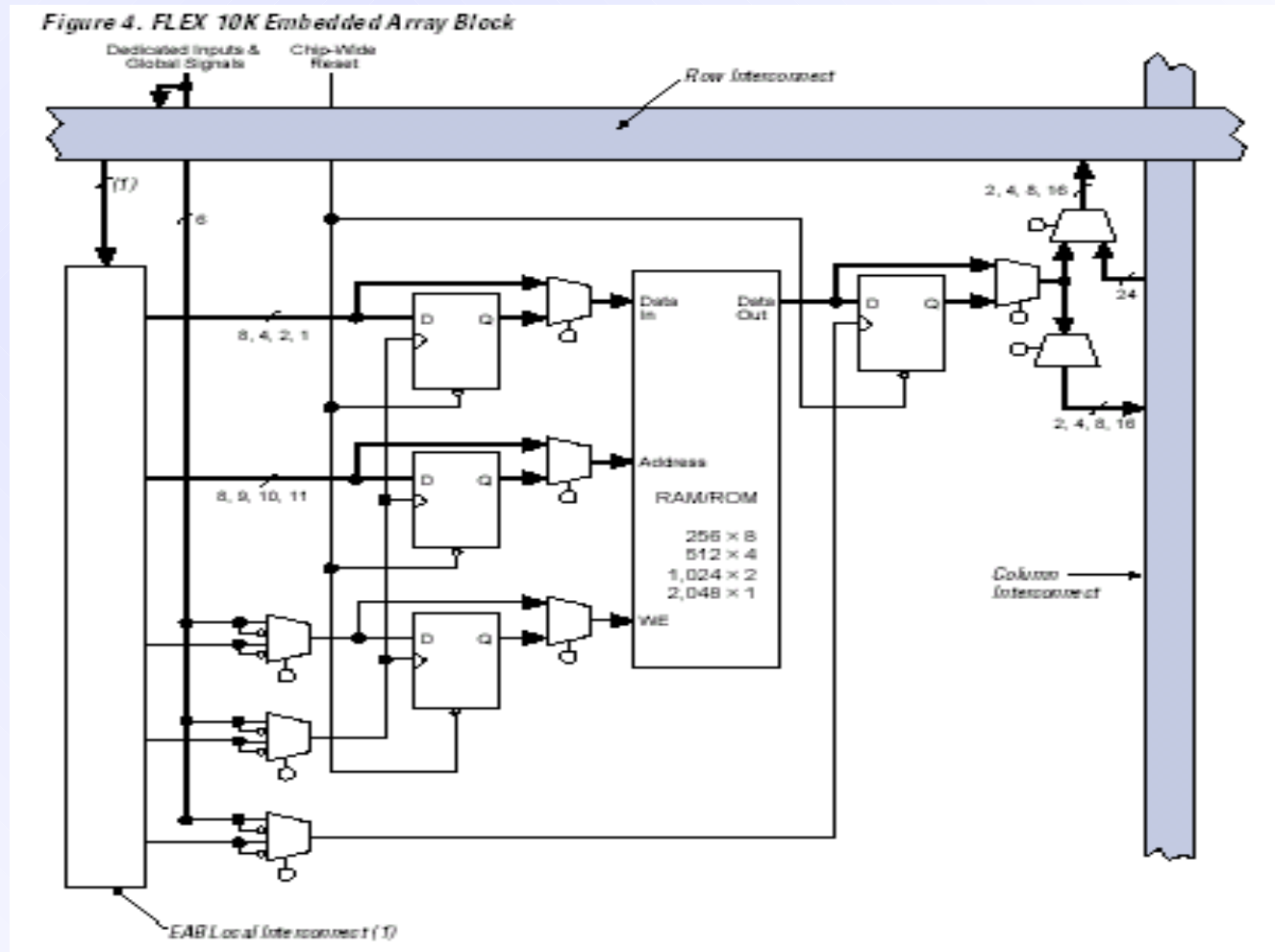
Figure 5. FLEX 10K LAB



- Resena
- Quartus
- Pca.desarrollo
- Flex10K10**
- ECL2
- Ejemplo

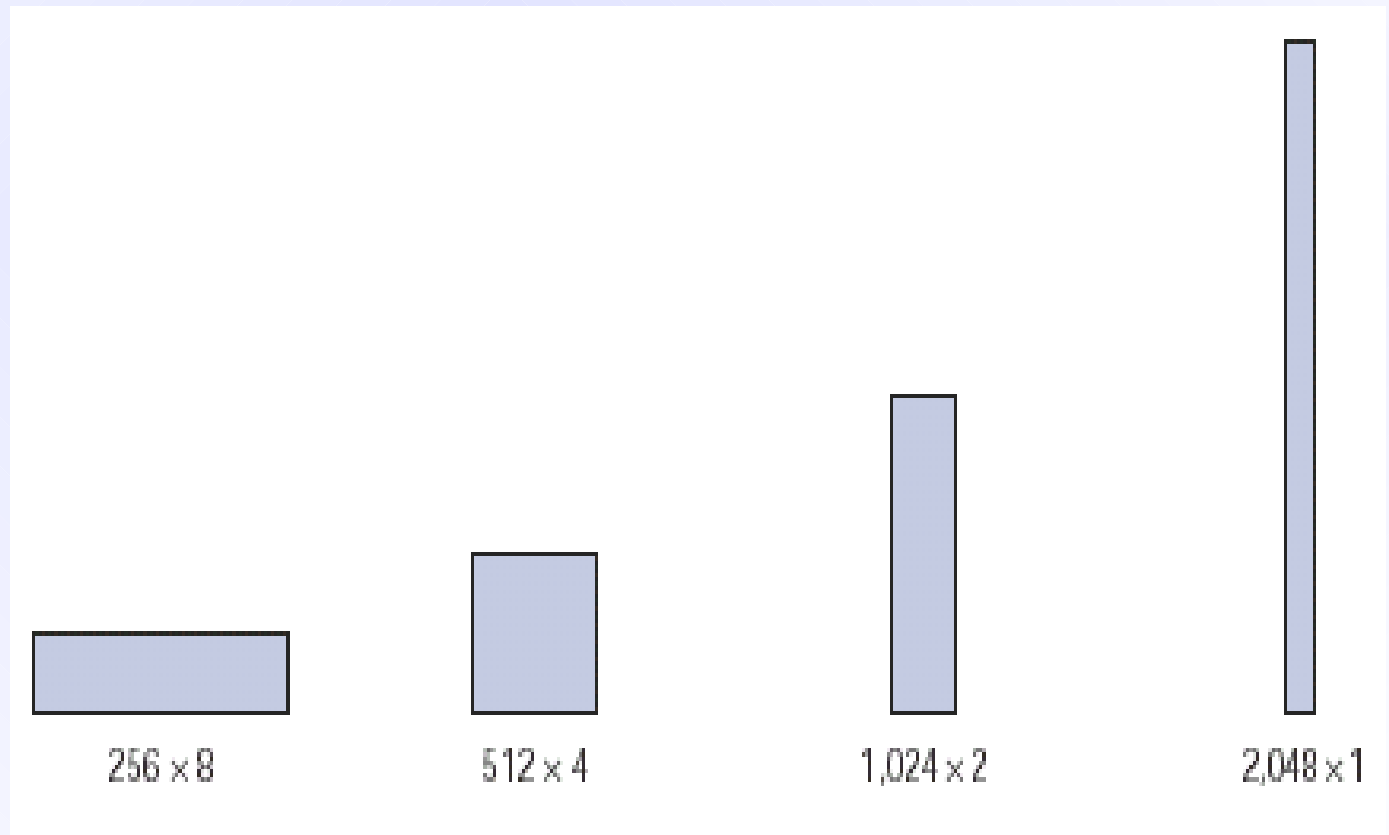
# EAB

- Grandes LUT
- SRAM
- 4x4=8 multiplier
- Grandes logicas sin retardos de conexión



- Resena
- Quartus
- Pca.desarrollo
- Flex10K10**
- ECL2
- Ejemplo

# EAB como memoria



- Resena
- Quartus
- Pca.desarrollo
- Flex10K10
- ECL2
- Ejemplo

# FastTrack interconnect

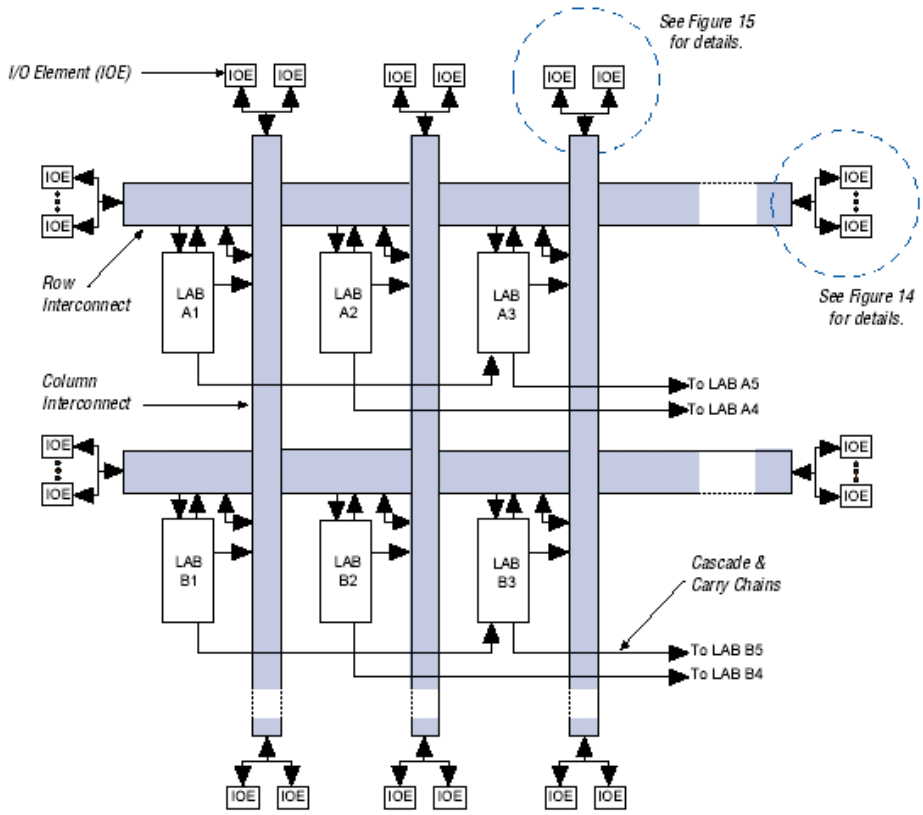
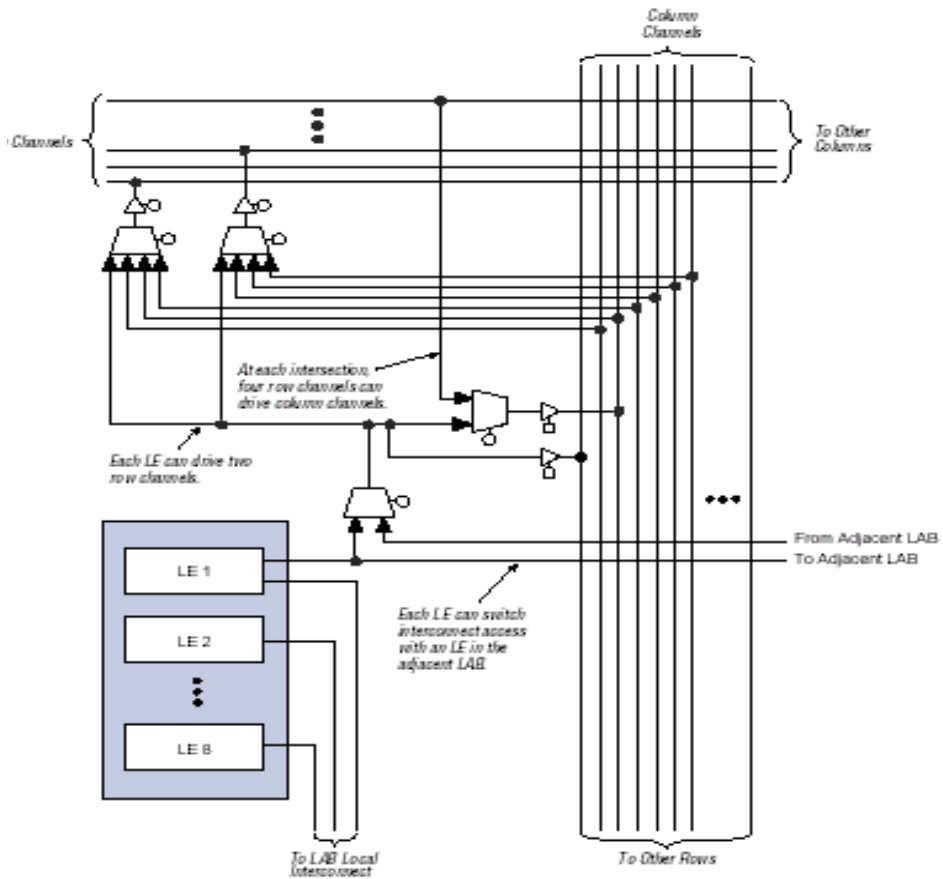


Figure 11. LAB Connections to Row & Column Interconnect



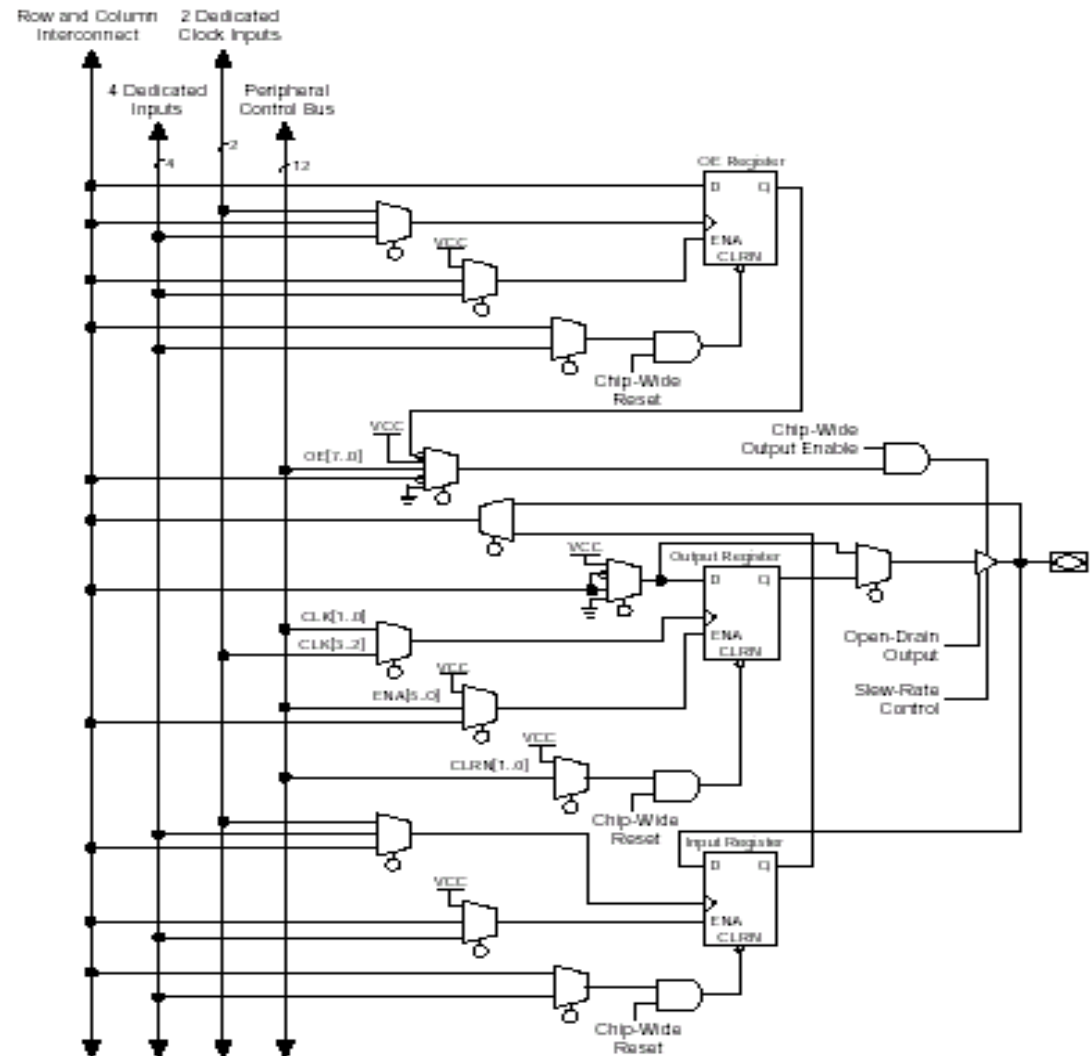
- Diferentes metodos de conexión para LAB's vecinos

- Resena
- Quartus
- Pca.desarrollo
- Flex10K10
- ECL2
- Ejemplo

# FastTrack interconnect

- Inversion programable
- Registro de salida
- Slew rate programable
- Gnd
- 0 o 1

Figure 13. Bidirectional I/O Registers



- Resena
- Quartus
- Pca.desarrollo
- Flex10K10**
- ECL2
- Ejemplo

# Inicializacion



- POR
- Inicializacion
- Funcionamiento

- Resena
- Quartus
- Pca.desarrollo
- Flex10K10**
- ECL2
- Ejemplo

# Grabacion

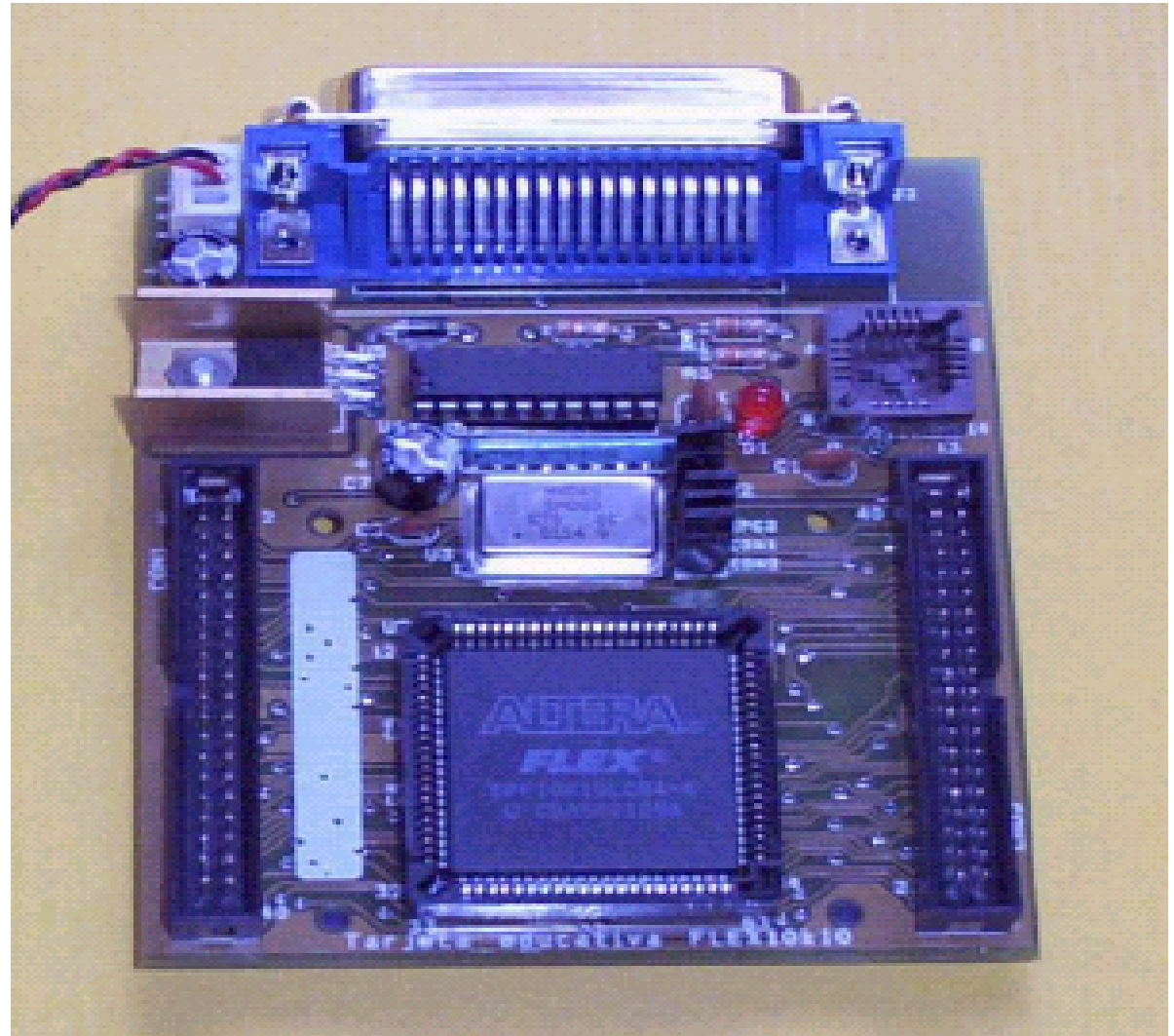
| <i>Table 1. FLEX 10K Configuration Schemes</i> |   |
|--|---|
| <b>Configuration Scheme</b>                    | <b>Typical Use</b>  |
| Configuration EPROM                            | Configuration with the EPC1 Configuration EPROM   |
| Passive serial                                 | Configuration with a serial synchronous microprocessor interface, the BitBlaster™, or the FLEX Download Cable.  |
| Passive parallel synchronous                   | Configuration with a parallel synchronous microprocessor interface.   |
| Passive parallel asynchronous                  | Configuration with a parallel asynchronous microprocessor interface. In passive parallel asynchronous configuration, the microprocessor treats the FLEX 10K device as memory. |



- Resena
- Quartus
- Pca.desarrollo**
- Flex10K10
- ECL2
- Ejemplo

# Pca. Desarrollo

- Atencion con los jumpers de configuracion



- Resena
- Quartus
- Pca.desarrollo
- Flex10K10
- ECL2
- Ejemplo

# EPCL2

Hasta 100  
borrados!!!

