

# Heurísticas e metaheurísticas aplicadas ao design de placas de circuito integrado

Pedro Tavares de Carvalho

DCC - UFMG

## **Resumo**

O projeto de placas de circuito integrado é um processo longo e preciso, que requer muita experiência para se otimizar o seu tamanho e a quantidade de materiais utilizados ainda sendo um design de fácil produção industrial.

Esse artigo irá discutir a aplicação da Busca em Vizinhanças Variadas (VND) na otimização da colocação de componentes nas placas de circuitos integrados.

# 1 Introdução

Placas de circuito integrado são famosas por possuírem um design complexo e intrincado, que requer experiência e paciência, sendo um bom profissional da área extremamente bem pago e valioso. Existem diversas ferramentas para se auxiliar nesse projeto, incluindo interfaces de design [1] e ferramentas de inteligência artificial [2].

Esses métodos são caros e pouco acessíveis para empresas em geral, o que torna o processo de design de *Printed Circuit Boards* (PCBs) demorado e caro. O objetivo desse artigo é explorar outras técnicas computacionalmente mais baratas para a otimização de placas de circuito em termos do tamanho das mesmas.

## 1.1 Modelagem

A placa será modelada como um retângulo, e os componentes serão representados por um conjunto de áreas que não podem se interceptar. A modelagem pode ser vista na Figura 1, sendo a primeira parte uma instância do problema e a segunda parte uma possível solução.

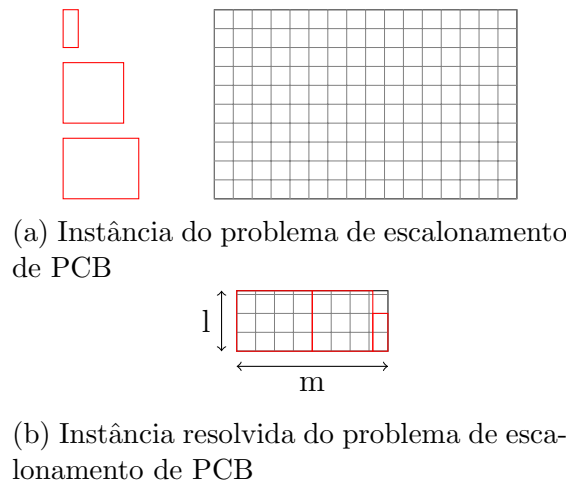


Figura 1: Modelagem do problema de escalonamento de PCB

Com essa modelagem, o objetivo do problema é minimizar a área  $m \times l$  da placa de circuitos final gerada pelo algoritmo. Esse problema é chamado de Problema de Empacotamento Ótimo Planar, com algumas limitações, e é provado NP-difícil [3].

## 2 Trabalhos Relacionados

Existem diversos artigos sobre empacotamento retangular planar ótimo, porém a maioria destes são dedicadas a algoritmos exatos e otimizações dos mesmos.

**A new heuristic algorithm for rectangle packing [4]** Descreve uma heurística para um problema similar onde você possui um conjunto de retângulos e tenta empacotá-los em um retângulo de tamanho definido.

**Optimal Rectangle Packing: An absolute placement approach [5]** Descreve um algoritmo baseado em posicionamento absoluto para resolver o problema precisamente. Conseguiu uma eficiencia muito melhor do que a literatura até o momento.

**A genetic algorithm for a 2D industrial packing problem [6]** Descreve um algoritmo genético para a resolução deste problema.

**Module placement on BSG-structure and IC layout applications [7]** Utiliza simulated annealing em conjunto a uma estrutura de dados baseada em grade para resolver aproximadamente o problema, conseguindo bons resultados.

**An O-tree representation of non-slicing floorplan and its applications [8]** Propõe uma representação do problema como uma árvore ordenada.

A literatura do problema é muito ampla, pois é muito utilizada em programas como CAD e de automação industrial, dado que o problema é aplicável em diversas áreas.

## 3 Metodologia

Para desenvolver essas heurísticas, modelaremos uma placa de circuitos com algumas limitações. O espaço para se colocar os componentes será definido de forma discreta, utilizando uma grade de possíveis colocações dos mesmos, e os ângulos em que estes podem ser colocados também serão limitados a um conjunto específico de ângulos.

### 3.1 Heurísticas e metaheurísticas

O VND será implementado com vizinhanças de translação de um item, a troca de dois itens e a rotação em 90 graus de um item. Ele pode ser descrito com Algoritmo 1.

---

**Algoritmo 1** Heurística VND

---

**Entrada** Conjunto de retângulos a serem organizados

**Saída** Organização desses retângulos de forma a minimizar a área do bounding box

```
1:  $s \leftarrow$  solução válida inicial
2:  $V \leftarrow$  conjunto de vizinhanças  $V_k, k < k_{max}$ 
3: while  $k < k_{max}$  do
4:    $s' \leftarrow$  MelhorVizinho( $V_k, x$ )
5:   if BoudingBox( $s'$ ) < BoundingBox( $s$ ) then
6:      $s \leftarrow s'$ 
7:      $k \leftarrow 10$ 
8:   else
9:      $k \leftarrow k + 1$ 
10:  end if
11: end while
```

---

### 3.2 Métricas

Serão feitas tabelas de qualidade por tempo das heurísticas em questão, além de gráficos de qualidade por complexidade de instância<sup>1</sup>.

Serão feitos boxplots comparativos de tempo de execução e qualidade das heurísticas.

Além da comparação das heurísticas, será feita uma comparação de densidade de fragmentação das instâncias, onde mais ou menos pontos serão considerados para a colocação dos componentes. Nessa comparação existirão gráficos de número de coordenadas por tempo e por qualidade. Será utilizada a melhor heurística dentre as observadas para servir de base para essa experimentação.

## 4 Cronograma

1. Implementação do *framework* - 5 dias
  - (a) Implementação do gerador de instâncias
  - (b) Implementação do avaliador de soluções
2. Implementação das heurísticas - 10 a 15 dias
  - (a) Implementação do VND
3. Avaliação das heurísticas - 7 dias
  - (a) Avaliação de cada heurística e geração dos dados

---

<sup>1</sup>As instâncias serão geradas aleatoriamente

- (b) Formatação das tabelas
- (c) Geração dos gráficos

## Referências

- [1] Cadence: *OrCad*. <https://www.orcad.com/products/orcad-pcb-designer/overview>.
- [2] InstaDeep: *Deep PCB*. <https://deeppcb.ai>.
- [3] Fowler, Robert J., Michael S. Paterson e Steven L. Tanimoto: *Optimal packing and covering in the plane are NP-complete*. Information Processing Letters, 12(3):133–137, 1981, ISSN 0020-0190. <https://www.sciencedirect.com/science/article/pii/0020019081901113>.
- [4] Huang, Wenqi, Duanbing Chen e Ruchu Xu: *A new heuristic algorithm for rectangle packing*. Computers Operations Research, 34(11):3270–3280, 2007, ISSN 0305-0548. <https://www.sciencedirect.com/science/article/pii/S0305054805004016>.
- [5] Huang, Eric e Richard E. Korf: *Optimal Rectangle Packing: An Absolute Placement Approach*. CoRR, abs/1402.0557, 2014. <http://arxiv.org/abs/1402.0557>.
- [6] Hopper, E. e B. Turton: *A genetic algorithm for a 2D industrial packing problem*. Computers Industrial Engineering, 37(1):375–378, 1999, ISSN 0360-8352. <https://www.sciencedirect.com/science/article/pii/S0360835299000972>, Proceedings of the 24th international conference on computers and industrial engineering.
- [7] Nakatake, Shigetoshi, Kunihiro Fujiyoshi, Hiroshi Murata e Yoji Kajitani: *Module Placement on BSG-Structure and IC Layout Applications*. Em *Proceedings of the 1996 IEEE/ACM International Conference on Computer-Aided Design, ICCAD '96*, página 484–491, USA, 1997. IEEE Computer Society, ISBN 0818675977.
- [8] Guo, Pei Ning, Chung Kuan Cheng e Takeshi Yoshimura: *An O-Tree Representation of Non-Slicing Floorplan and Its Applications*. Em *Proceedings of the 36th Annual ACM/IEEE Design Automation Conference, DAC '99*, página 268–273, New York, NY, USA, 1999. Association for Computing Machinery, ISBN 1581131097. <https://doi.org/10.1145/309847.309928>.