

AD9361 学习记录

一、简介

AD9361 是 ADI 推出的面向 3G 和 4G 基站应用的高性能、高集成度的射频解决方案。该器件集 RF 前端与灵活的混合信号基带部分为一体，集成频率合成器，为处理器提供可配置数字接口。AD9361 接收器 LO 工作频率范围为 70 MHz 至 6.0 GHz，发射器 LO 工作频率范围为 47 MHz 至 6.0 GHz，涵盖大部分特许执照和免执照频段，支持的通道带宽范围为 200 kHz 以下至 56 MHz。

两个独立的直接变频接收器拥有首屈一指的噪声系数和线性度。每个接收器 (RX) 子系统都拥有独立的自动增益控制 (AGC)、直流失调校正、正交校正和数字滤波功能，从而消除了在数字基带中提供这些功能的必要性。The AD9361 还拥有灵活的手动增益模式，支持外部控制。每个通道搭载两个高动态范围模数转换器 (ADC)，先将收到的 I 信号和 Q 信号进行数字化处理，然后将其传过可配置抽取滤波器和 128 抽头有限脉冲响应 (FIR) 滤波器，结果以相应的采样率生成 12 位输出信号。

发射器采用直接变频架构，可实现较高的调制精度和超低的噪声。这种发射器设计带来了行业最佳的 TX 误差矢量幅度 (EVM)，数值不到 -40 dB，可为外部功率放大器 (PA) 的选择留出可观的系统裕量。板载发射器 (TX) 功率监控器可以用作功率检测器，从而实现高度精确的 TX 功率测量。

完全集成的锁相环 (PLL) 可针对所有接收和发射通道提供低功耗的小数 N 分频频率合成。设计中集成了频分双工 (FDD) 系统需要的通道隔离。

二、AD9361 系统构成

AD9361 的框架如下图 2-1 所示：

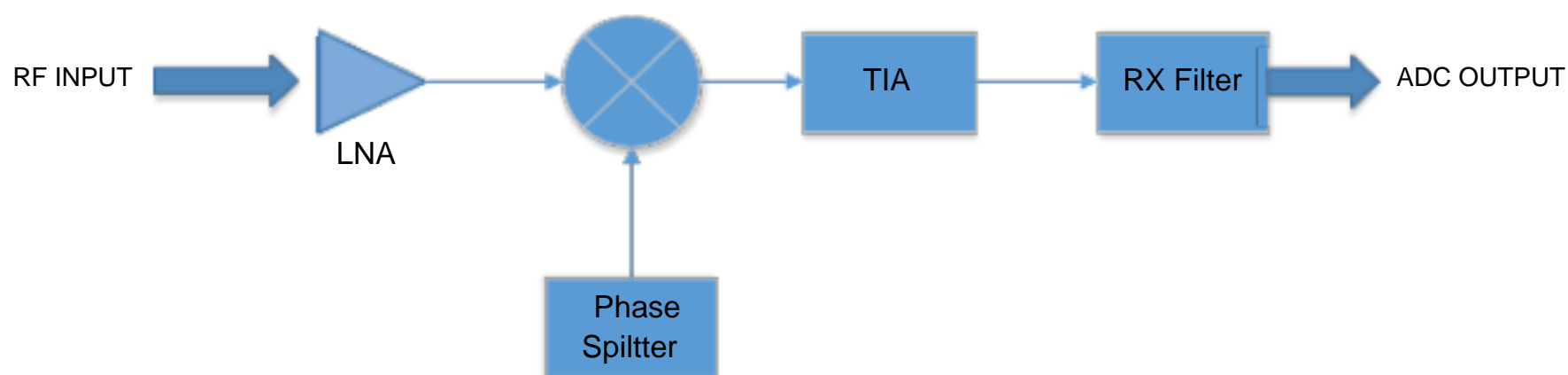


图 2-4

RX数据通路如下图 2-5 所示：

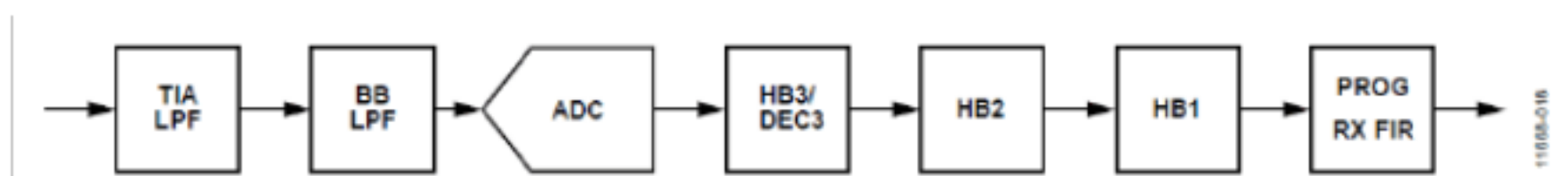


图 2-5

三、初始化及校准总述

AD9361 在上电之后便会进入休眠状态。此时用户需要根据所需参数，对芯片进行初始化配置。其配置包括以下几方面：

基本参数配置（包含 SPI时钟频率、 DCXO补偿、 射频时钟使能）

BB PLL频率配置及校准

PolyPhase TX Digital Filter的系数写入

PolyPhase RX Digital Filter的系数写入

数字数据接口配置

AuxDAC/AuxADC初始化

Control_Out 端口输出配置

GPO端口参数配置

频率无关的射频参数配置，包括 LO Power、 VCO&LDO的参数配置、 Charge Pump 校准等）

T/Rx 频率综合器参数配置

T/Rx 工作频率配置及校准

Mixer GM table 增益配置

RX Gain table配置

RX手动增益配置

T/RX基带模拟滤波器校准（ tune ）

RX TIA配置及校准

二级 TX 滤波器校准

ADC初始化

BB/RF DC校准

发射数据正交性校准（相当于 IQ 校准）

TX增益配置

RSSI及功率测量的初始化

使用 AD9361，我们主要关注的有五个方面：一是其中各器件的校准；二是有关滤波器的配置；三是有关数字部分接口的模式、工作方式的配置；四是射频工作状态机控制；五是有关 T/Rx 增益的配置。以下分 4 节对这几个方面分别阐述。

四、时钟源和 RF & BB PLL频率综合器

由于时钟是整个芯片的核心，在介绍上节所述五方面之前，我们先详述一下 AD9361 的时钟、PLL和频率综合器。

1、参考时钟及 DCXO

AD9361 使用分数分频锁相环生成一个本地时钟为信号转换、数字滤波器、IO 端口提供时钟源。这些 PLL均需要一个参考时钟，这个时钟可以通过外部晶振提供，或者由外部晶体加上一个可变电容生成所需频率。在使用外部晶体的情况下，需使用 DCXO补偿晶体频率来保证输出参考时钟稳定。

2、RF & BB PL频率综合器

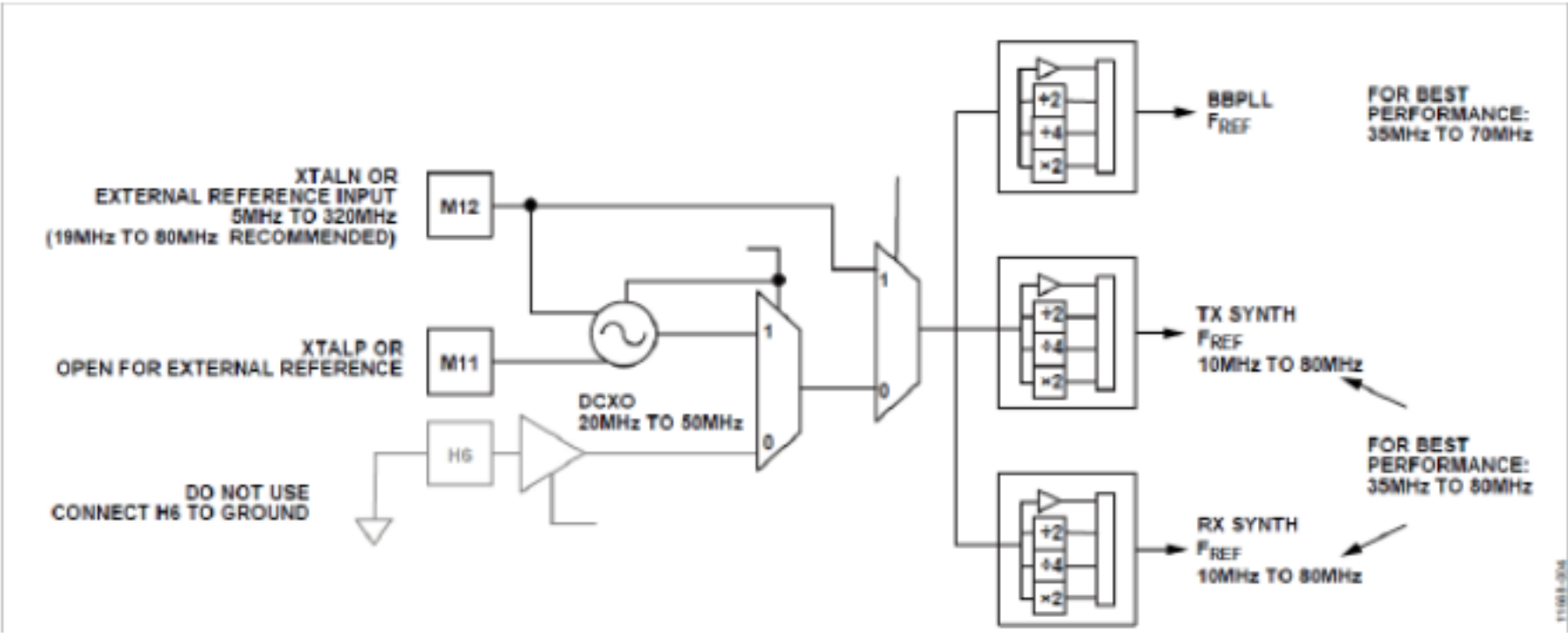


图 4-1

参考时钟输入后，分别进入 3 个独立的 PLL(如图 4-1 所示)，分别为 T/RX 频率综合器、基带 PLL 提供参考时钟源。3 个 PLL 需各自进行校准。

A) TX RX PLL 的锁定

在 FDD 模式下，TX 和 RX 的 PLL 可工作在不同频率下，它们同时开启；TDD 模式下，TX 和 RX 的 PLL 根据收发情况轮流开启。

一般的 TDD 模式工作状态按照 Rx-ALERT-Tx-ALERT-~~R~~跳转，基带通过跳转 TXNRX 信号来控制 TX、RX 状态的跳转，当 TXNRX 从 0 跳变到 1 时，RX PLL 关闭，TX PLL 开启并进行重新校准锁定，反之 TX PLL 关闭，RX PLL 开启并重新校准锁定。TDD 模式下每次 PLL 校准锁定的时间大概为 45us~60us 左右。

不过假如系统每次收发帧所使用的载波频率不变，则不需每次打开 TX 或 RX 时重新进行校准，而沿用上一轮的校准值。此时需要在一次校准过后将寄存器中的 VCO Cal 比特关闭，这样可以明显得缩短信号收发之前，频率综合器的稳定时间。

B) Fast Lock 模式

假如你的系统需要在多个频点上工作，则可以使用 Fast Lock 模式，它支持保存多个频点的频率控制字，使得频率变化是，PLL 的锁定时间更短。然而这种模式 TX 和 RX 分别最多只能保存 8 个频点，还是有一点局限性。

五、器件校准

AD9361 的校准及其校验方式简介如下表 5-1 所示：

表 5-1

Calibration	Run Frequency	Calibration Done Bit
BBPLL VCO calibration	Once; any time BBPLL frequency changes	0x5E[7], 1 when locked
RF synthesizer charge pump calibration	Once	Rx: 0x244[7], 1 when done Tx: 0x284[7], 1 when done
RF synthesizer VCO calibration	Occurs automatically when integer frequency word written. In TDD, occurs when TXNRX changes logic level.	Rx: 0x247[1], 1 when locked Tx: 0x287[1], 1 when locked
Baseband Rx analog filter tune	Once; update when BW changes	0x016[7], self clears when done
Baseband Tx analog filter tune	Once; update when BW changes	0x016[6], self clears when done
Baseband Tx secondary filter tune	Once; manual equations, update when BW changes	
Rx TIA calibration	Once; manual equations, update when BW changes	
Rx ADC setup	Once; manual LUT or equations, update when ADC sampling rate changes	
Baseband DC offset	Once	0x016[0], self clears when done
RF DC offset	Any time LO frequency changes more than 100 MHz	0x016[1], self clears when done
Rx quadrature calibration	Any time LO frequency changes more than 100 MHz	Tracking runs continuously
Tx quadrature calibration	Any time LO frequency changes more than 100 MHz	0x016[4], self clears when done

每次芯片上电或者硬件复位之后都必须进行校准，校准之后的参数会被保存。

校准的顺序由状态机控制，其状态如下表 5-2 所示。由于其中部分校准需导入其他校准所得结果，因此假如多个校准同时使能，则校准顺序由校准状态机控制。当校准状态机停留在 0x1 状态时，表示校准完成。

需要注意的是： T/Rx 的基带滤波器校准不受校准状态机控制，必须在其他校准均不进行时，进行 T/Rx 基带滤波器的校准。

表 5-2

Calibration Sequence State[3:0]	Active Calibration
0x0	Calibration WAIT state
0x1	Calibrations done
0x2	Baseband DC offset calibration
0x3	RF Rx DC offset calibration
0x4	Tx1 quadrature calibration
0x5	Tx2 quadrature calibration
0x6	Rx1 quadrature calibration
0x7	Rx2 quadrature calibration
0x8	Tx monitor calibration (DC offset)
0x9	Rx GMLNA gain step calibration
0xA to 0xF	Flush states

下面对几个重要的校准进行单独阐释。

注 1：RF频率综合器 VCO校准

AD9361 的发射和接收的频率综合器是独立的，因此 TX和 RX的 RF VCO校准需分别进行。

在 TDD 模式下， TXNRX为高代表发射， TXNRX低代表接收，做 RF TX VCO校准是， TXNRX需拉高； RF RX VCO校准时， TXNRX拉低。 FDD模式下，需要将 ENSM调整到 ALERT状态，随后使能频率综合器校准。

官方建议无论使用 TDD还是 FDD工作模式，均可在做 RF频率综合器 VCO校准时，使用 FDD的校准方式，因为 FDD校准的频率更准确稳定，但是弊端是耗时较长。

注 2：T/Rx 模拟滤波器校准

模拟滤波器校准有一点需要注意，在进行校准带宽设置时，带宽值需要设置成 BB 带宽的 1.6 倍，BB 带宽值是基带复数输出带宽的一半，即 RX 为 26MHz~0.2MHz，TX 为 20MHz~0.625MHz。

六、滤波器配置

本节介绍发射和接收的滤波器通路。

1、发射滤波器通路

TX 滤波器通路总体分为 3 级数字滤波器和两级模拟滤波器，示意图如下图 6-1 所示：

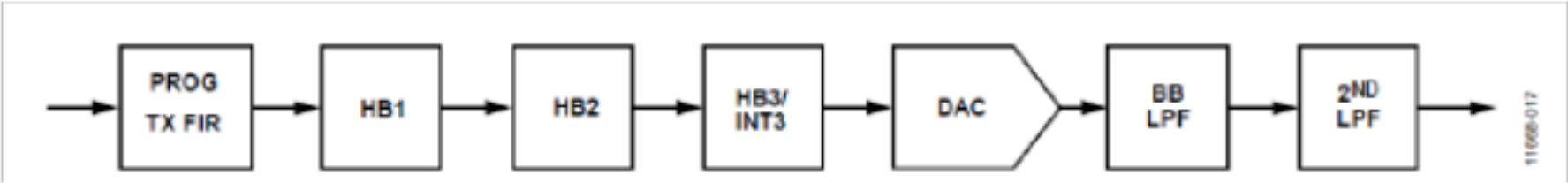


图 6-1

通路输入为 I、Q 两路 12bit 补码。

A) TX 数字滤波器

数字滤波器分为 4 级，主要用于对接口 I、Q 信号进行插值滤波。它们可由用户控制选通。

第一级 Prog TX FIR支持 1 倍、2 倍、4 倍插值，可通过用户配置最高 128 阶位宽 16bit 滤波器系数，并且可提供 0~-6db 滤波器增益。其插值倍数和滤波器阶数关系如表 6-1 所示：

表 6-1

Interpolation	Maximum Number of Taps
1	64
2	128
4	128

第二级 HB1 是一个固定 2 倍插值低通滤波器。其滤波器系数为 $[-53, 0, 313, 0, -1155, 0, 4989, 8192, 4989, 0, -1155, 0, 313, 0, -53]$ 。频率幅度相应如图 6-2:

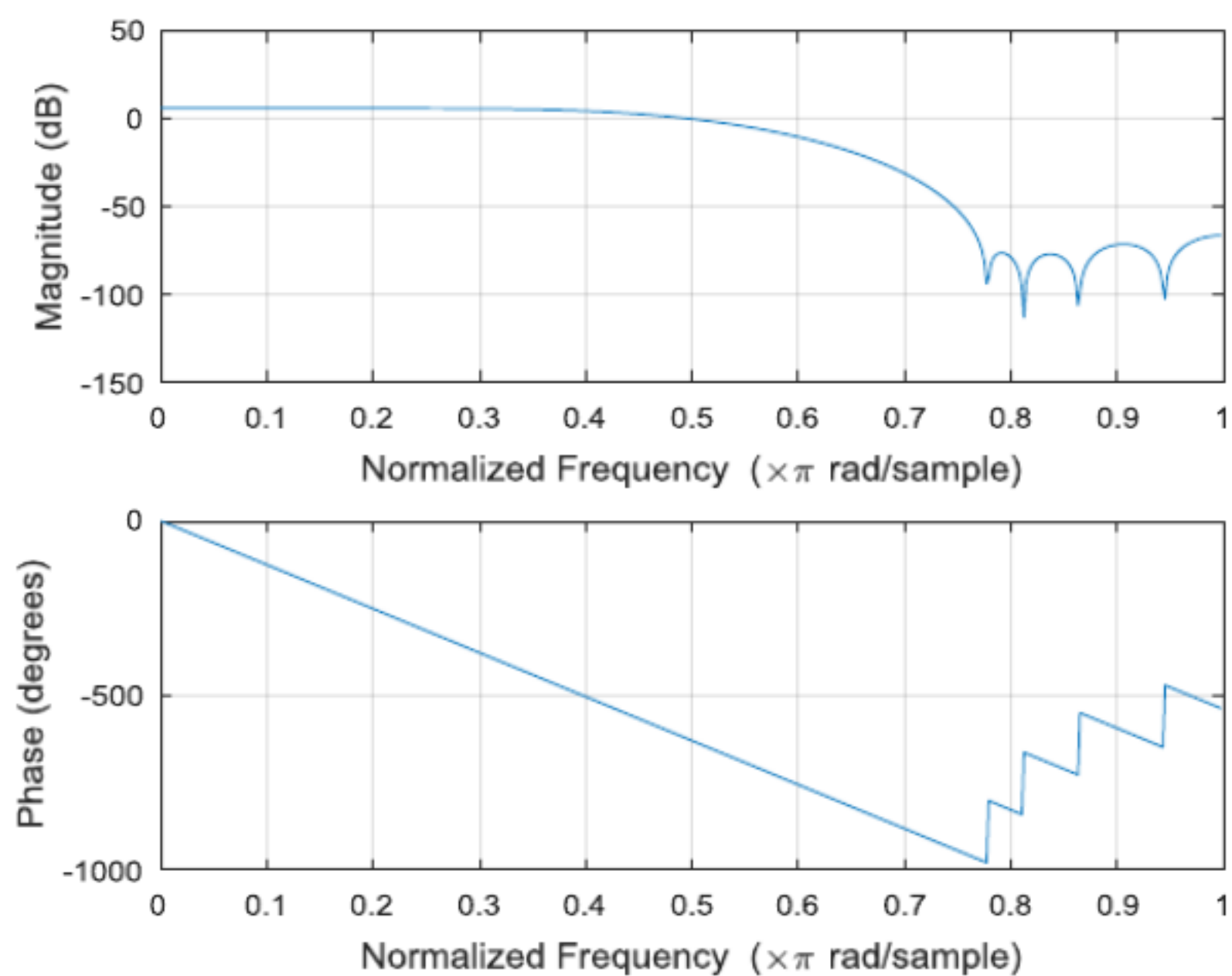


图 6-2

第三级 HB2 也是一个固定 2 倍插值低通滤波器，系数为 $[-9, 0, 73, 128, 73, 0, -9]$ 。其幅频相应如图 6-3 所示。

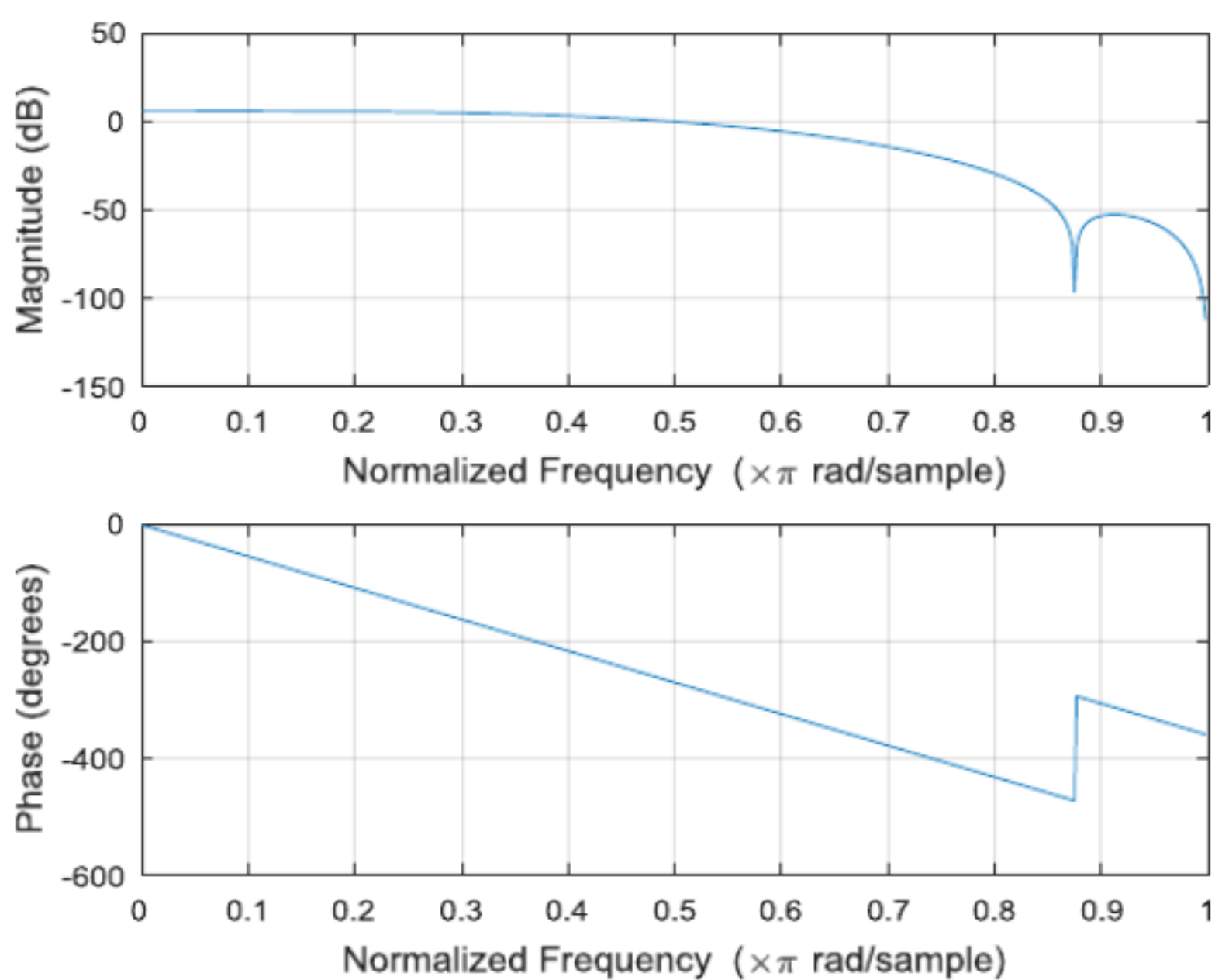


图 6-3

第四级 HB3/INT3 可实现 2 倍或者 3 倍插值。2 倍插值滤波系数为 $[1, 2, 1]$ ，其幅频相应如图 6-4 所示。三倍插值系数为 $[36, -19, 0, -156, -12, 0, 479, 223, 0, -1215, -993, 0, 3569, 6277, 8192, 6277, 3569, 0, -993, -1215, 0, 223, 479, 0, -12, -156, 0, -19, 36]$ ，幅频相应如图 6-5 所示。

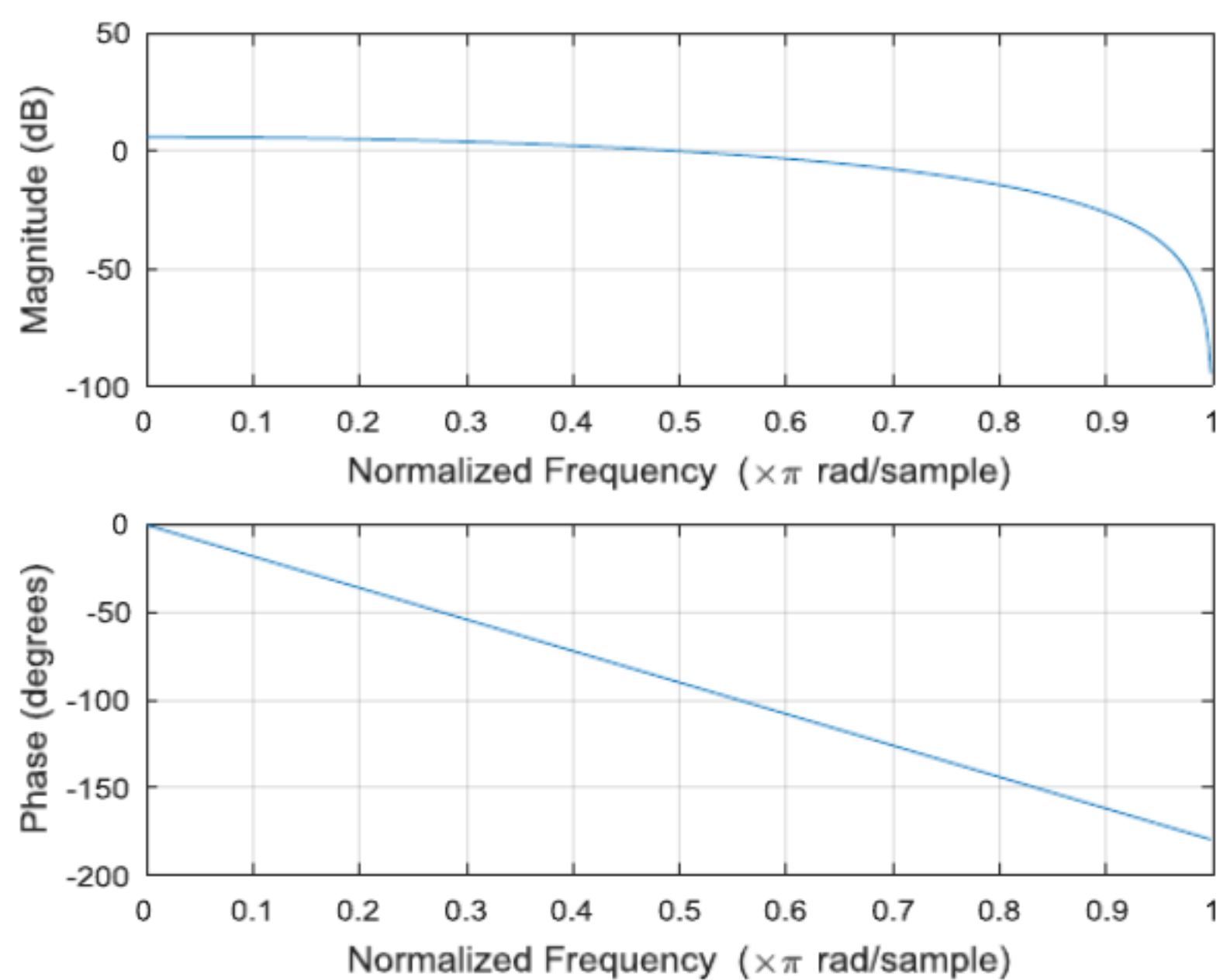


图 6-4

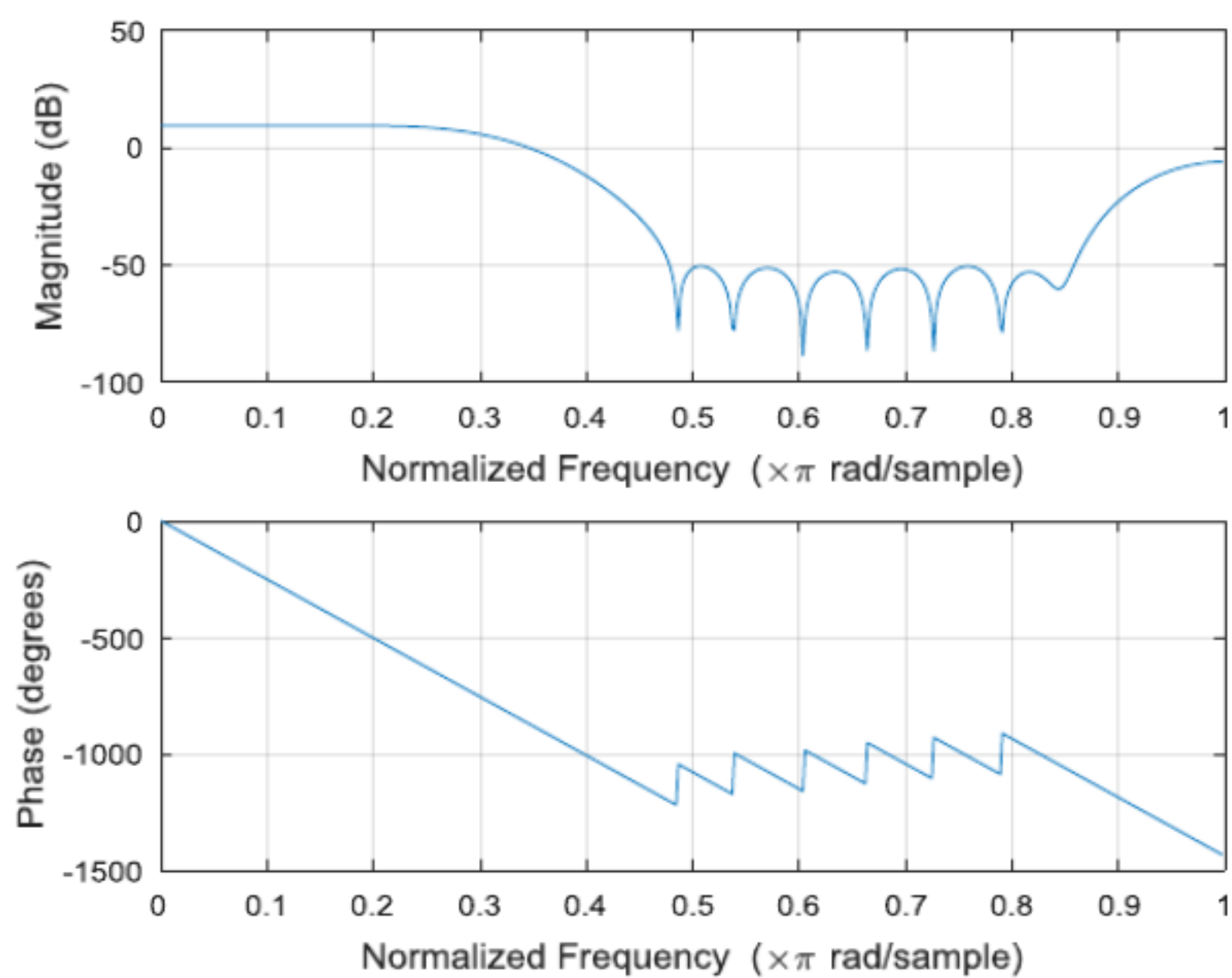


图 6-5

B) TX 模拟滤波器

在数字滤波信号经过 DAC 转换成模拟信号之后，需要经过低通滤波器在滤除杂散干扰。

模拟滤波器分为两级，带宽均可配置。第一级的带宽范围较窄，为 625kHz~32MHz，通带带宽设置为信号带宽的 1.6 倍；第二级的带宽范围为 2.7MHz~100MHz，通带带宽设置为信号带宽的 5 倍。

2、接收滤波器通路

接收通路分为两级模拟滤波器和四级数字滤波器，连接示意图如图 6-6 所示：

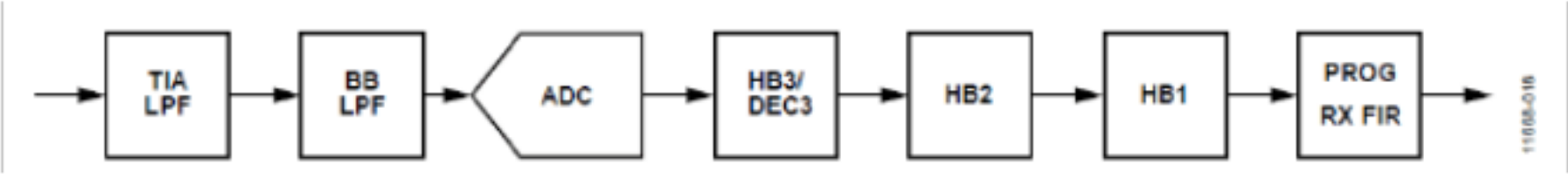


图 6-6

通路输出也为 12bit 补码。

A) RX 模拟滤波器

接收端模拟滤波器也分为两级，第一级 TIA LPF的可配置带宽为 1MHz~70MHz，配置带宽设置为信号带宽的 2.5 倍；第二级 BB LPF的可配带宽为 200kHz~39.2MHz，配置带宽为信号带宽的 1.4 倍。

B) RX 数字滤波器

数字通路的 4 级滤波器正好是发射通路的反向。

第一级 HB3/DEC3为 2 倍或 3 倍抽取可选。2 倍抽取的滤波系数为 [1, 4, 6, 4, 1]，其幅频相应如图 6-7 所示。3 倍抽取滤波器系数为 [55, 83, 0, -393, -580, 0, 191 4, 4041, 5120, 4041, 1914, 0, -580, -393, 0, 83, 55]。其幅频相应如图 6-8 所示。

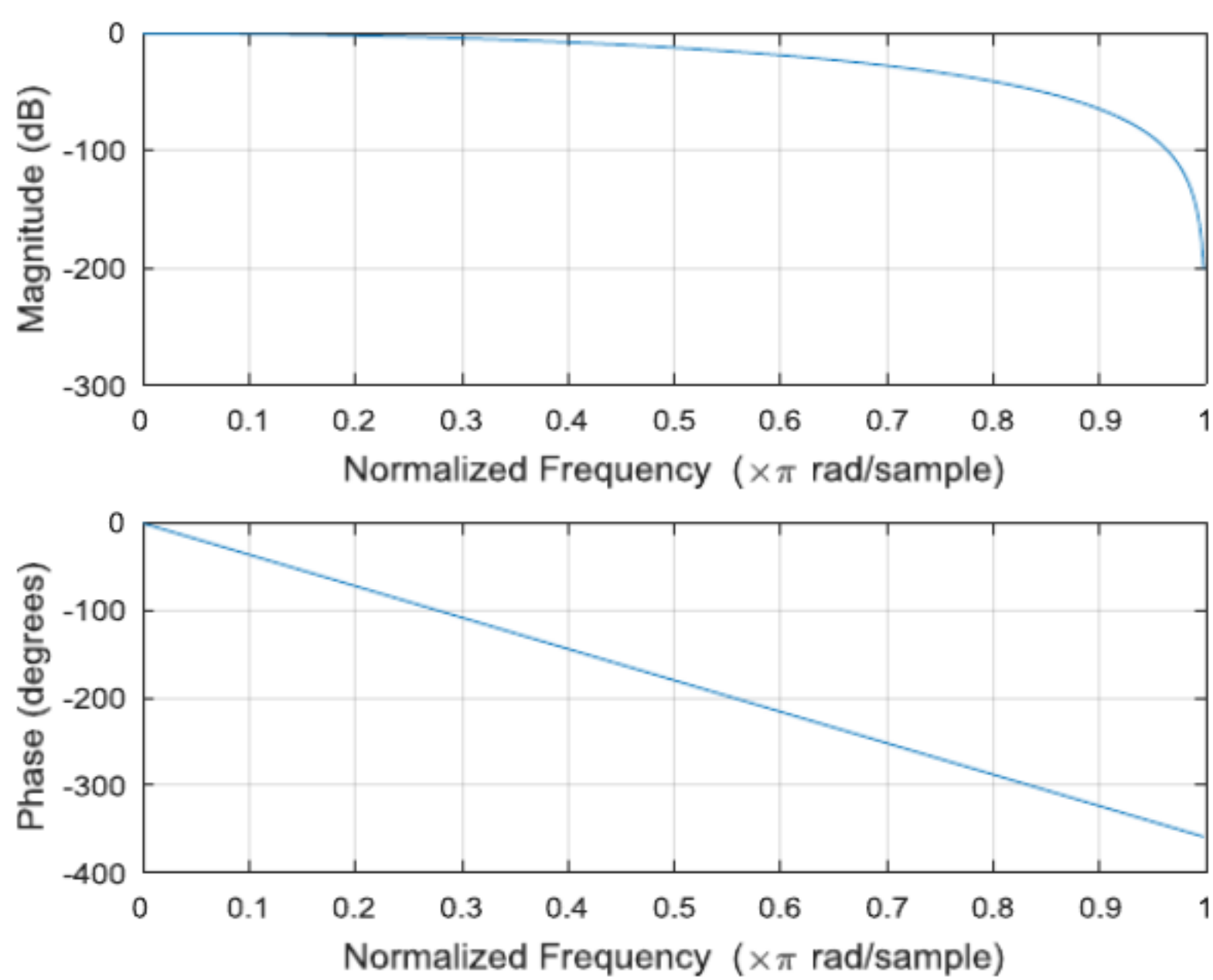


图 6-7

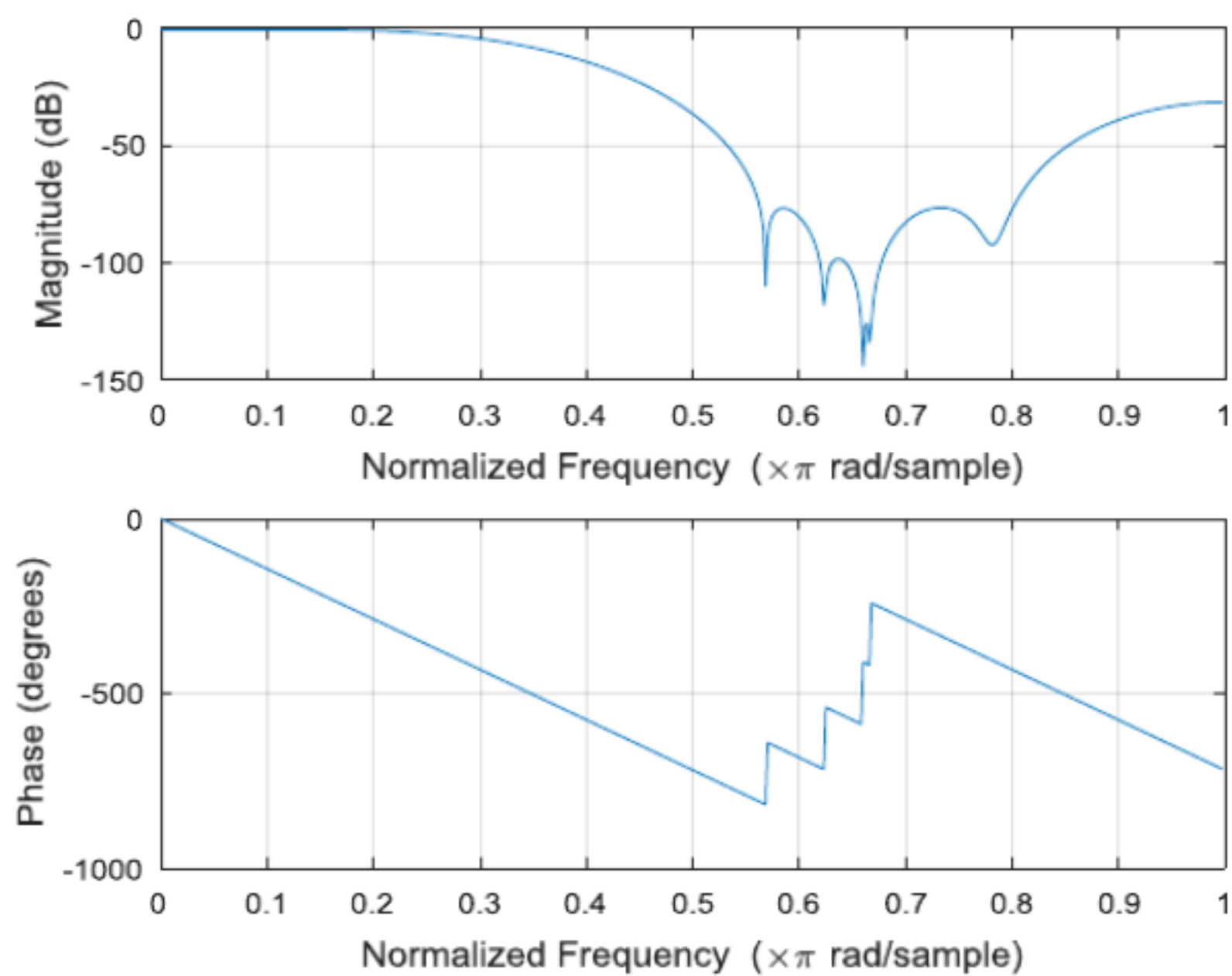


图 6-8

第二级 HB2 和第三级 HB1 均为 2 倍抽取的低通滤波器。其系数如下：

HB2：[-9, 0, 73, 128, 73, 0, -9]

HB3：[-8, 0, 42, 0, -147, 0, 619, 1013, 619, 0, -147, 0, 42, 0, -8]

HB2 的幅频相应如图 6-9，HB3 的幅频相应如图 6-10。

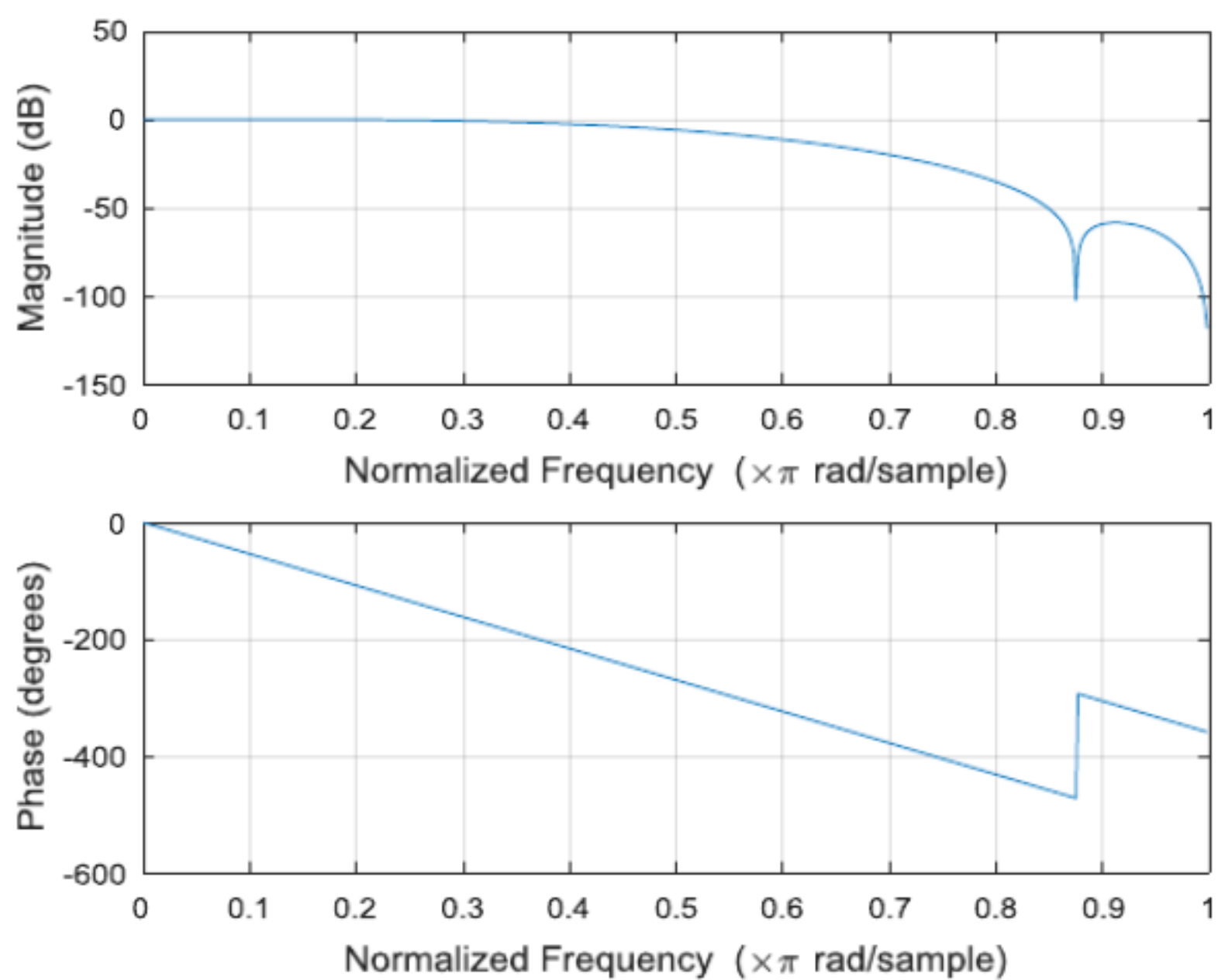


图 6-9

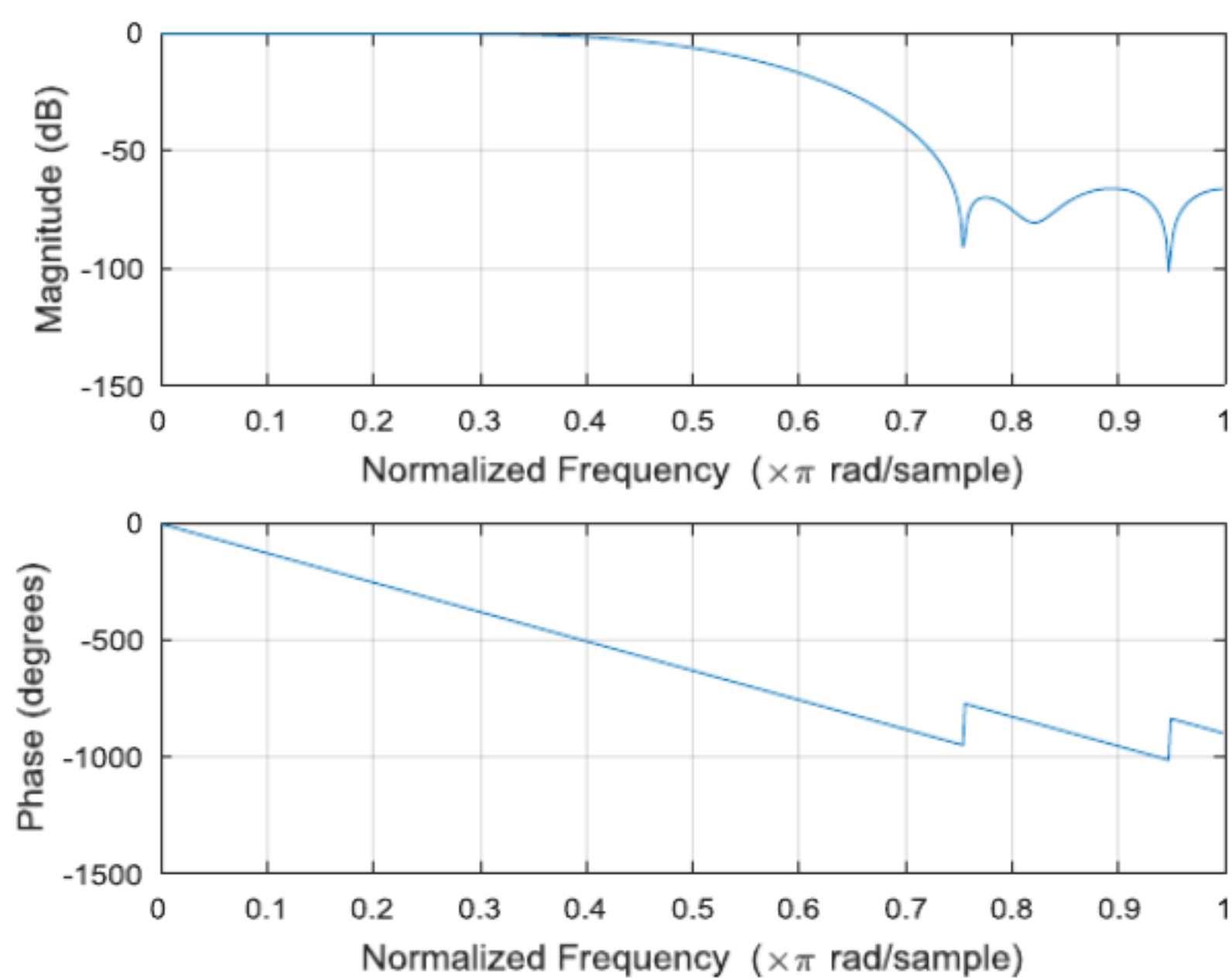


图 6-10

最后一级 Prog RX FIR也支持 1 倍、2 倍、4 倍抽取，可通过用户配置最高 128 阶位宽 16bit 滤波器系数，并且可提供 -12db、-6db、0db、6db 滤波器增益。

七、数字接口详述

AD9361 与数字基带的接口示意图如图 7-1 所示：

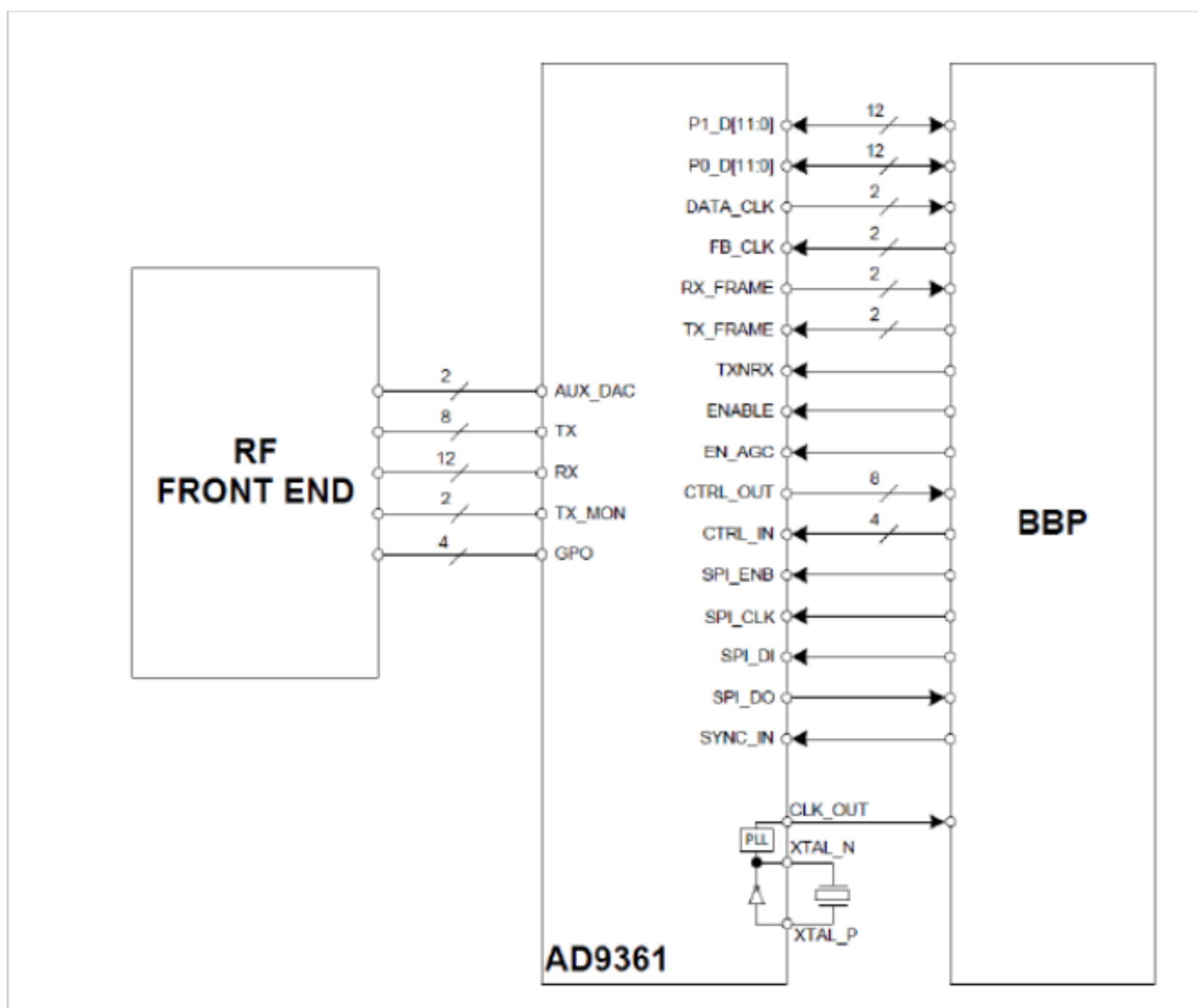


图 7-1

数字接口电平有两种可配置模式： CMOS和 LVDS

1、接口功能介绍

AD9361 主要的接口有 SPI 数据端口 P0_D、P1_D、DATA_CLK、FB_CLK、TX_FRAME、RX_FRAME、ENABLE、TXNRX

SPI: 该芯片集成的 SPI接口为 4 线 SPI, 可读可写，主要用于配置内部寄存器。

P0/1_D：这是数据传输端口，位宽均为 12bit，根据应用模式可配置成输入、输出和双向。

DATA_CLK: DATA_CLK由 AD9361 输出。该时钟主要用于 RX 状态外部数字基带对 P0_D、P1_D数据采样，数字基带生成的数据和控制信号均需为 DATA_CLK时钟域的，否则可能导致 AD9361 获取数据时的采样问题。CMOS模式下 DATA_CLK通过 DATA_CLK_P端口输出。

FB_CLK: FB_CLK是 DATA_CLK反馈到 AD9361 的数据时钟。用于 AD9361 内部对 TX_FRAME、ENABLE、TXNRX信号的上升沿采样，以及对于 P0_D、P1_D 数据端口

的上升沿和下降沿采样。注意：FB_CLK必须与 DATA_CLK同源（频率相同，占空比相同），对两个时钟的相位没有要求。CMOS 模式下，仅适用 FB_CLK_P线。

RX_FRAME: RX_FRAME用于在接收状态下标识 P0_D、P1_D 的数据有效。它可以配置成常高，或是 50%占空比的脉冲信号。

TX_FRAME: TX_FRAME用于 TX 状态下，标识发射数据有效。其时序与 RX_FRAME 类似。发射状态下，TX_FRAME为低，射频发射空数据。

ENABLE & TXNRX ENABLE和 TXNRX信号主要在 TDD 模式下使用，ENABLE拉高时，根据 TXNRX信号，使射频芯片进入 TX或 RX状态，TXNRX为 1 表示 TX，为 0 表示 RX。

2、接口模式

AD9361 数字接口模式主要分四个方面：电平模式（LVDS、CMOS），数据速率（Single Data Rate（SDR）、Dual Data Rate（DDR）），端口模式（Dual Port、Single Port）、收发天线个数（1T1R、2T2R）（此处暂时不详述）。

A）电平模式

接口电平模式主要根据电平信号类型来分类，主要分为两种：LVDS模式和 CMOS 模式。它们的区别体现在可使用的信号 bit 为上。

CMOS模式下，各种接口时序的最高频率如表 7-1 所示。

表 7-1

Operating Mode	1R1T Configurations						1R2T / 2R1T / 2R2T Configurations					
	Maximum Data Rate (Combined I and Q Words)		Maximum RF Channel Signal Bandwidth				Maximum Data Rate (Combined I and Q Words)		Maximum RF Channel Signal Bandwidth (per channel)			
			Using Minimum Sample Frequency		Using 2x Oversampling				Using Minimum Sample Frequency		Using 2x Oversampling	
	SDR (Mpsps)	DDR (Mpsps)	SDR Bus (MHz)	DDR Bus (MHz)	SDR Bus (MHz)	DDR Bus (MHz)	SDR (Mpsps)	DDR (Mpsps)	SDR Bus (MHz)	DDR Bus (MHz)	SDR Bus (MHz)	DDR Bus (MHz)
Single Port Half Duplex	30.72	61.44	30.72	56 ¹	15.36	30.72	15.36	30.72	15.36	30.72	7.68	15.36
Single Port Full Duplex	15.36	30.72	15.36	30.72	7.68	15.36	7.68	15.36	7.68	15.36	3.84	7.68
Dual Port Half Duplex	61.44	122.88	56 ¹	56 ¹	30.72	56 ¹	30.72	61.44	30.72	56 ¹	15.36	30.72
Dual Port Full Duplex	30.72	61.44	30.72	56 ¹	15.36	30.72	15.36	30.72	15.36	30.72	7.68	15.36

¹ Limited by the analog filter bandwidth

LVDS模式下，各接口时序的最高频率如表 7-2 所示。

表 7-2

Operating Mode	1R1T Configurations			1R2T / 2R1T / 2R2T Configurations		
	Maximum Data Rate - Combined I and Q Words (MSPs)	Maximum RF Channel Signal Bandwidth (MHz)		Maximum Data Rate - Combined I and Q Words	Maximum RF Channel Signal Bandwidth (MHz) per Channel	
		Using Minimum Sample Frequency	Using 2× Oversampling		Using Minimum Sample Frequency	Using 2× Oversampling
Dual Port Full Duplex	122.88	56 ¹	56 ¹	61.44	56 ¹	30.72

¹ Limited by the analog filter bandwidth

CMOS模式下，所有接口信号都是单端信号。在此电平模式下，允许两组 12bit 端口 P0_D、 P1_D并行使用，即允许双端口时序。 CMOS 模式下，单端口信号 TX时序如图 7-2， RX时序如图 7-3； P0/1_D 和 T/Rx_D_P/N 的对应关系可参见硬件连接的 spec。

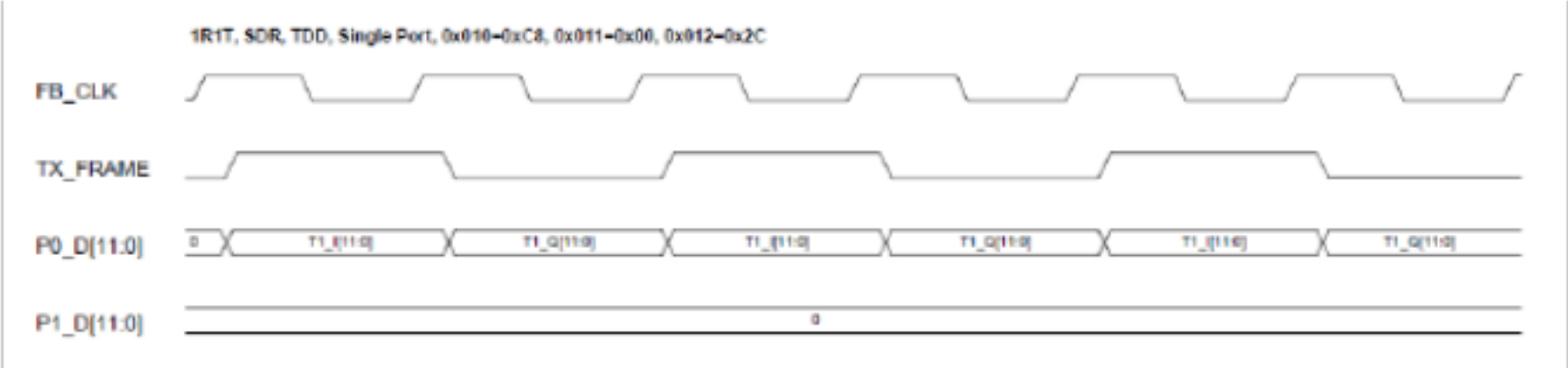


图 7-2

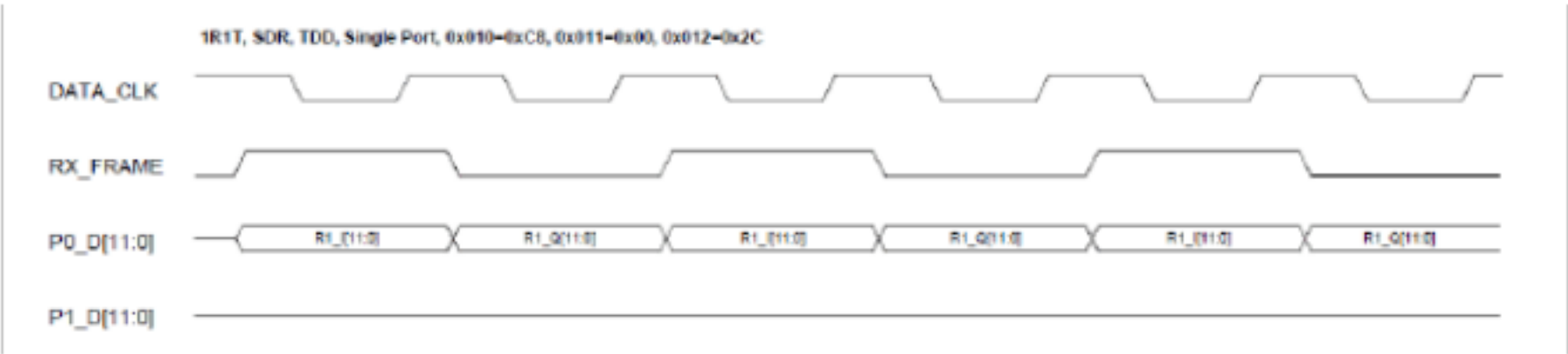


图 7-3

LVDS模式下，每 bit 信号需要 P 和 N 两个接口，因此 24bit 接口用作 12bit 数据信号。 LVDS模式下， TX 信号时序如图 7-4 所示， RX信号时序如图 7-5 所示。



图 7-4



图 7-5

B) 数据速率

数据速率是针对数据端口和时钟的关系来区分。主要分为两种：Single Data Rate (SDR)、Dual Data Rate (DDR)。

SDR的时序举例如下图 7-6 所示：

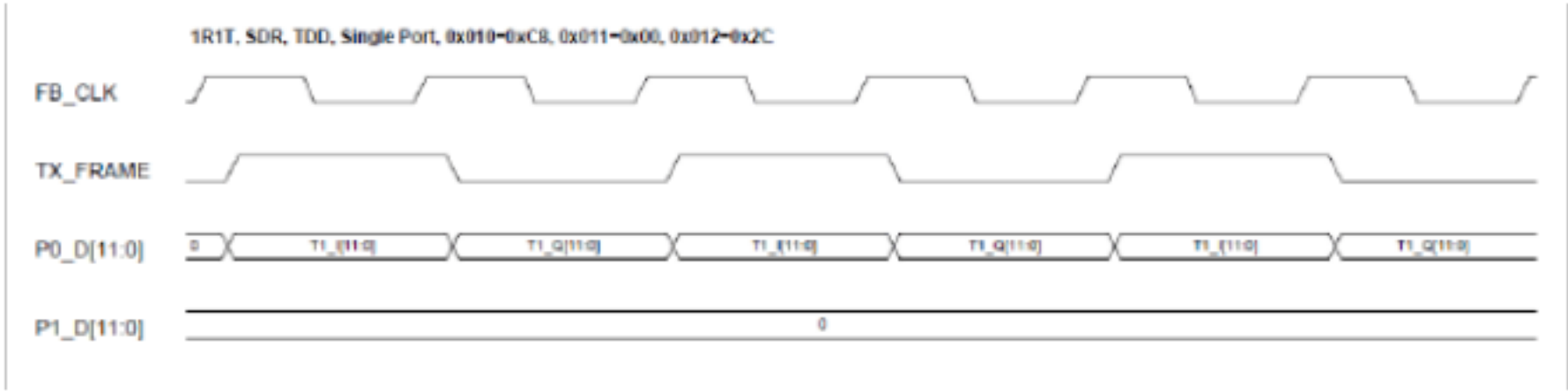


图 7-6

DDR的时序举例如图 7-7 所示：

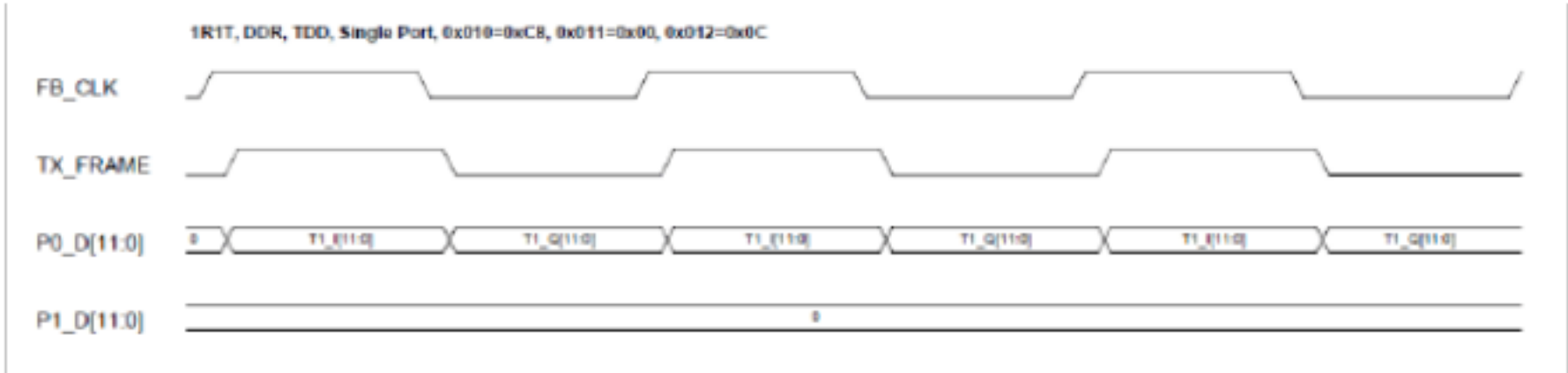


图 7-7

C) 端口模式

端口模式的区分主要根据使用端口的个数上，分为双端口 (Dual Port) 和单端口 (Single Port)。

单端口如图 7-8 所示；双端口如图 7-9 所示。

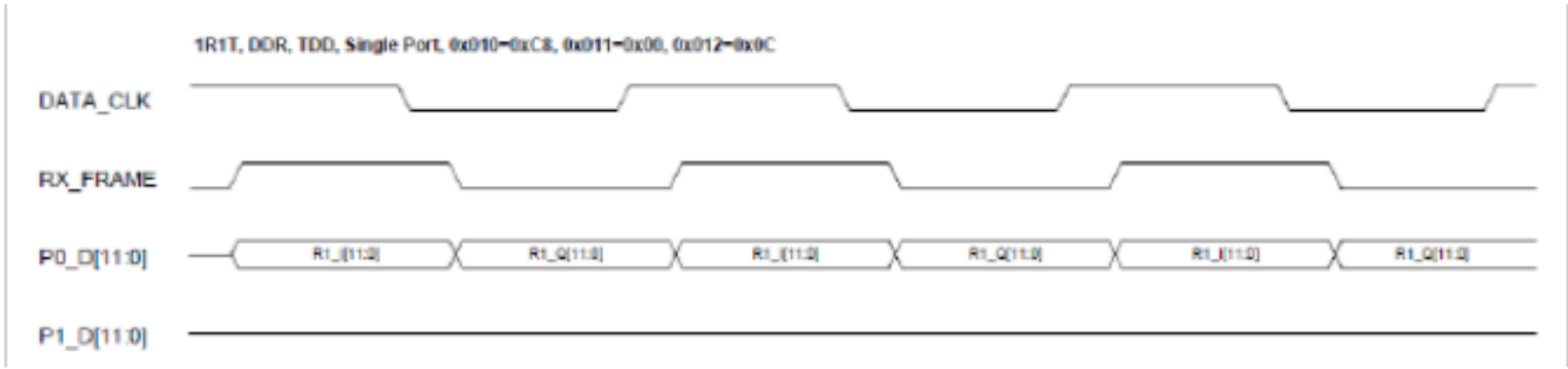


图 7-8

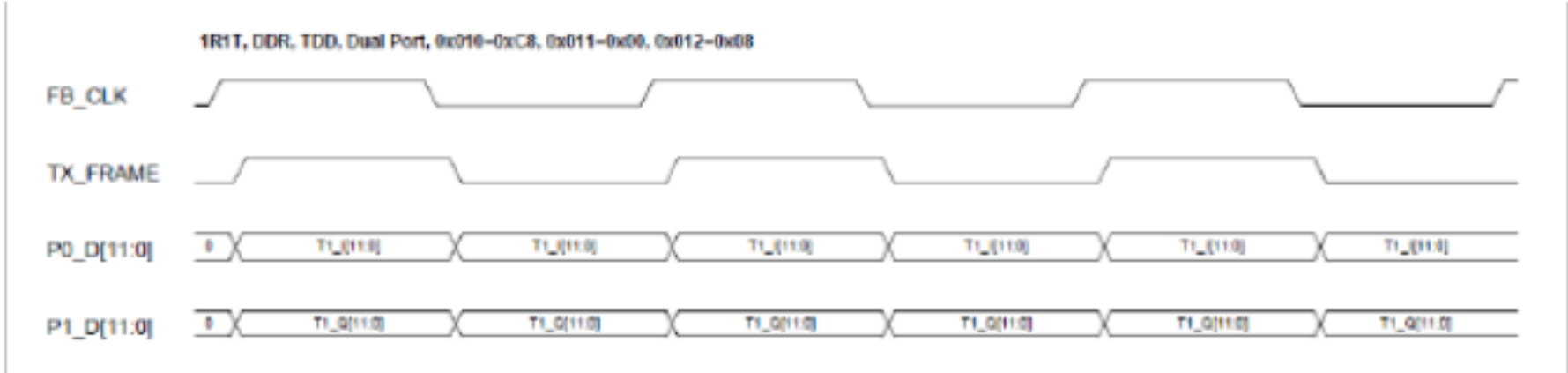


图 7-9

八、 射频工作状态机控制

AD9361 的工作模式通过状态机（ ENSM, enable state machine ）控制， ENSM可通过 SPI控制状态跳转，也可以通过 ENABLE TXNRX pin信号来实时控制。不过假如校准不成功，这些控制均无效。

图 8-1 为 TDD 和 FDD 模式下， ENSM 各状态之间的跳转关系。图中的 TO_ALERT 是通过寄存器 ENSM Config1控制，它的作用是在 ENSM从 TX或者 RX 状态跳转到 WAIT 状态后，自动进入 ALERT状态。

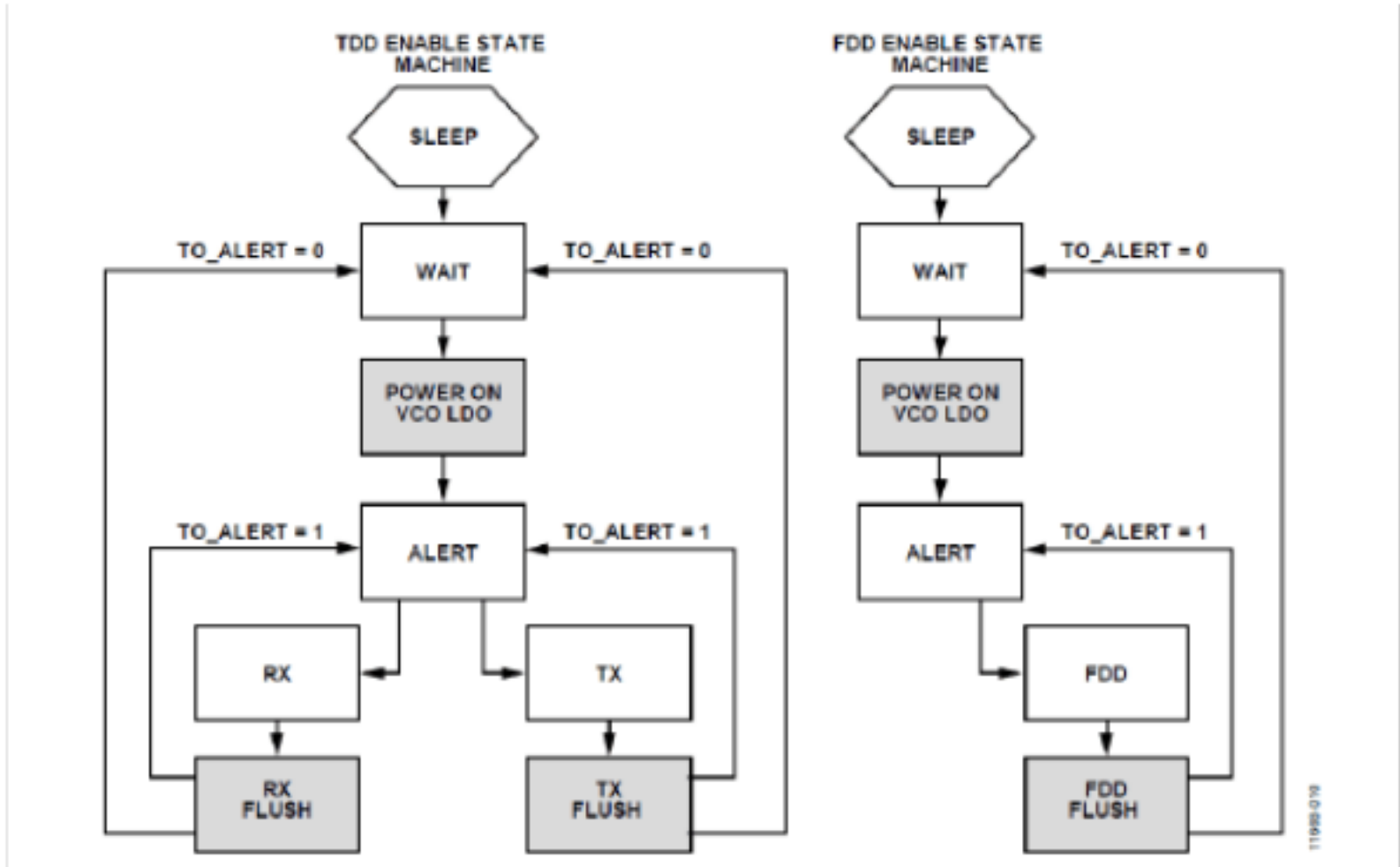


图 8-1

ENSM的状态定义如表 8-1 所示。

表 8-1

ENSM State Name	Value in ENSM State (decimal)	Description
SLEEP	0	WAIT state with AD9361 clocks/BBPLL disabled
WAIT ¹	0	Synthesizers disabled (power saving mode)
CALIBRATION	1, 2, 3	
WAIT to ALERT delay	4	Fixed delay set by Register 0x024 and Register 0x025
ALERT ¹	5	Synthesizers enabled.
Tx ¹	6	Tx signal chain enabled
Tx FLUSH	7	Time to allow digital filters and signal path to flush
Rx ¹	8	Rx signal chain enabled
Rx FLUSH	9	Time to allow digital filters and signal path to flush
FDD ¹	10	Tx and Rx signal chains enabled
FDD FLUSH	11	Time to allow digital filters and signal path to flush

1、SPI控制

SPI控制跳转与接口时钟 DATA_CLK非一个时钟域，因此被认为是异步跳转，默认关闭，可通过 ENSM Config1 寄存器打开。

ENSM状态机控制寄存器如下表 8-2 所示：

表 8-2

ENABLE STATE MACHINE (ENSM) REGISTERS 013 THROUGH 017											
Register Address	Name	D7	D6	D5	D4	D3	D2	D1	D0	Default	R/W
013	ENSM Mode	Open							FDD Mode	01h	R/W
014	ENSM Config 1	Enable Rx Data Port for Cal	Force Rx On	Force Tx On	Enable ENSM Pin Control	Level Mode	Force Alert State	Auto Gain Lock	To Alert	13h	R/W
015	ENSM Config 2	FDD External Control Enable	Power Down Rx Synth	Power Down Tx Synth	TXNRX SPI Control	Synth Enable Pin Control Mode	Dual Synth Mode	Rx Synth Ready Mask	Tx Synth Ready Mask	08h	R/W
016	Calibration Control	Rx BB Tune	Tx BB Tune	Rx Quad Cal	Tx Quad Cal	Rx Gain Step Cal	Open	DC Cal RF Start	DC cal BB Start	00h	R/W
017	State	Calibration Sequence State<3:0>				ENSM State<3:0>				--	R

其中 Force Rx、Force Tx、Force Alert State 用于在 TDD 模式下，SPI 控制状态机。而在 FDD 模式下，Force Rx 信号是无用的，从 ALERT->FDD 状态通过 Force Tx 控制。

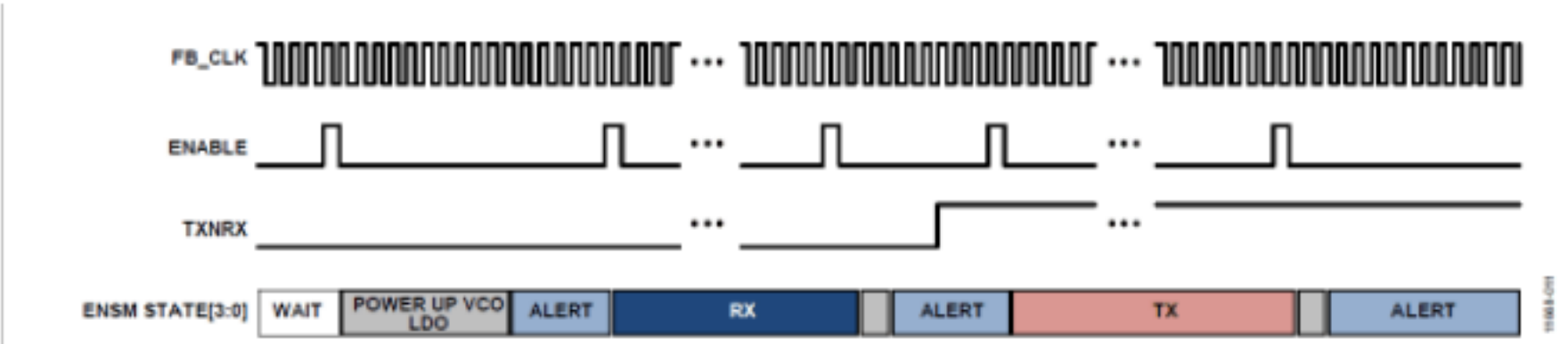
2、ENABLE/TXNRX Pi控制

ENABLE/TXNRX Pi 控制跳转默认开启。这种控制模式还分两种：一种是 Pulse Mode；二是 Level Mode。

Pulse Mode

Pulse Mode 的 Pulse 主要是针对 ENABLE 信号而言的。TXNRX 主要标示下一个状态是跳转到 TX 还是 RX，为 1 时跳转 TX，为 0 时跳转 RX。

ENABLE 以脉冲的形式给出，脉宽不得小于一个 FB_CLK 周期。TDD 模式下控制时序如下图 8-2 所示：



8-2

FDD 模式下，控制时序如图 8-3 所示：

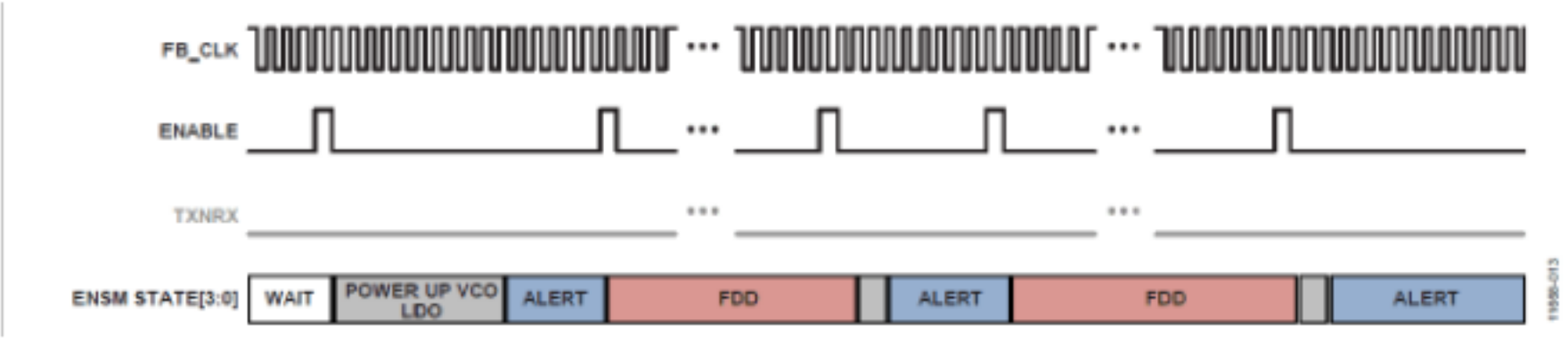


图 8-3

Level Mode

Level Mode 下，ENABLE以电平形式给出，而 ENABLE信号为高时表示芯片现在处于工作状态。而 VCQ LDO的上电使能还是要通过 SPI配置。

TDD 模式下，控制时序如图 8-4 所示：

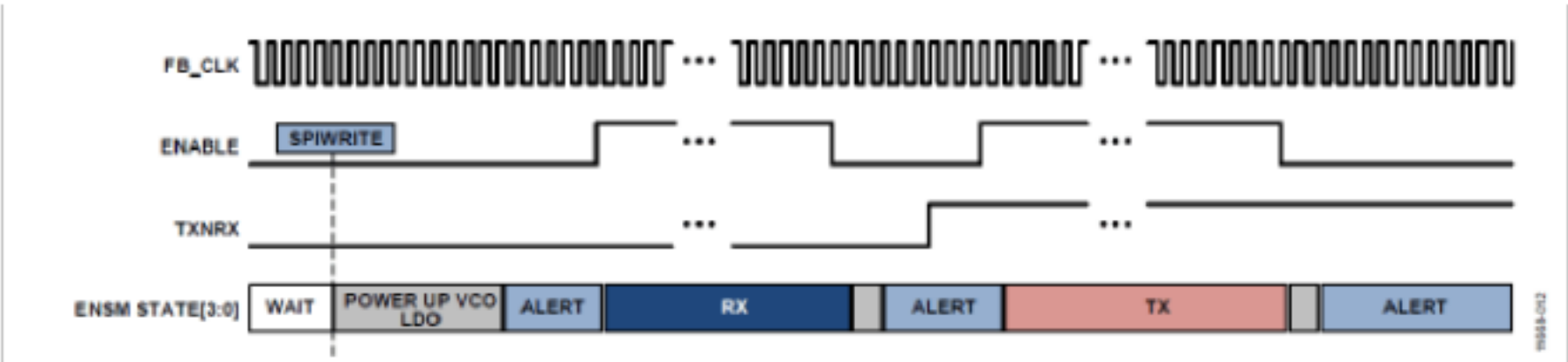


图 8-4

FDD 模式下，控制时序如图 8-5 所示：

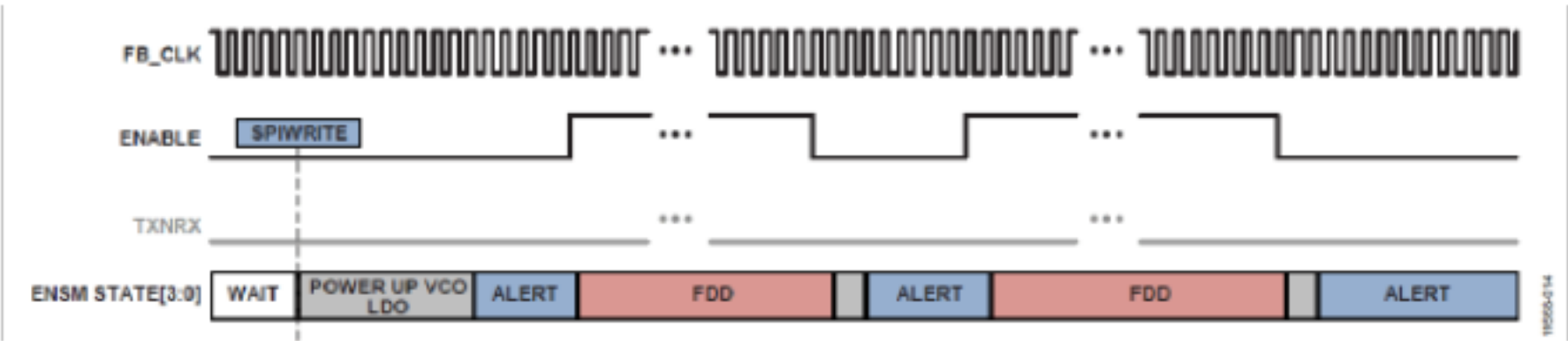


图 8-5

3、FDD Independent模式

AD9361 的 TX和 RX在 FDD模式下允许工作在同一载波频率下，这就使得 FDD 模式不局限于仅适用在全双工系统中。像 wifi、蓝牙这样的半双工系统，也可以使用 FDD 模式来避开 TDD模式下 PLL稳定时间较长的问题。而假如 FDD模式，TX RX工作在 同一频率，则会导致发送和接收的相互干扰，此时我们就需要 TX RX支持开关。

而本小节的 FDD Independent 模式便支持收发开关独立控制，功能开关是 ENSM Config2 D7 比特。功能开启后，可通过 TXNRX ENABLE共同控制 TX、RX的开启关闭，控制逻辑如表 8-3 所示。

表 8-3

Pin Level	Description
ENABLE low, TXNRX low	Rx and Tx signal chains disabled (Operates like ALERT state)
ENABLE high, TXNRX low	Rx signal chain enabled, Tx signal chain disabled (Operates like Rx state)
ENABLE low, TXNRX high	Rx signal chain disabled, Tx signal chain enabled (Operates like Tx state)
ENABLE high, TXNRX high	Rx signal chain enabled, Tx signal chain enabled. (Operates like FDD state)

这个模式下，收发关闭后，状态机是不会跳转到 FDD FLUSH状态的，因此用户使用时要控制好时间，在两次收或者发开启之间留下足够的时间清空残留数据。

FDD Independent 模式的 Level Mode 和 Pulse Mode 的控制时序如图 8-6 所示：

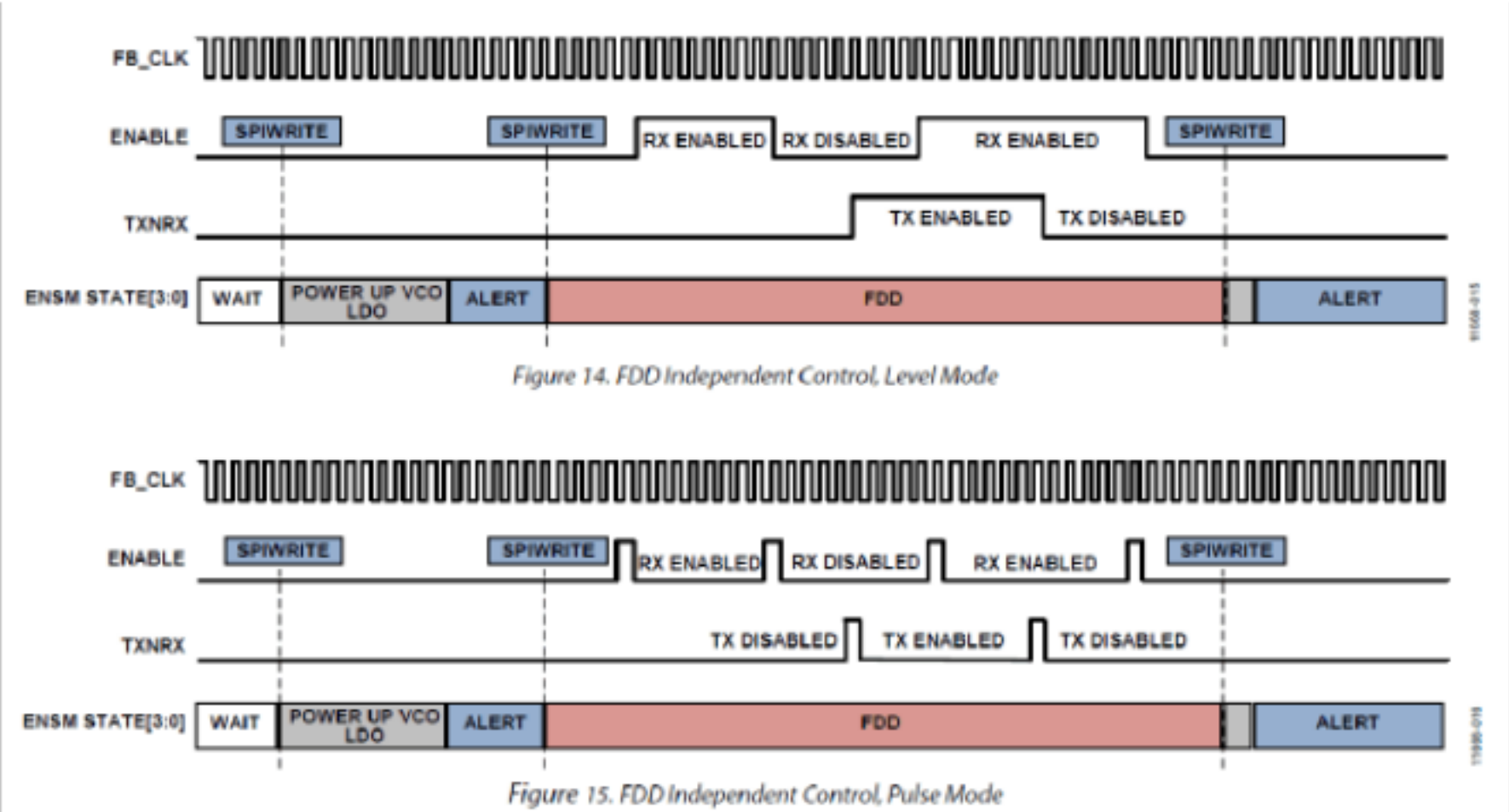


图 8-6

4、ENSM与 RF VCO校准

ENSM会输出一个内部信号，控制 TX RX频率综合器校准。

FDD 模式下，TX RX频率综合器会在两种情况下进行校准，一是 ENSM 从 WAIT->ALERT时，二是频率控制字写入时。而在 FDD 状态下，校准结果是保持不变的。

TDD 模式下，与 FDD类似，会在 ENSM从 WAIT->ALERT时进行校准，在频率控制字写入时，会根据 TXNRX判断，让当前使能的 VCO进行校准。

为了节省功耗，TDD 模式下，T/Rx 的 VCO并一直保持锁定状态，在 RX使能时，TX VCO会关闭，反之亦然。当 TXNRX改变时，再对当前使能的 VCO重新校准。因此在使用时，ALERT状态下应该尽早跳转 TXNRX来为 VCO校准争取最大时间。

九、增益控制

结语