

# Отладочная плата на основе FPGA XC7A15T для лабораторных работ по цифровой схемотехнике на 1 курсе ФИТ НГУ

## Содержание

Отладочная плата на основе FPGA XC7A15T для лабораторных работ по цифровой электронике на 1 курсе ФИТ НГУ .....	3
Общее описание. ....	3
Подключение, электропитание и загрузка конфигурации. Общие замечания. ....	3
Тактовые генераторы. ....	5
Ввод-вывод дискретных сигналов: кнопки, световые и звуковые индикаторы, бинарные управляющие выходы. ....	6
Набор светодиодов. ....	6
Семисегментные индикаторы. ....	6
Кнопки. ....	7
Переключатели. ....	7
Громкоговоритель. ....	8
16-кнопочная матричная клавиатура. ....	8
Силовые ключи для управления мощными внешними устройствами. ....	9
Дополнительные периферийные устройства. ....	10
Цифро-аналоговый преобразователь. ....	10
Аналого-цифровой преобразователь. ....	11
Аналого-цифровой преобразователь II. ....	11
Светодиоды с управляемым цветом свечения. ....	12
Порт USB 2.0 для подключения к компьютеру. Программатор. ....	12
Разъемы для подключения внешних устройств. ....	13
Колодка для беспаячного макетирования. ....	15
Встроенный тест отладочной платы. ....	15



## Отладочная плата на основе FPGA XC7A15T для лабораторных работ по цифровой электронике на 1 курсе ФИТ НГУ

### Общее описание.

Отладочная плата предназначена для прототипирования и отладки цифровых и цифроаналоговых электронных устройств начального уровня сложности.

Ядром платы является микросхема программируемой логики (FPGA) XC7A15T из семейства Artix-7 фирмы Xilinx в 256-выводном корпусе. Эта микросхема содержит 16,640 программируемых логических ячеек и блоки памяти суммарной емкостью 900 килобит.

На плате также установлен программатор для загрузки конфигурации FPGA, работа с которым поддерживается из среды Vivado, источники электрического питания, разъемы цифровых входов-выходов, монтажная плата для безопасного подключения внешних элементов, а также набор дополнительных устройств, подробнее описанный ниже.

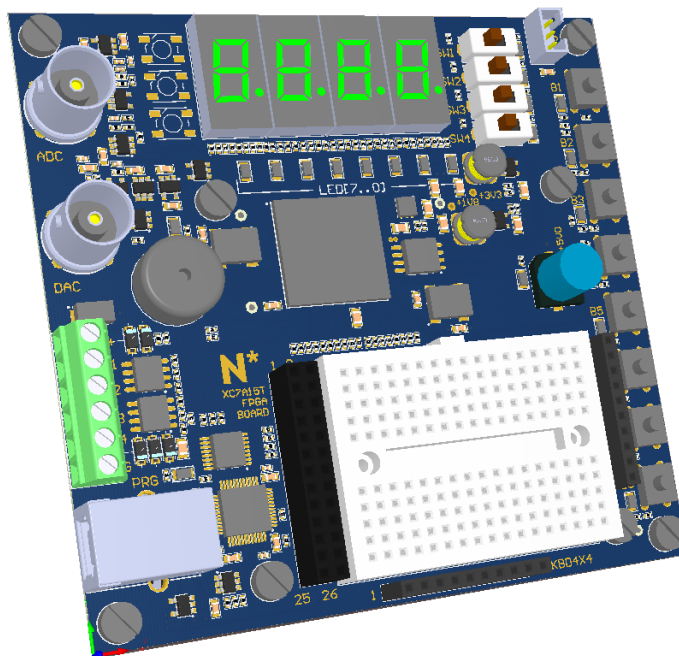


Рис. 1. Внешний вид отладочной платы.

Внешний вид платы приведен на Рис. 1. Монтажная схема устройства с позиционными обозначениями элементов приведена ниже на Рис. 2 (лицевая сторона платы) и на Рис. 3 (оборотная сторона платы).

Габариты платы – 100x96 мм.

Напряжение питания всех цифровых портов ввода-вывода – 3.3 В. Дополнительно на плате присутствуют напряжение 5.0 В и напряжения питания микросхемы FPGA 1.8 В и 1.0 В.

### Подключение, электропитание и загрузка конфигурации. Общие замечания.

Электропитание платы осуществляется напряжением 5 В через разъем USB типа В J2, расположенный в левом нижнем углу платы. Потребляемый ток зависит от текущей конфигурации FPGA, частоты, на которой работает микросхема (с ростом частоты величина тока растет), количества включенных светодиодов и других устройств. Следует помнить, что ток, который обеспечивает порт USB компьютера, составляет не менее 0.5 А для версии USB 2.0 и не менее 0.9 А для версии USB 3.0 (маркирован синим цветом разъема). По возможности используйте порт USB версии 3.0.

В случае необходимости дополнительный источник электропитания с напряжением 5.0 В  $\pm 5\%$  может быть подключен к трехконтактному разъему J8, расположенному в правом верхнем углу платы. Обратитесь к преподавателю за подробными инструкциями.

**Будьте осторожны при подключении щупа осциллографа к плате, чтобы не замкнуть**

наконечником щупа соседние, близко расположенные выводы микросхем и проводники.

Плата может быть повреждена разрядом статического электричества. Перед манипуляциями с элементами платы старайтесь коснуться общего провода («массы») платы, например, металлизации одного из крепежных отверстий или корпуса разъема J2.

Загрузка конфигурации выполняется при помощи встроенного программатора, аналогичного Digilent JTAG-HS2. Этот программатор поддерживается и автоматически распознается средой разработки Vivado. Плата содержит микросхему флэш-памяти для хранения конфигурации. Первоначально она содержит тестовую программу, позволяющую быстро проверить работоспособность микросхемы FPGA и всех других элементов. При первом включении в FPGA загружается эта тестовая программа.

Новая конфигурация может быть записана как непосредственно в микросхему FPGA, так и в микросхему флэш-памяти. Выбор производится в среде Vivado. В первом случае при выключении электропитания конфигурация будет стерта, и при следующем включении вновь загружена конфигурация из флэш-памяти. Во втором случае при следующем включении конфигурация будет загружена в FPGA из флэш-памяти.

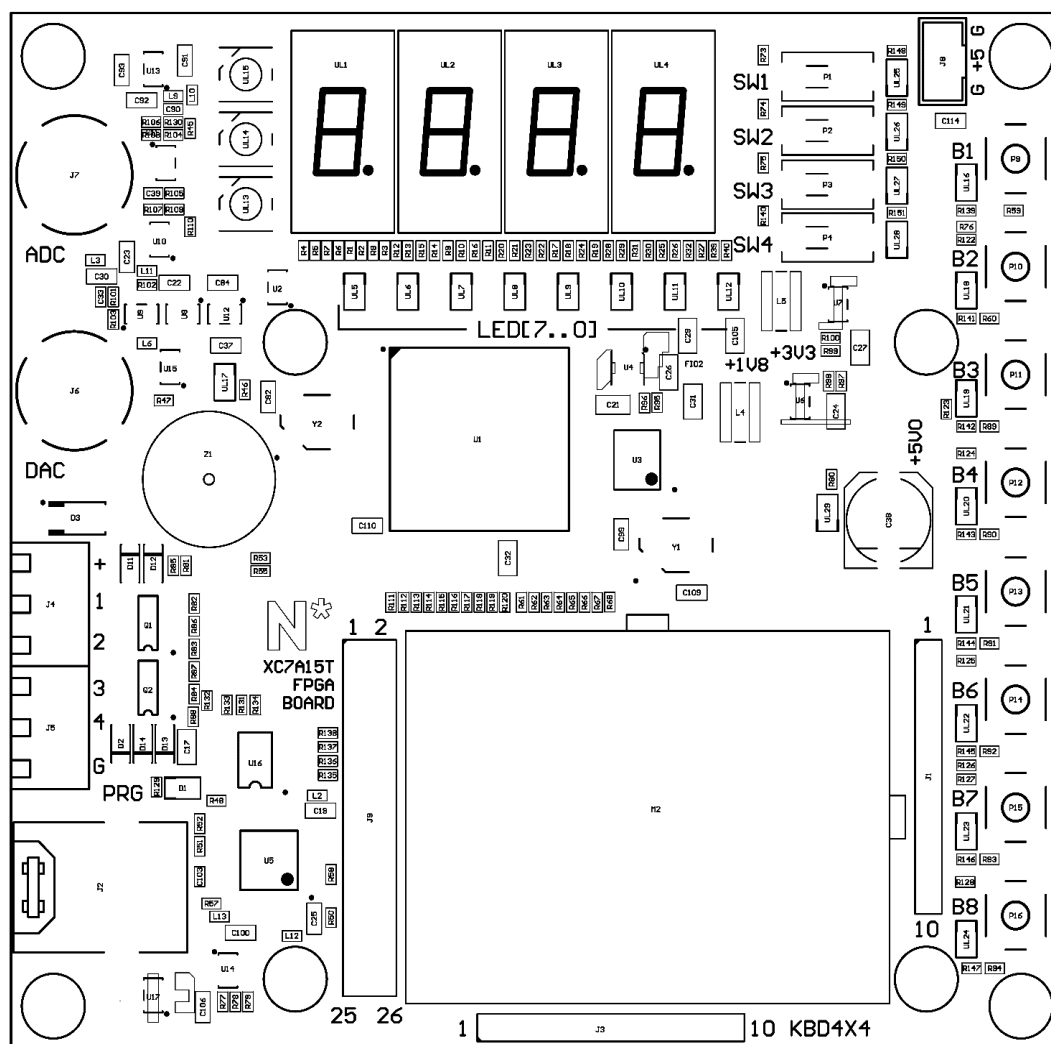


Рис. 2. Монтажная схема - лицевая сторона платы.

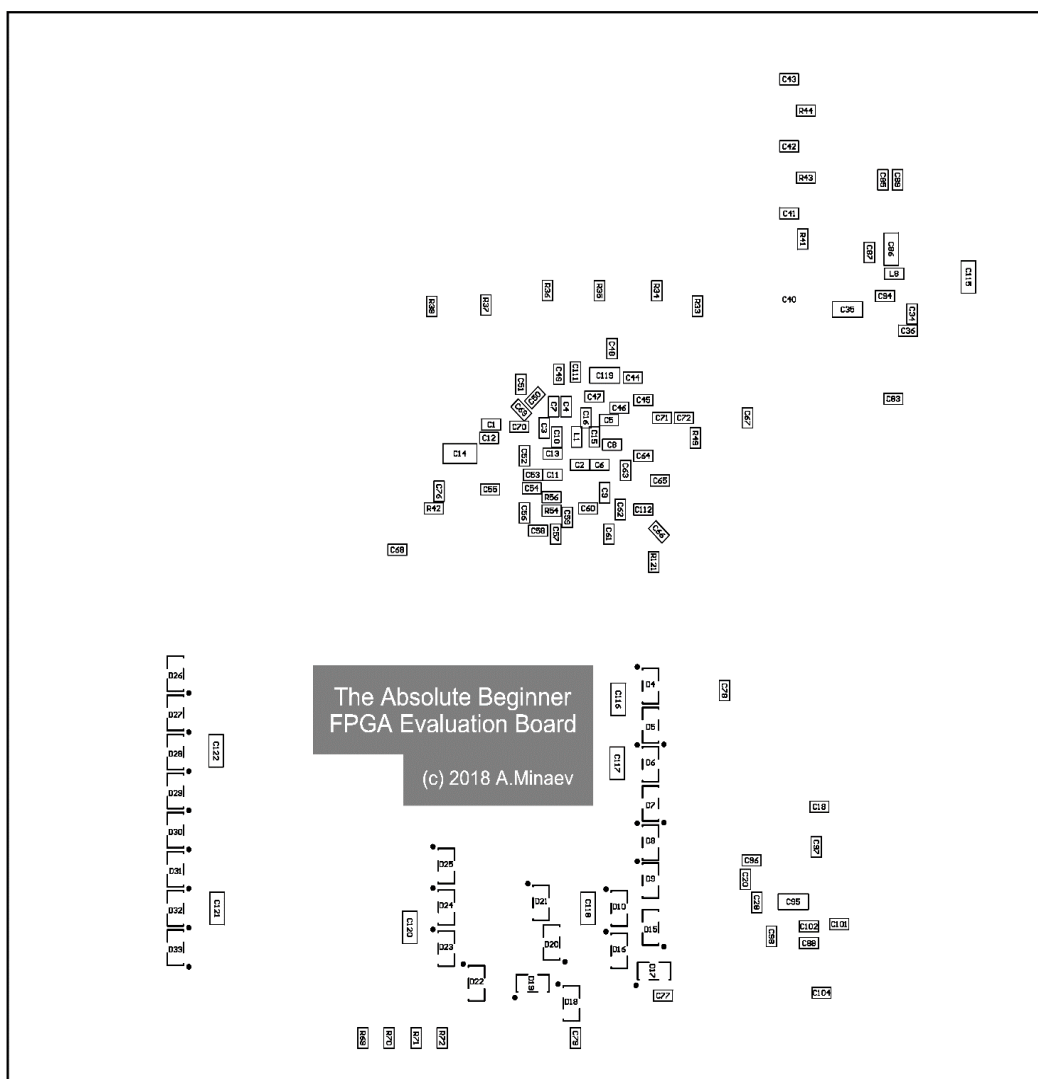


Рис. 3. Монтажная схема - обратная сторона платы.

**Внимание! Напряжение питания всех портов ввода-вывода микросхемы FPGA – 3.3 В. Правильно указывайте тип вывода в среде Vivado при конфигурировании микросхемы (как правило, LVCMOS33 или LVTTL, оба типа имеют выходное напряжение «лог. 0» не более 0.8 В, а напряжение «лог. 1» - не менее 2.0 В).**

Помните, что нумерация выводов микросхемы FPGA – буквенно-цифровая. Выводы образуют прямоугольную матрицу 16x16, в номере вывода, например, D15, буква означает порядковый номер столбца, число – номер строки. Буква I не используется, так как ее легко спутать с цифрой 1. Вывод A1 находится в верхнем левом углу микросхемы, если смотреть сверху, и отмечен ключом.

#### Тактовые генераторы.

На плате установлены два тактовых генератора, которые вырабатывают сигналы меандра (импульсы прямоугольной формы с коэффициентом заполнения 50%), соответствующие последовательности логических сигналов 0101010101... . Выходы этих генераторов подключены к следующим выводам микросхемы FPGA:

Генератор	Вывод FPGA
12.000 МГц	F5
32.768 МГц	N14

Эти генераторы начинают работать сразу после подачи на плату питающего напряжения. Используйте их для тактирования всех ваших схем.

### Ввод-вывод дискретных сигналов: кнопки, световые и звуковые индикаторы, бинарные управляющие выходы.

Синтезированная и размещенная в микросхеме FPGA цифровая схема взаимодействует с внешним миром через порты ввода-вывода и различные периферийные устройства. Ниже приведен перечень этих устройств и даны общие инструкции по их использованию.

#### Набор светодиодов.

Для двоичной индикации состояния выходов плата содержит 9 светодиодов, 8 оранжевых UL5..UL12 и один желтый UL17. Их расположение на плате и схема подключения показаны на Рис. 4.

Светодиод излучает свет при приложении напряжения около 2 В, свечение становится заметным при токе через светодиод, составляющем доли мА, и яркость возрастает с ростом тока через светодиод. Соответственно, при появлении на выводе микросхемы напряжения около 3 В, соответствующего уровню «лог.1», светодиод светится.

Например, эти восемь светодиодов могут быть использованы для двоичного представления байта.

Выводы микросхемы FPGA, подключенные к светодиодам, приведены в таблице:

Светодиод	Вывод FPGA
UL5	D1
UL6	B4
UL7	A7
UL8	B9
UL9	B14
UL10	C14
UL11	E16
UL12	F15
UL17	J1

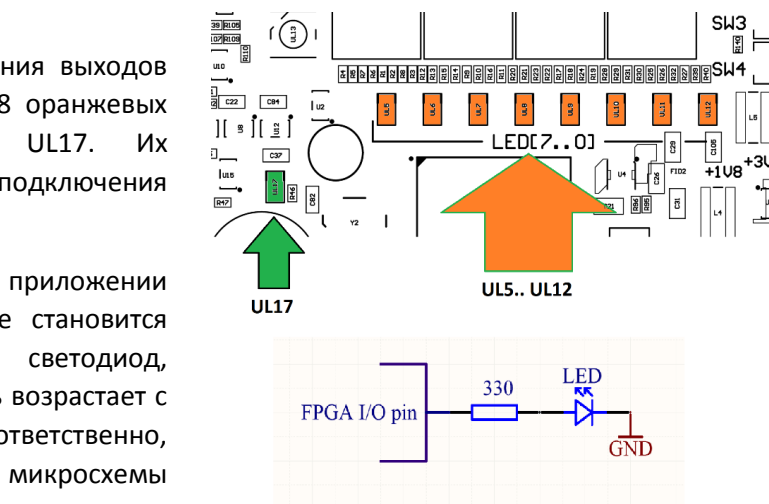


Рис. 4. Расположение и подключение светодиодов.

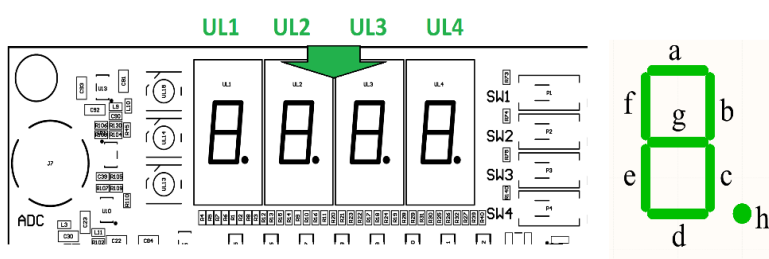


Рис. 5. Расположение семисегментных индикаторов.

#### Семисегментные индикаторы.

На плате установлены четыре светодиодных семисегментных индикатора UL1..UL4, предназначенных для индикации десятичных цифр. Один такой индикатор состоит из восьми светодиодов, собранных в одном корпусе, подсвечивающих восемь сегментов – элементов индикации. Каждый из этих 32 светодиода четырех индикаторов подключен к отдельному выводу микросхемы FPGA по схеме, аналогичной приведенной в п. 0. Условно сегменты индикатора обозначаются буквами от а до h.

Расположение индикаторов на плате и сегментов в индикаторе показано на Рис. 5. Перечень выводов микросхемы FPGA, управляющих сегментами индикаторов, приведен в таблице ниже:

Сегмент UL1	Вывод FPGA
a	C1
b	C2
c	C3
d	F2
e	E1
f	D3
g	E2
h	B1

Сегмент UL2	Вывод FPGA
a	B6
b	C7
c	A8
d	A3
e	A4
f	A5
g	B5
h	B7

Сегмент UL3	Вывод FPGA
a	B11
b	A12
c	A13
d	C8
e	A9
f	B10
g	A10
h	B12

Сегмент UL4	Вывод FPGA
a	C16
b	D15
c	E15
d	A14
e	B15
f	B16
g	A15
h	D16

Высокий уровень (лог. 1) на соответствующем выводе FPGA включает подключенный к этому выводу сегмент.

### Кнопки.

Для ручного ввода дискретных сигналов на плате установлены восемь кнопок. Их расположение на плате и схема подключения показаны на Рис. 6.

При ненажатой кнопке на соответствующий вход микросхемы FPGA через резистор 2.2 кОм поступает напряжение 3.3 В. Нажатие на кнопку замыкает ее контакты и соединяет вход микросхемы с общим проводом GND. Кроме того, вывод каждой кнопки и соответствующий ему вход микросхемы FPGA подключен к одному из контактов 2..9 разъема J1. Это позволяет подключить к кнопкам внешнее устройство. Контакты 1 и 10 (крайние) разъема J1 подключены к общему проводу GND. Параллельно резистору 2.2 кОм подключен также светодиод. Его свечение индицирует нажатое состояние кнопки.

Выводы микросхемы FPGA, подключенные к кнопкам, приведены в таблице:

Кнопка	Вывод FPGA	Контакт J1
P9	M16	2
P10	M15	3
P11	N16	4
P12	P16	5
P13	P15	6
P14	R16	7
P15	R15	8
P16	T15	9

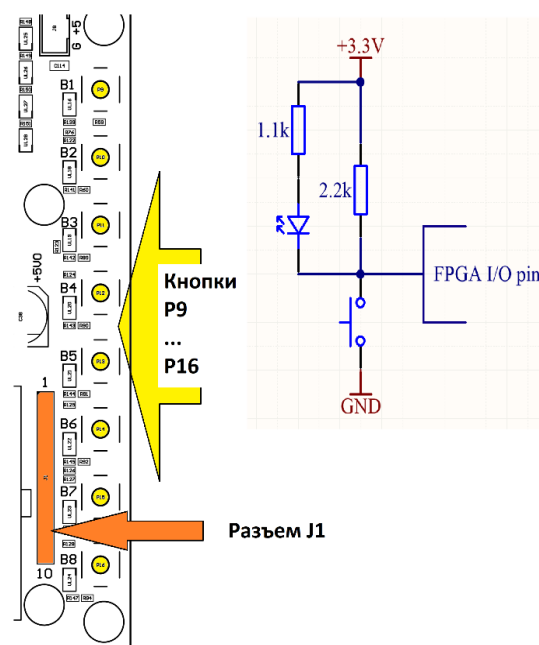


Рис. 6. Расположение и подключение кнопок.

### Переключатели.

Четыре переключателя P1..P4 позволяют установить четыре дискретных параметра. В зависимости от положения каждого переключателя на подключенный к нему вход микросхемы FPGA подается уровень «лог. 0» или «лог. 1». Как видно из схемы, в исходном состоянии контакты переключателя соединяют вход микросхемы с общим проводом GND, обеспечивая на входе уровень «лог. 0». При перемещении движка переключателя в другое положение вход микросхемы отключается от цепи

GND, а через резистор 2.2 кОм остается соединенным с цепью +3.3 В, что соответствует «лог. 1». Рядом с каждым переключателем расположен светодиод, который индицирует состояние переключателя. Его работа понятна из приведенной схемы.

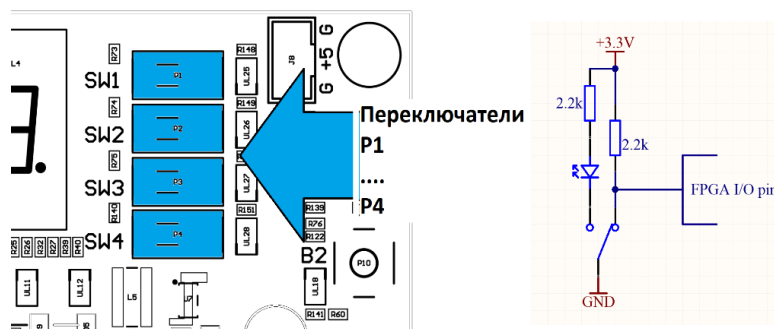


Рис. 7. Расположение и подключение движковых переключателей.

Перечень выводов микросхемы FPGA, подключенных к переключателям P1..P4, приведен в таблице:

Переключатель	Вывод FPGA
P1	L13
P2	K16
P3	J16
P4	H16

### Громкоговоритель.

На плате установлен миниатюрный звуковой излучатель, управляемый логическим уровнем. Выход микросхемы FPGA через дополнительный повторитель подключен к пьезоэлектрическому кристаллу, изгиб которого изменяется при изменении приложенного напряжения. Подача переменного сигнала вызывает колебания кристалла и, если частота изменения лежит в диапазоне слышимых частот, генерацию звукового сигнала.

Громкоговоритель	Вывод FPGA
	M2

Громкость звука существенно зависит от частоты, наибольшая громкость достигается в диапазоне частот 0.7..3 кГц. Дополнительно громкость звука легко изменять с помощью широтно-импульсной модуляции.

### 16-кнопочная матричная клавиатура.

К 10-контактному разъему J3 в нижней части платы может подключаться 16-кнопочная клавиатура. Кнопки маркированы символами 0..9, A..D, # и \*. Чтобы уменьшить количество необходимых выводов FPGA, кнопки образуют матрицу 4x4, схема которой приведена на Рис. 8. Столбцы матрицы подключены к входам FPGA T13, R13, T14, R14. Через резисторы 2.2 кОм эти входы подключены к цепи GND, поэтому, когда кнопки не нажаты, на этих входах присутствует уровень лог. 0. Строки матрицы подключены к выходам FPGA P10, R11, T12, P14.

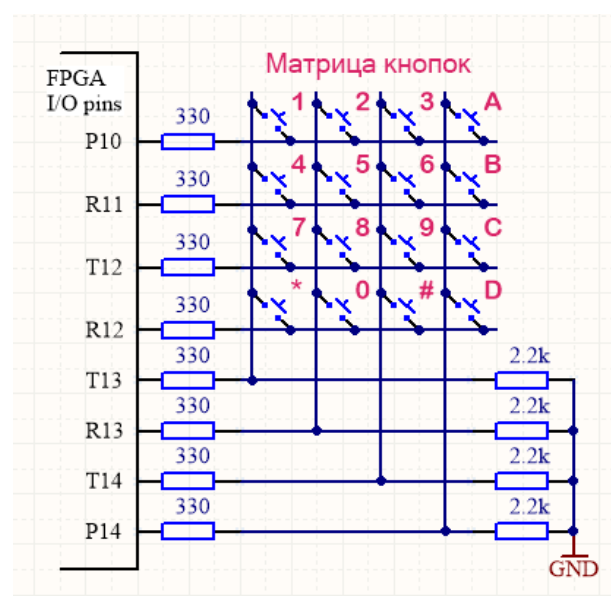


Рис. 8. Схема подключения матричной клавиатуры.

Чтение состояния кнопок производится последовательно. Так, чтобы прочесть



состояние кнопки «1», необходимо установить высокий уровень на выходе P10. Если кнопка «1», соединяющая выход P10 и вход T13, нажата, на входе T13 также будет лог.1.

Если нужно, чтобы состояния кнопок «4», «7» и «\*», находящихся в той же строке, не влияли на результат чтения, необходимо перевести выходы R11, T12 и R12 в Z-состояние с высоким импедансом.

Резисторы 330 Ом, не оказывающие влияния на чтение состояния входов, предотвращают короткое замыкание выходов друг на друга при одновременном нажатии нескольких кнопок и/или ошибочном включении нескольких выходов в состояния лог. 0 и лог. 1 одновременно.

#### Силовые ключи для управления мощными внешними устройствами.

На плате установлены четыре транзисторных ключа с общим допустимым рабочим током до 10 А. Схема одного из ключей показана на Рис. 9. Выходы ключей подключены к контактам разъема J4 (см. Рис. 10), маркированным цифрами от «1» до «4».

Если на затворе транзистора низкий уровень, транзистор закрыт, контакт «1» отключен. При подаче высокого уровня (лог. 1) на затвор транзистора транзистор открывается, соединяя контакт «1» с «землей». Если внешнее устройство / «нагрузка» (электромагнит, обмотка электродвигателя, лампа) подключена между контактами «+» и «1», открывание транзистора подает напряжение питания VM на «нагрузку».

Четыре ключа позволяют управлять четырьмя независимыми устройствами или электродвигателем с четырьмя обмотками.

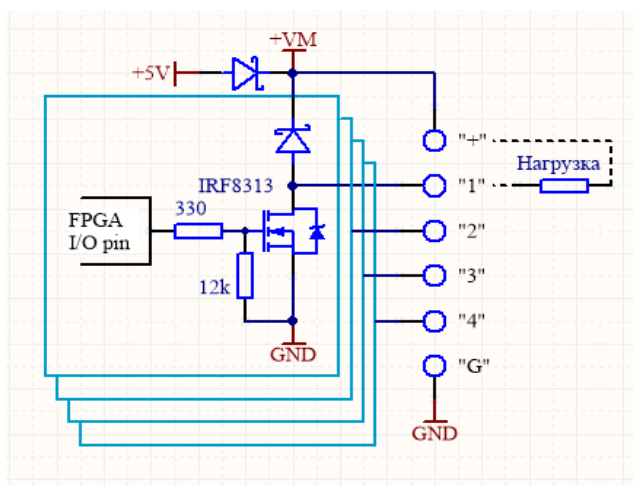


Рис. 9. Схема одного ключа управления внешним устройством.

На контакте «+» разъема J4 присутствует напряжение питания VM. В отсутствие внешних источников питания на этот контакт через показанный на схеме диод подается напряжение +5 В. Максимальный потребляемый нагрузкой ток при этом ограничен источником питания отладочной платы, и при питании платы от порта USB не может превышать 0.4..0.7 А. Если необходимо управление большим напряжением, между выводами «G» и «+» подключается внешний источник питания напряжением до 14 В.

**Внимание! Подключение внешнего источника напряжением выше 14.4 В может вызвать повреждение отладочной платы и/или источника.**

Перечень выводов микросхемы FPGA, управляющих транзисторными ключами, приведен в таблице:

Выход ключа на разъеме J4	Вывод FPGA
«1»	M1
«2»	N1
«3»	N2
«4»	P1

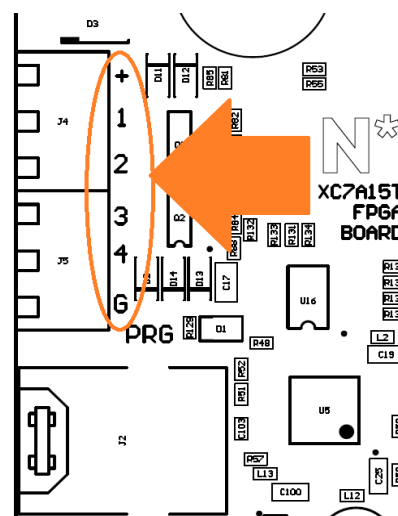


Рис. 10. Расположение разъема J4 управления внешними устройствами.

### Дополнительные периферийные устройства.

Описанные ниже устройства обеспечивают дополнительные возможности индикации, ввода и вывода аналоговых сигналов, обмена данными между платой и подключенным к ней компьютером.

Эти устройства реализованы в отдельных микросхемах (описанный ниже аналого-цифровой преобразователь II встроен в микросхему FPGA), подключенных к портам ввода-вывода FPGA. Управление этими устройствами в общем случае требует реализации специальных протоколов, в соответствии с которыми на их входы подаются определенные последовательности управляющих сигналов. Документация на соответствующие микросхемы доступна у их изготовителей. Обратитесь к вашему преподавателю за дополнительной информацией.

### Цифро-аналоговый преобразователь.

На плате установлен 10-разрядный цифро-аналоговый преобразователь (ЦАП) DAC101S101 <http://www.ti.com/product/DAC101S101> и буферный операционный усилитель, которые обеспечивают управление аналоговым выходом. В зависимости от записанного в ЦАП 10-разрядного двоичного кода напряжение на аналоговом выходе может изменяться в диапазоне приблизительно от  $U_{-} = -3.3$  В до  $U_{+} = +3.3$  В. Шкала линейная, коду 0x000 соответствует наибольшее отрицательное напряжение, коду 0x3FF – наибольшее положительное напряжение. Из-за погрешностей номиналов элементов значения  $U_{-}$  и  $U_{+}$  могут отличаться от указанных на 2..3%.

Аналоговый выход выведен на центральный контакт коаксиального разъема J6 типа BNC, размещенного у левого края платы (Рис. 11) и помеченного маркировкой «DAC».

Микросхема ЦАП имеет три логических входа SCLK, DIN и SYNC, которые подключены к выходам микросхемы FPGA. Для записи двоичного кода на этих входах необходимо сформировать последовательность логических сигналов, как указано в документации на микросхему. После завершения записи кода через время порядка 10 мкс напряжение на выходе буферного усилителя принимает указанное значение. Ниже приведена таблица соединений входов ЦАП с выводами FPGA.

Вход ЦАП	Вывод FPGA
SCLK	K1
DIN	L2
SYNC	K2

**Внимание!** При включении платы до момента загрузки управляющего кода в микросхему ЦАП напряжение на аналоговом выходе равно

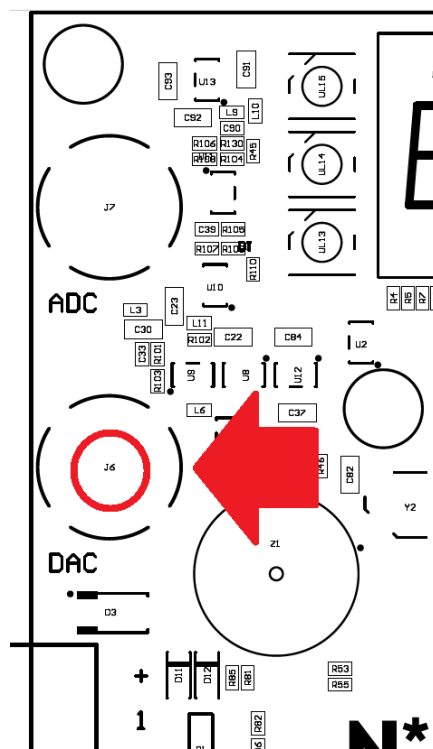


Рис. 11. Расположение аналогового выхода.

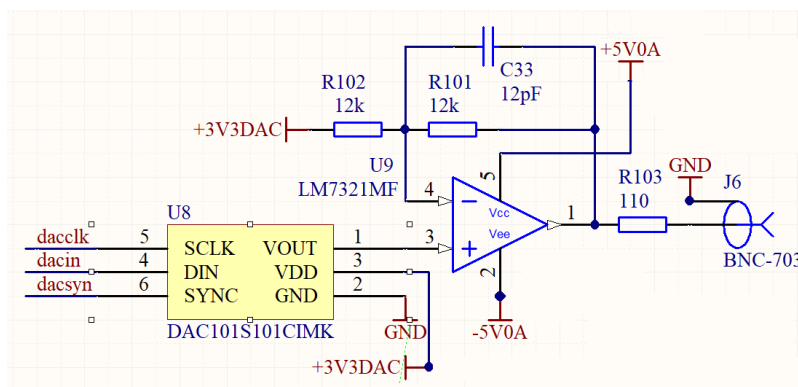


Рис. 12. Упрощенная схема ЦАП и буферного усилителя.

$U_-$ , приблизительно  $-3.3$  В.

Для справки на Рис. 12 приведена схема включения ЦАП и организации аналогового выхода.

**Замыкание аналогового выхода на общий проводник GND или его соединение с цепью в диапазоне напряжений  $-5..+5$  В относительно GND безопасно. Подача на него напряжений, превышающих 6 В по абсолютному значению, может повредить буферный усилитель.**

#### Аналого-цифровой преобразователь.

На плате установлен 8-разрядный аналого-цифровой преобразователь (analog-to-digital converter, ADC) ADC081S051 [www.ti.com/product/ADC081S051](http://www.ti.com/product/ADC081S051) и входной буферный операционный усилитель, которые обеспечивают измерение напряжения на аналоговом входе. В зависимости от величины напряжения на входе в диапазоне приблизительно от  $U_- = -5.5$  В до  $U_+ = 5.5$  В ADC генерирует 8-разрядный код.

Шкала – линейная, входному напряжению  $U_-$  соответствует код 0x00, входному напряжению  $U_+$  – код 0xFF. Из-за погрешностей номиналов элементов значения  $U_-$  и  $U_+$  могут отличаться от указанных на 2..5%.

Аналоговый вход выведен на центральный контакт коаксиального разъема J7 типа BNC, размещенного у левого края платы (Рис. 13) и помеченного маркировкой «ADC». Микросхема ADC имеет два логических входа SCLK и CS и один логический выход SDO, которые подключены к выходам микросхемы FPGA. Для чтения двоичного кода на входах необходимо сформировать последовательность логических сигналов, как указано в документации на микросхему. При этом биты кодового числа последовательно появляются на выходе SDO и могут быть считаны микросхемой FPGA. Ниже приведена таблица соединений выводов ADC с выводами FPGA.

Вывод ADC	Вывод FPGA
SCLK	G1
CS	H2
SDO	H1

Для справки на Рис. 14 приведена упрощенная схема включения буферного усилителя и ADC.

**Внимание!** Подача на аналоговый вход напряжения, большего 25 В по абсолютной величине, может привести к повреждению платы.

#### Аналого-цифровой преобразователь II.

Установленная на плате микросхема FPGA содержит встроенный 12-разрядный аналого-цифровой преобразователь. Вход этого преобразователя подключен к тому же разъему J7 через буферный усилитель и дополнительный делитель напряжения. Диапазон измеряемых напряжений

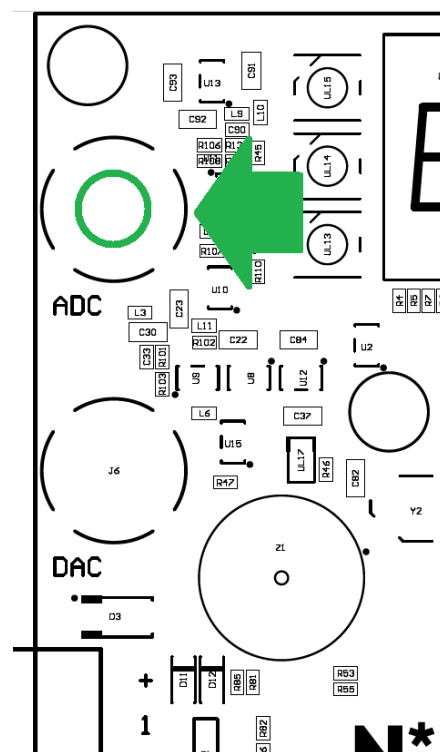


Рис. 13. Расположение аналогового входа.

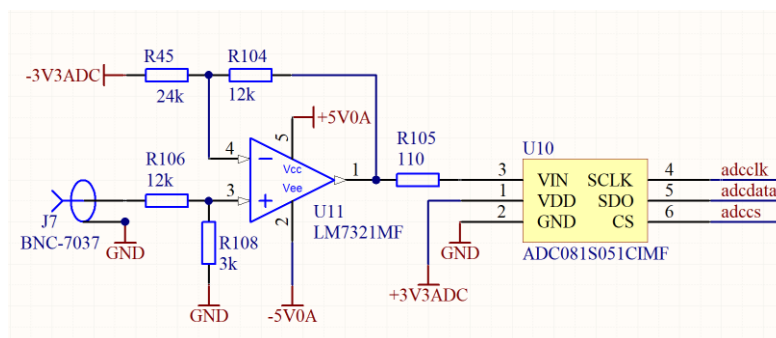


Рис. 14. Схема включения ADC.

приблизительно тот же. Аналогично ранее описанному внешнему ADC, наибольшее отрицательное значение входного напряжения соответствует коду 0x000, наибольшее положительное – коду 0xFFFF. Результат измерения доступен внутри микросхемы FPGA, подключение и конфигурирование этого ADC производится в среде Vivado. Подробные инструкции содержатся в документации фирмы Xilinx.

Если вам необходимо использовать этот ADC, обратитесь за дополнительными разъяснениями к вашему преподавателю.

#### Светодиоды с управляемым цветом свечения.

Плата содержит три управляемых полноцветных светодиода WS2812B со встроенным контроллером. Каждый светодиод имеет три светоизлучающих кристалла красного, зеленого и синего цветов, яркость свечения каждого из которых задается 8-битным кодом.

Контроллер светодиода имеет один логический вход и один выход. Для управления светодиодом на вход подается 24-разрядное двоичное число, закодированное специальным образом, так, что битам лог.0 и лог.1 соответствуют импульсы высокого уровня различной длительности. Последующие биты контроллер передает на выход в неизменном виде. Таким образом  $n$  светодиодов могут быть соединены в цепочку, выход первого светодиода к входу второго и т.д., на вход которой подается управляющая последовательность из  $24 \cdot n$  бит.

Установленные на плате светодиоды UL13, UL14, UL15 () образуют такую цепочку, в которой вход первого светодиода UL13 подключен к выводу F3 микросхемы FPGA.

Инструкции по управлению светодиодами содержатся в документации изготовителя. Обратитесь к преподавателю для помощи в работе с документацией.

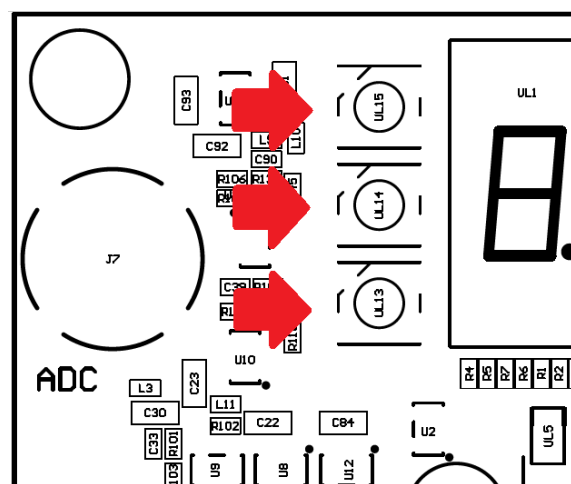


Рис. 15. Расположение полноцветных светодиодов.

#### Порт USB 2.0 для подключения к компьютеру. Программатор.

На плате установлен порт USB 2.0, реализованный на микросхеме FT232N. Это многофункциональная микросхема, которая может обеспечивать обмен данными между отладочной платой и подключенным к ней компьютером. Эта же микросхема обеспечивает программирование FPGA и ее загрузочной флэш-памяти в среде Vivado.

#### Внимание. Для работы программатора Vivado необходима установка драйвера.

Включение режима программирования Vivado выполняет автоматически при выборе соответствующего пункта в меню. Работа в этом режиме индицируется свечением красного светодиода UL30, расположенного рядом с разъемом порта USB.

Обмен данными с компьютером требует установки программного обеспечения, которое может поддерживать:

- двустороннюю последовательную побитную передачу данных между FPGA и компьютером по двум линиям TX и RX;
- или чтение и изменение с компьютера состояния портов AD0..AD3 микросхемы FT232N, которые, в свою очередь, подключены к портам ввода-вывода FPGA.

Использование этих возможностей требует понимания работы микросхемы FT232H и организации последовательной передачи данных. Кроме того, в FPGA должна быть реализована схема, реализующая такую функциональность.

Одновременная работа программатора и последовательного порта обмена данными в текущей версии отладочной платы невозможна.

Ниже приведены таблицы соединения портов FT232H и FPGA:

Порт FT232H	Функция при последовательной передаче данных	Вывод FPGA
AD0	TxD (передача FT232H, прием FPGA)	R1
AD1	RxD (передача FPGA, прием FT232H)	T2
AD2		T3
AD3		R2
AD7	AD7= лог.1 – режим программатора; AD7 = лог.0 – режим передачи данных.	

Если вам необходимо организовать обмен данными между отладочной платой и компьютером, проконсультируйтесь со своим преподавателем.

#### Разъемы для подключения внешних устройств.

На плате установлены три разъема для подключения внешних устройств: 10-контактные однорядные J1 и J3 и 26-контактный двухрядный J9. Разъемы имеют шаг контактов 2.54 мм. К ним можно подключать стандартные соединительные провода с наконечниками DuPont. Расположение этих разъемов на плате и нумерация их контактов показаны на Рис. 16. На контакты этих разъемов выведены общая земля схемы GND, питающие напряжения 3.3 В и 5 В и некоторые порты ввода-вывода микросхемы FPGA.

Разъем J1 делит порты ввода-вывода с индикаторными светодиодами UL5..UL12 и кнопками P9..P16. Нажатие одной из кнопок установит низкий уровень («лог.0») на соединенном с ней контакте разъема и соответствующем выводе FPGA. Если вы используете кнопки и/или подключенные к ним светодиоды, осуществлять ввод-вывод через соединенные с ними контакты разъема невозможно. При ненажатой кнопке контакт разъема соединен с цепью +3.3 В через резистор 12 кОм, поэтому, если на него не подан внешний сигнал, на выводе FPGA присутствует «лог. 1».

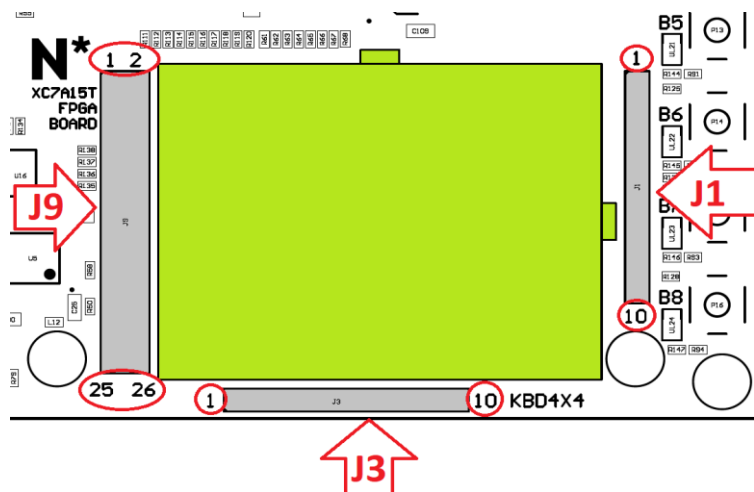


Рис. 16. Расположение разъемов расширения.

Разъем J3 используется для подключения матричной клавиатуры. Если клавиатура установлена, подключить внешнее устройство к контактам этого разъема невозможно. Контакты 6..9 этого разъема соединены с цепью GND через резистор 12 кОм, поэтому, если на них не поданы внешние сигналы, на подключенных к ним выводах FPGA присутствует «лог. 0».

Назначение выводов разъемов расширения приведено в таблицах ниже.

Контакты разъема J1		
Контакт разъема	Вывод FPGA	Примечание
1	-	GND
2	M16	Соединен с кнопкой P9
3	M15	Соединен с кнопкой P10
4	N16	Соединен с кнопкой P11
5	P16	Соединен с кнопкой P12
6	P15	Соединен с кнопкой P13
7	R16	Соединен с кнопкой P14
8	R15	Соединен с кнопкой P15
9	T15	Соединен с кнопкой P16
10	-	GND

Контакты разъема J3		
Контакт разъема	Вывод FPGA	Примечание
1	-	+3.3 В
2	P10	
3	R11	
4	T12	
5	R12	
6	T13	
7	R13	
8	T14	
9	P14	
10	-	GND

Разъем J9 – комбинированный. На контакты этого разъема с четными номерами 4..22 выведены порты ввода-вывода FPGA. На контакты с нечетными номерами 5..19 выведены линии ввода-вывода микросхемы FT232H:

Контакты разъема J9					
	Вывод FPGA	Контакт разъема		Вывод FPGA	Примечание
GND	-	1	2	-	GND
+3.3 В	-	3	4	T4	
FT232H – AD3	-	5	6	R5	
FT232H – AD2	-	7	8	T5	
FT232H – AD1	-	9	10	R6	
FT232H – AD0	-	11	12	R7	
FT232H – AC0	-	13	14	T7	
FT232H – AC1	-	15	16	T8	
FT232H – AC2	-	17	18	T9	
FT232H – AC3	-	19	20	R10	
+3.3 В	-	21	22	T10	

+5 В	-	23	24	-	+3.3 В
GND	-	25	26	-	с GND

Состояние линий AD0..AD3 и AC0..AC3 можно считывать и изменять внешним программным обеспечением.

#### Колодка для беспаячного макетирования.

В некоторых случаях, когда необходимо подключать какие-либо дополнительные внешние компоненты к отладочной плате, это удобно делать при помощи колодки для беспаячного соединения (отмечена зеленым цветом на Рис. 16.). Эта колодка представляет собой два контактных поля 17х5 контактов каждое с шагом 2.54 мм. Каждые 5 контактов, образующих столбец, соединены между собой внутри колодки. В контакты могут быть установлены микросхемы с двумя рядами штыревых выводов, проволочные выводы резисторов и конденсаторов, гибкие соединительные проводники.

#### Встроенный тест отладочной платы.

Плата поставляется с записанной во флэш-память программой для самотестирования. Для проверки работоспособности платы подайте на нее напряжение питания (не включая программатор в среде Vivado, в противном случае программа из флэш-памяти не будет загружаться). Через несколько секунд программа самотестирования будет загружена в FPGA. Если плата исправна, семисегментные индикаторы UL1..UL4 покажут «— — —», а желтый светодиод UL17 будет мигать вспышками переменной длины.

Поочередное нажатие на кнопки P9..P16 (Рис. 6) включает следующие тесты:

- Индикация «FLIC» и мигание восьми оранжевых светодиодов UL5..UL12.
- Индикация «Snd» и звучание двухтонального сигнала.
- Индикация «8.8.8.8» (свечение всех сегментов семисегментных индикаторов).
- Индикация «Colr» и белое свечение трех светодиодов UL13..UL15 с максимальной яркостью.
- Индикация «Step» и последовательное переключение состояния выводов разъема J4.
- Индикация номера нажатой клавиши при подключенной матричной клавиатуре.
- Индикация «dAC-» и поочередный вывод в аналоговый порт значений U-, 0 и U+. Позиция светящегося горизонтального сегмента индикатора показывает выводимый уровень.
- Индикация «AdC-», измерение величины напряжения на аналоговом входе, индикация результата измерения в двоичном коде в строке восьми оранжевых светодиодов UL5..UL12 и условно положением светящегося горизонтального сегмента индикатора. Если соединить аналоговые вход и выход платы, можно наблюдать циклическое изменение показаний.