

模电逻辑器件整理

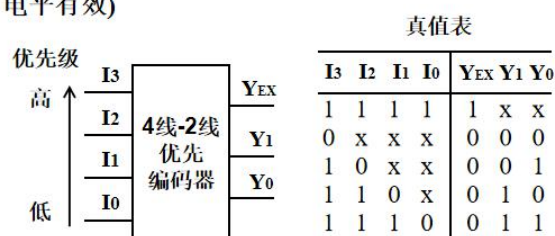
Part1: 组合逻辑

一、编码器 (p161)

- I) 普通编码器 (不能保证输入有效性)
- II) 优先编码器

优先编码器

- 允许两个以上输入信号同时有效, 并对其中优先级最高的一个进行编码
- 设计4线-2线优先编码器 (输入和输出信号均为低电平有效)



①8 线-3 线优先编码器 (CD4532) (p164)

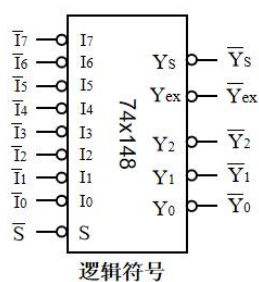
8线-3线优先编码器74x148

- 对8个输入信号按优先级编码, 输出3位代码
- 通过多片级联, 对多于8个输入信号进行编码

- $\bar{I}_7 \sim \bar{I}_0$: 待编码输入信号, 低电平有效, 优先级递减, 即 \bar{I}_7 优先级最高, \bar{I}_0 最低

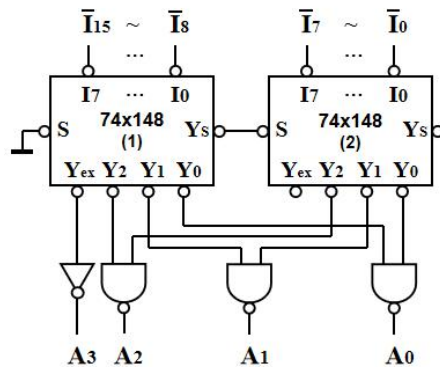
- $\bar{Y}_2 \sim \bar{Y}_0$: 二进制反码输出, \bar{Y}_2 为最高位

- \bar{Y}_{ex} : 扩展输出
 - \bar{S} : 使能输入
 - \bar{Y}_s : 使能输出
- 低电平有效



74x148扩展应用

- 16线-4线优先编码器
- 16个输入信号 $\bar{I}_{15} \sim \bar{I}_0$ ，低电平有效， \bar{I}_{15} 优先级最高
- 输出4位二进制正码 $A_3 \sim A_0$ ， A_3 为最高位



2021-11-6

模拟与数字电路 — 组合逻辑电路(2)

1

②10 线-4 线(BCD)优先编码器 74x147

二、译码器（p166）

常见译码器

二进制译码器 74x138、74x139

二-十进制译码器 74x42

显示译码器 74x47 等

①双 2 线 - 4 线译码器 74x139（p169）

②3 线 - 8 线译码器 74x138（p168）

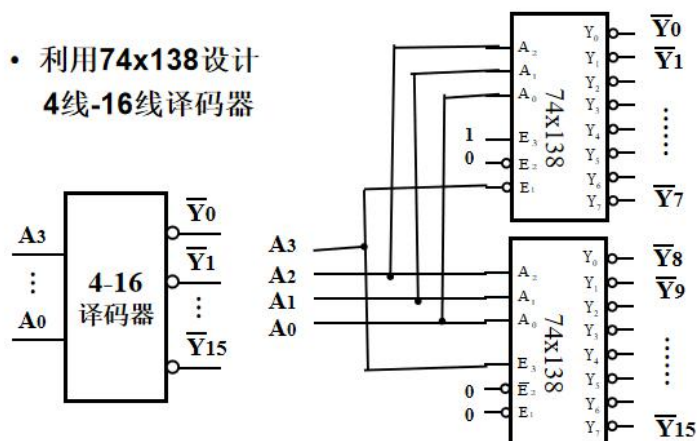
③二-十进制译码器 74x42（p172）

④显示译码器（p173）

如：七段显示译码器（74HC4511）

译码器应用

- 利用74x138设计
4线-16线译码器



2021-11-6

模拟与数字电路 — 组合逻辑电路(2)

1

应用 2：选择器实现数据分配器（p177）

三、数据选择器（p179）

常见集成数据选择器：

- ①2 选 1(74x157) ； 4 选 1(74x153) ； 16 选 1(74x150)
- ②8 选 1(74x151) （p185）

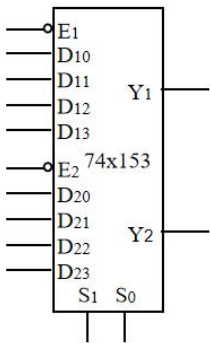
应用：

双4选1数据选择器74x153

- 公用通道选择控制
- 独立选通(使能)控制

功能表

| \overline{E} | S_1 | S_0 | Y |
|----------------|-------|-------|-------|
| 1 | x | x | 0 |
| 0 | 0 | 0 | D_0 |
| 0 | 0 | 1 | D_1 |
| 0 | 1 | 0 | D_2 |
| 0 | 1 | 1 | D_3 |



应用 2：译码器实现数据分配器

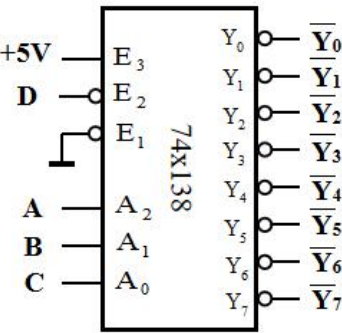
译码器实现数据分配器

$$\overline{Y_i} = \overline{E_3 E_2 E_1 m_i}$$

$$\overline{Y_i} = \overline{D m_i}$$

当 $ABC = 000$ 时

$$\overline{Y_i} = \begin{cases} D, & i = 0 \\ 1, & i = 1 \sim 7 \end{cases}$$



按照通道地址 $A_2A_1A_0$ 的取值，将输入数据 D 从相应的输出通道 $\overline{Y_i}$ 输出，其他输出通道保持高电平

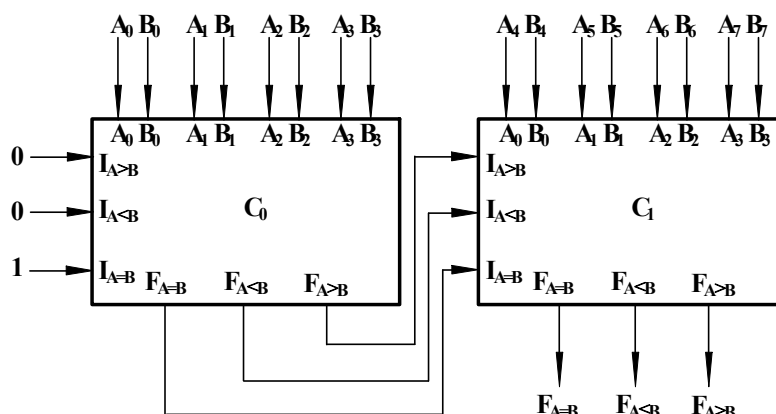
二、数值比较器（p179）

- ①一位比较器（p187）
- ②两位比较器（p187）

*典型数值比较器

①4 位数值比较器 74x85 (p189)

②8 位数值比较器 (由四位拓展而来, p189)
(并联、串联方法)



八位串联数值比较器

五、算术运算电路 (p190)

*1 位加法器: 半加器 (p190)、全加器 (p191);

*由 1 位加法器构成多位加法器 (p192);

*分类: 串行进位加法器、超前进位加法器 (p192)。

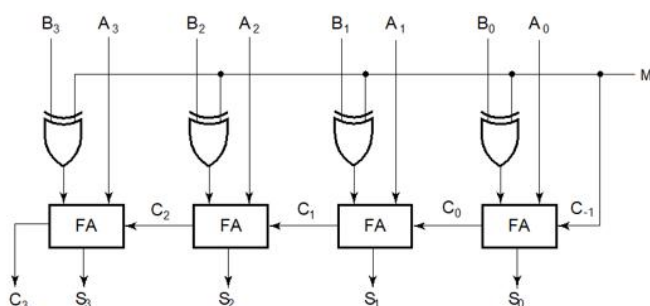
*串行进位加法器: 优点: 简单, 易于扩展; 缺点: 速度慢

①利用补码性质设计补码加/减法:

4位串行进位加法/减法器

• $M = 0$: $\{C, S\} = A + B$

• $M = 1$: $\{C, S\} = A - B$



②超前进位加法器 (p192)

超前进位加法器

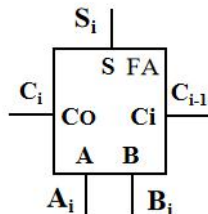
- 基本原理

- C_{i-1} 是 $A_{i-1} \sim A_0$ 和 $B_{i-1} \sim B_0$ 的函数
- 设计每位进位信号产生电路：根据输入加数和被加数，同时获得该位全加的进位信号，无需等待最低位的进位信号

- 优点：速度快

- 缺点：电路复杂

- 4位超前进位加法器 74x283



2021-11-6

模拟与数字电路 — 组合逻辑电路(4)

1

* 4 位超前进位加法器 74x283 (p194)

74x283 应用：8 位二进制数加法器 (p194)

片内超前进位，片间串行进位

③减法运算 (p195)

三、可编程逻辑器件 PLD

PROM、PLA、PAL: p202

器件含义: p199

Part2: 时序逻辑

一、锁存器

①SR 锁存器 (p232) 注意低电平有效的结构 (与非门实现 p236);

②D 锁存器 (p243) 动态特性 (p243~244);

二、触发器

①D 触发器 (p246、p250, 两种结构) 74HC/HCT74 动态特性 (p248)

$$Q^{n+1} = D$$

②T 触发器

$$Q^{n+1} = \overline{T}Q^n + T\overline{Q}^n = T \oplus Q^n$$

③JK 触发器 p252

④SR 触发器 p258

⑤T'触发器（上一状态取反，用于异步计数器） p258

三、时序电路分析（p274）

①Mealy 型、Moor 型（Mealy 型特例）

②逻辑方程组：激励、转换、输出方程组（p277）

③转换表、状态表、状态图、时序图（p278）

④同步时序逻辑分析一般步骤（p282）*注意自校正能力

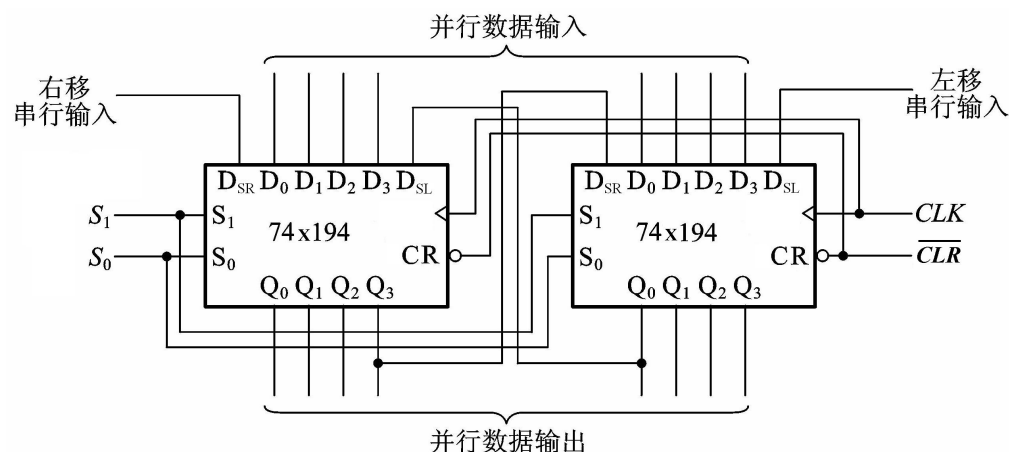
四、寄存器（p311）

①寄存器

②移位寄存器

I）四位双向通用移位寄存器 74x194（p315）

拓展：8 位双向移位寄存器



五、计数器（p316）

①异步计数器：CP 只控制最低位（p317）

②同步计数器：CP 同时控制（p320）（串行、并行）

74x161（p323~324）：4 位同步二进制计数器 0000~1111（M=16）

74x160（p323~324）：4 位同步十进制计数器 0000~1001（M=10）

*同步清 0 法、异步清 0 法（p326）

③环形计数器、扭环形计数器（p329）

