

第六章 接口技术

存储器接口



华中科技大学
电子信息与通信学院
School of Electronic Information and Communications



学习目标

- 了解常见存储芯片的读写时序
- 掌握简单存储器接口设计
- 掌握基于存储控制器的存储器接口设计



一、半导体存储芯片分类

- 读写操作功能
 - 只读型存储器(Read Only Memory, ROM)
 - ROM一般用于存放程序代码与固定数据
 - ROM、OTP ROM、EPROM、EEPROM
 - 随机存取存储器(Random Access Memory, RAM)。ul> - RAM通常用于构成PC主存储器
 - SRAM与DRAM
- 读写操作时序：异步存储器和同步存储器
- 数据传输的方式：并行存储器与串行存储器



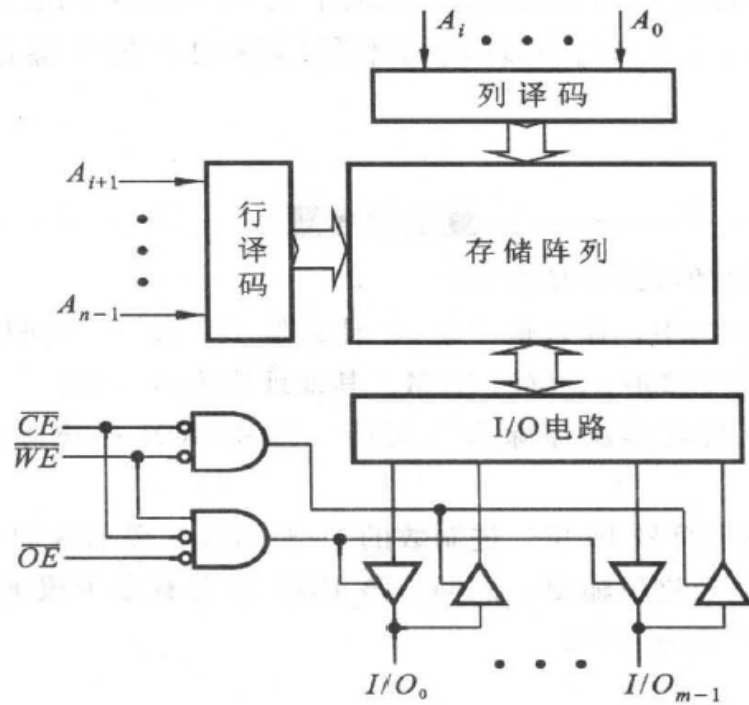
并行存储器的引脚

- 地址线
 - 地址线的多少可以表征存储器芯片的容量
- 数据线
 - 数据线的多少表征存储器的数据宽度
- 片选线
 - 片选线用于选中某一指定的存储器芯片
- 控制线
 - 控制数据的传输方向，是读数据还是写数据
- 如果是同步存储器则还有时钟信号线



典型存储芯片接口

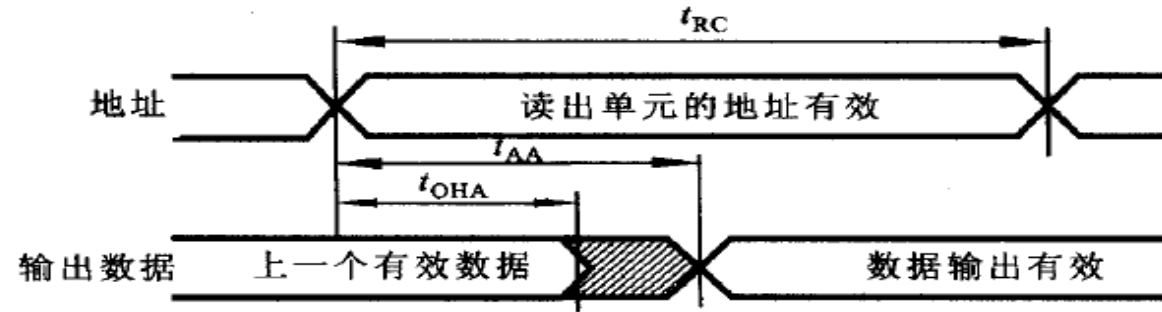
- 异步SRAM存储器接口



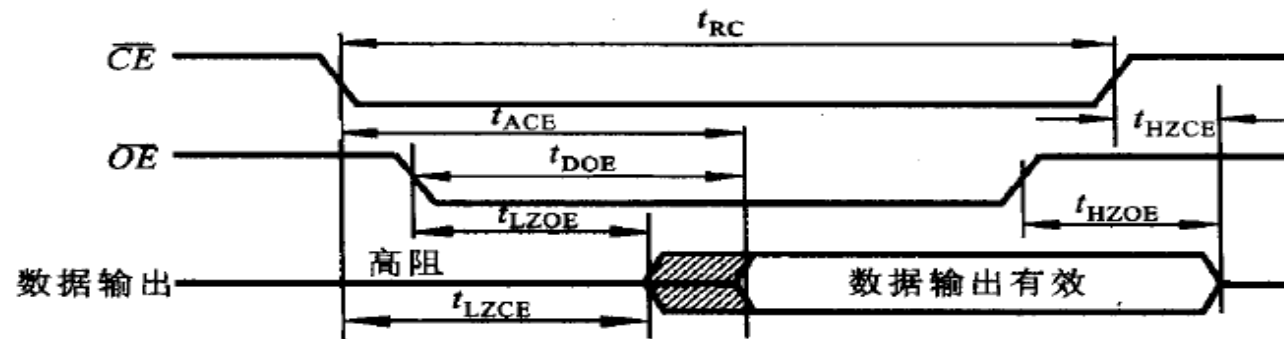
工作模式	\overline{CE}	\overline{WE}	\overline{OE}	I/O ₀ - I/O _m
保持（微功耗）	1	X	X	高阻
读	0	1	0	数据输出
写	0	0	1	数据输入
输出无效	0	1	1	高阻



异步SRAM读操作时序



(a)



(b)

T_{CEDV} - 读周期片选信号保持低电平到有效数据建立的时间

T_{AVDV} - 读周期地址保持有效到有效数据建立的时间

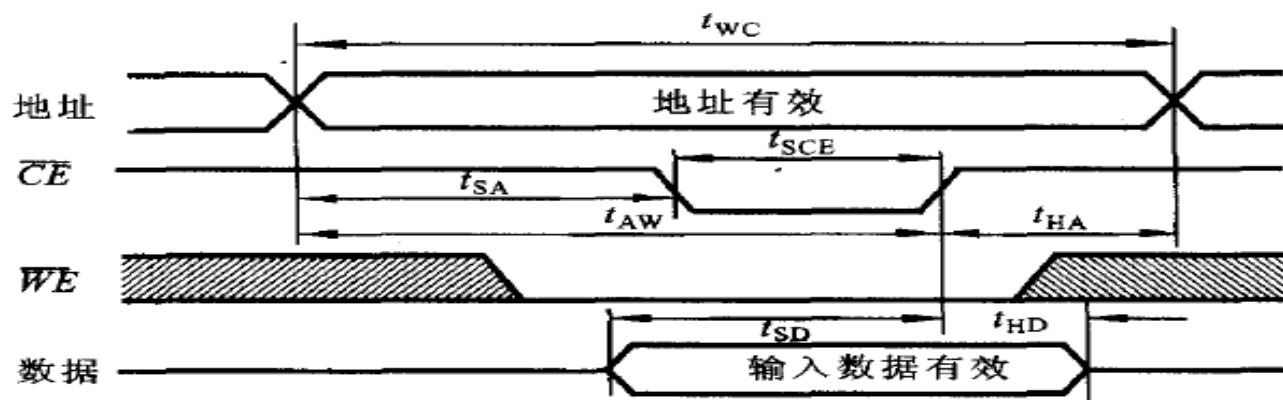
T_{PACC} - 页访问模式下的数据读周期

T_{HZCE} - 片选信号变为高电平到数据线变为高阻态的时间

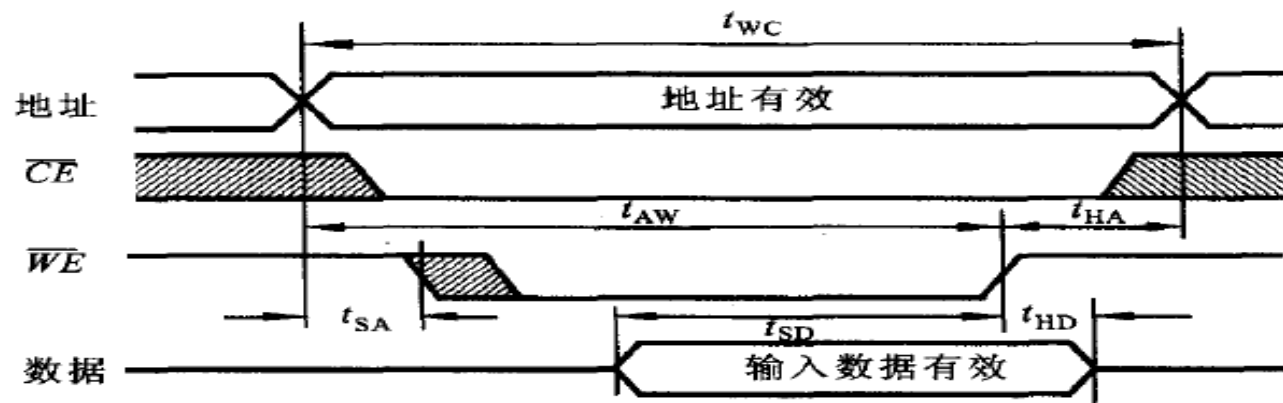
T_{HZOE} - 读信号变为高电平到数据线变为高阻态的时间



异步SRAM写操作时序



CE控制



WE控制

T_{WC} - 写周期

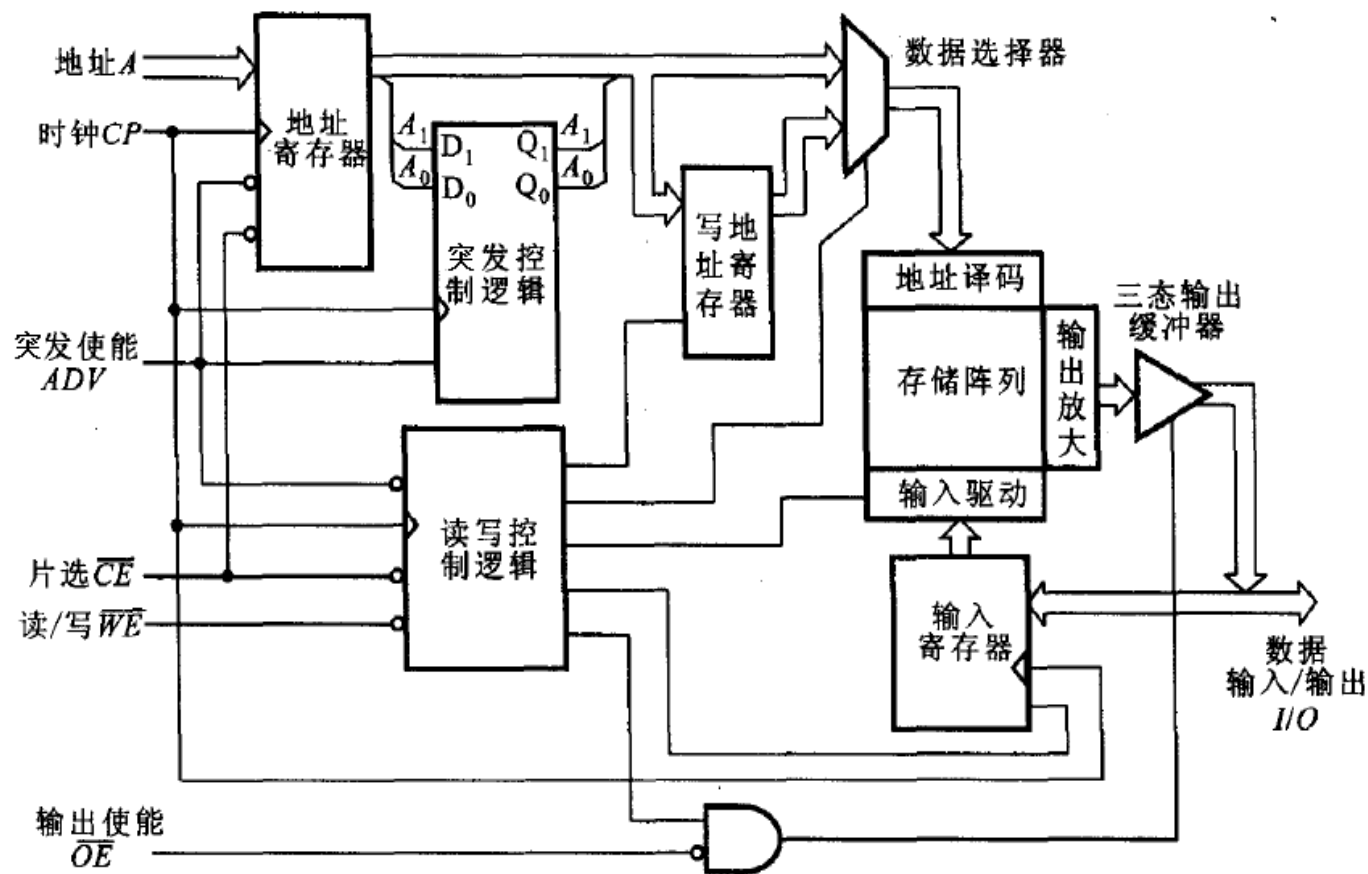
T_{WP} - 写使能信号低电平脉冲的最短时间

T_{WPH} - 写使能信号高电平的最短时间

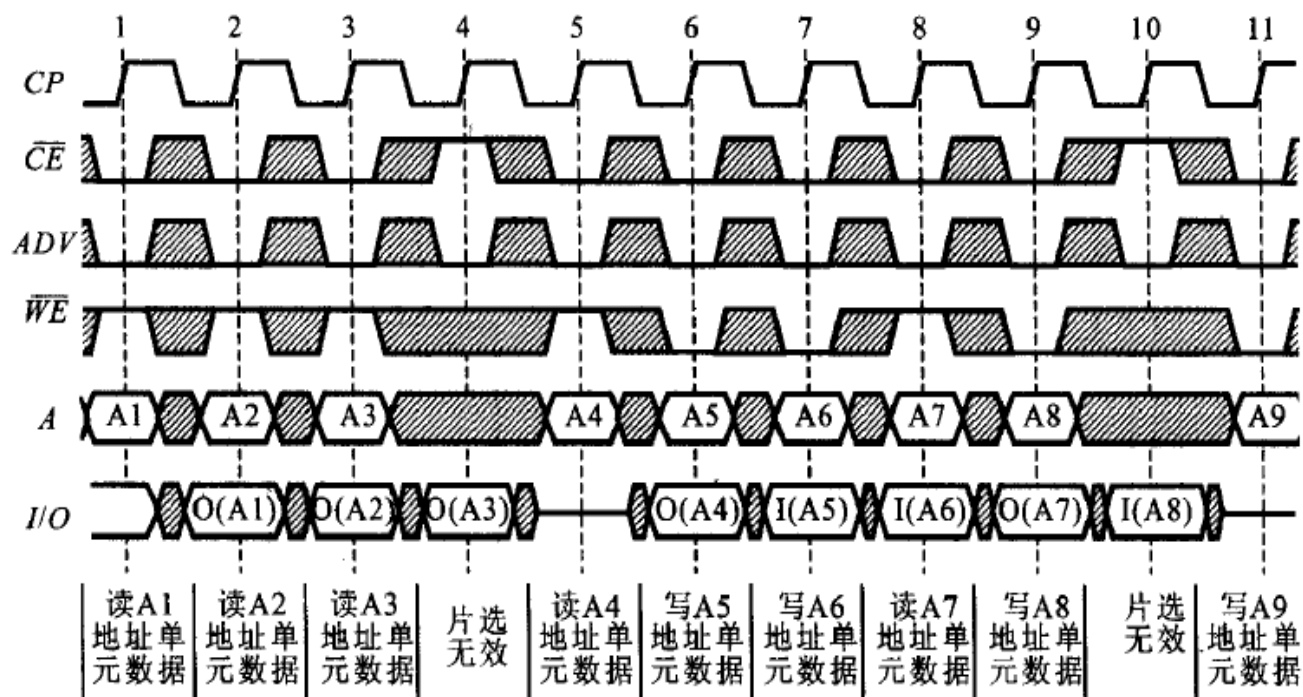
T_{LZWE} - 写使能信号变为高电平到数据总线低阻态的时间



同步静态存储器（SSRAM）



SSRAM读写操作时序_单个数据

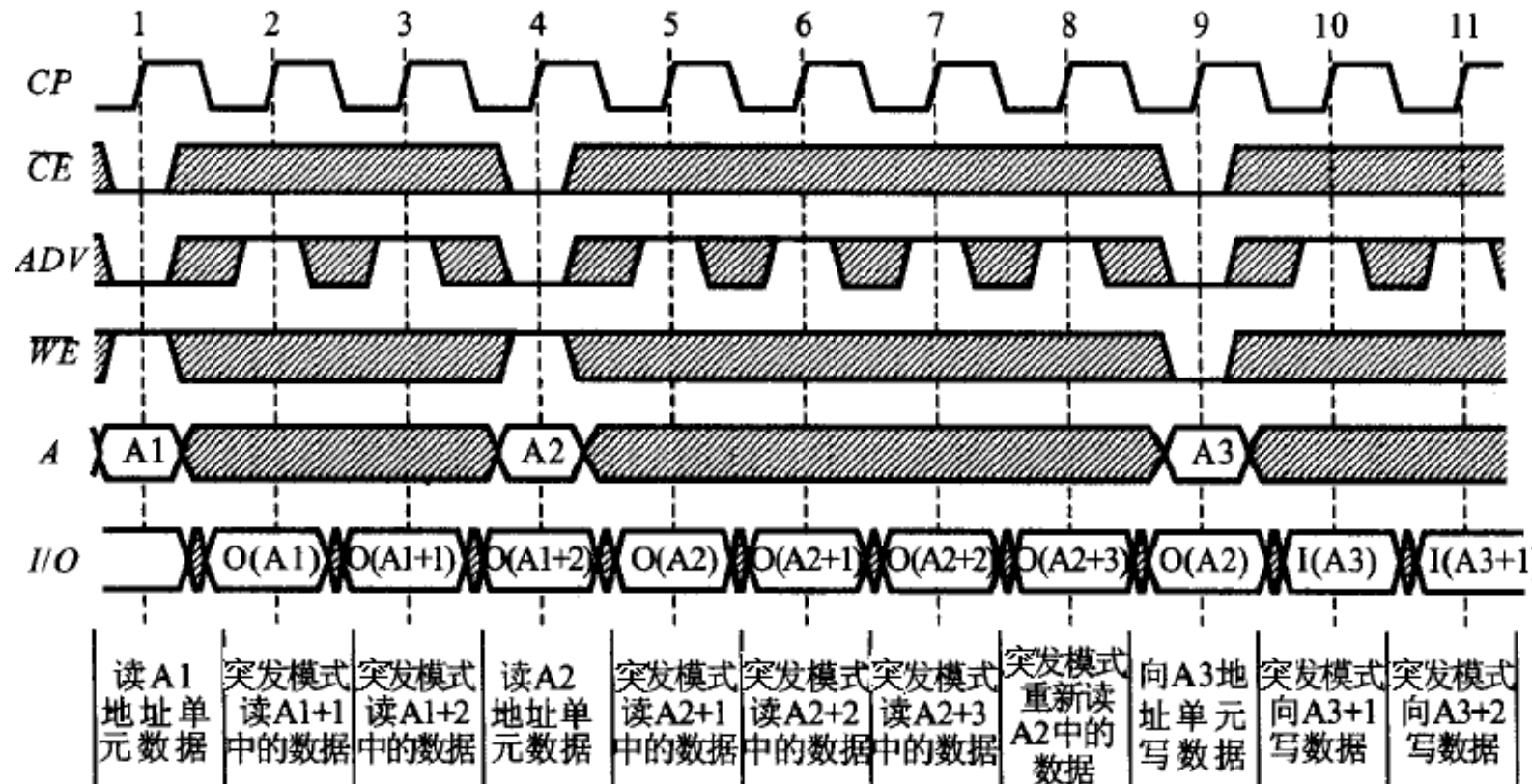


(a)

当突发使能控制 \overline{ADV} 为低电平时， A_1A_0 可直接穿过突发控制逻辑电路，按外部给定的地址进行读/写，此时就是一般读写操作

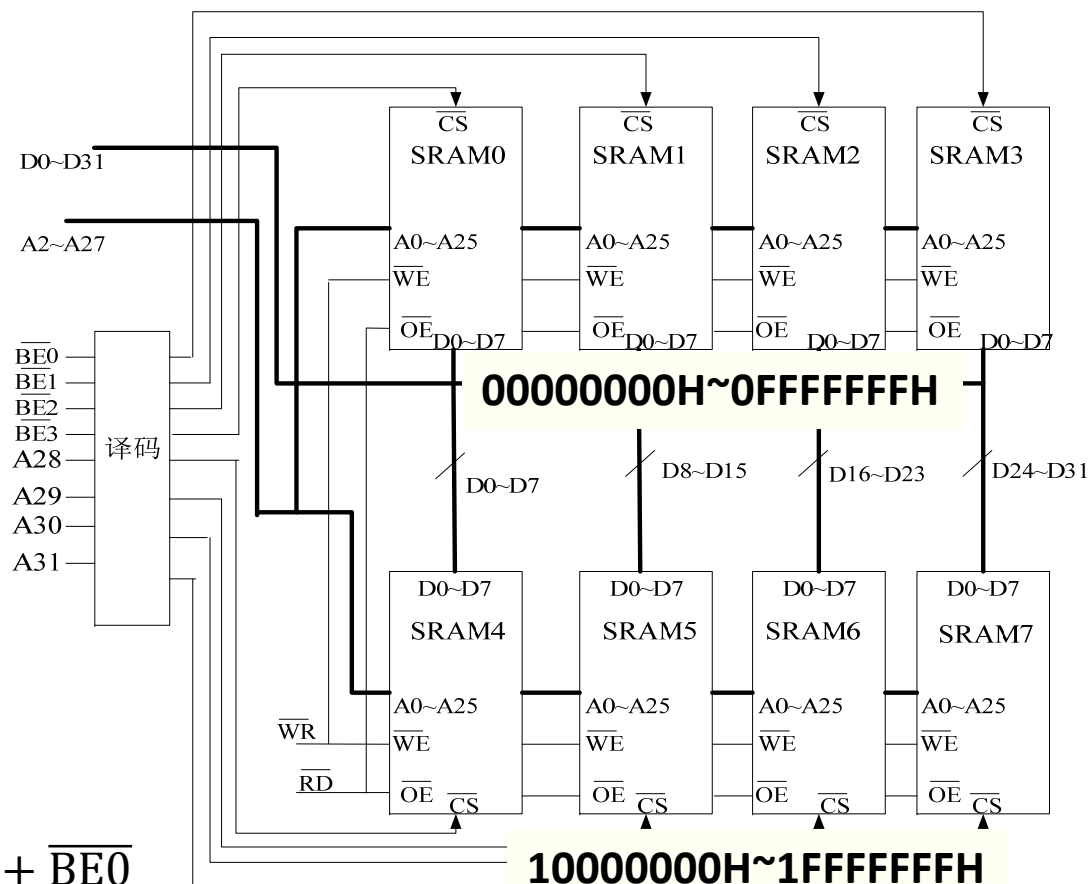
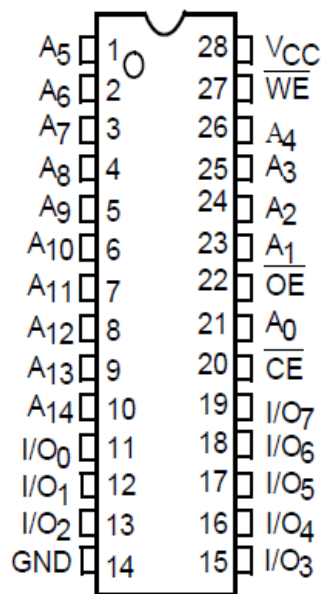


SSRAM读写操作时序_突发模式



当突发使能控制**ADV** 为高电平时，地址寄存器不接收外部新地址而保持上一个时钟周期输入的地址，在**CP**下一个上升沿到来时，由突发计数器在上一个 A_1A_0 基础上，计数生成下一个地址的 A_1A_0 进行读/写。由于突发计数器是2位计数器，所以在**ADV** 保持高电平时，可以连续生成4个不同的地址

简单存储器接口



$$\text{SRAM0: } \overline{\text{CS}} = \overline{\text{A31}} \cdot \overline{\text{A30}} \cdot \overline{\text{A29}} \cdot \overline{\text{A28}} + \overline{\text{BE0}}$$

$$\text{SRAM1: } \overline{\text{CS}} = \overline{\text{A31}} \cdot \overline{\text{A30}} \cdot \overline{\text{A29}} \cdot \overline{\text{A28}} + \overline{\text{BE1}}$$

$$\text{SRAM2: } \overline{\text{CS}} = \overline{\text{A31}} \cdot \overline{\text{A30}} \cdot \overline{\text{A29}} \cdot \overline{\text{A28}} + \overline{\text{BE2}}$$

$$\text{SRAM3: } \overline{\text{CS}} = \overline{\text{A31}} \cdot \overline{\text{A30}} \cdot \overline{\text{A29}} \cdot \overline{\text{A28}} + \overline{\text{BE3}}$$

$$\text{SRAM4: } \overline{\text{CS}} = \overline{\text{A31}} \cdot \overline{\text{A30}} \cdot \overline{\text{A29}} \cdot \overline{\text{A28}} + \overline{\text{BE0}}$$

$$\text{SRAM5: } \overline{\text{CS}} = \overline{\text{A31}} \cdot \overline{\text{A30}} \cdot \overline{\text{A29}} \cdot \overline{\text{A28}} + \overline{\text{BE1}}$$

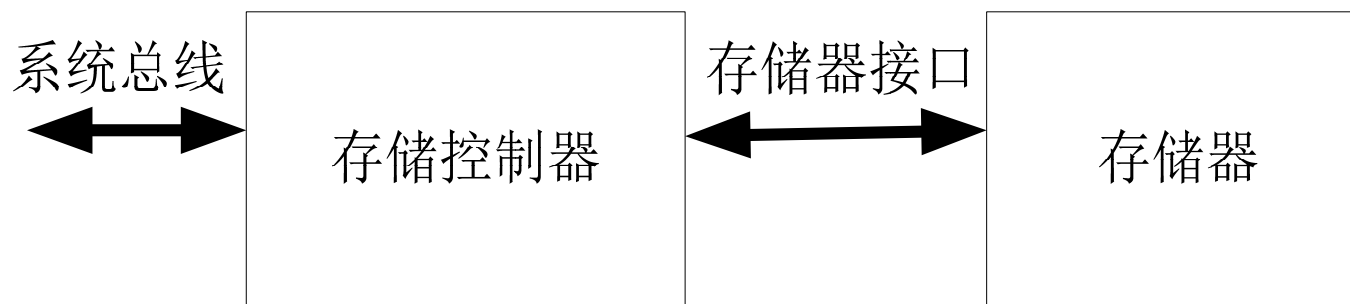
$$\text{SRAM6: } \overline{\text{CS}} = \overline{\text{A31}} \cdot \overline{\text{A30}} \cdot \overline{\text{A29}} \cdot \overline{\text{A28}} + \overline{\text{BE2}}$$

$$\text{SRAM7: } \overline{\text{CS}} = \overline{\text{A31}} \cdot \overline{\text{A30}} \cdot \overline{\text{A29}} \cdot \overline{\text{A28}} + \overline{\text{BE3}}$$

由64MB建立一个128M*32位的存储器，支持字、半字、字节数据访问，要求地址映射范围为0x0000 0000~0x1FFF FFFF

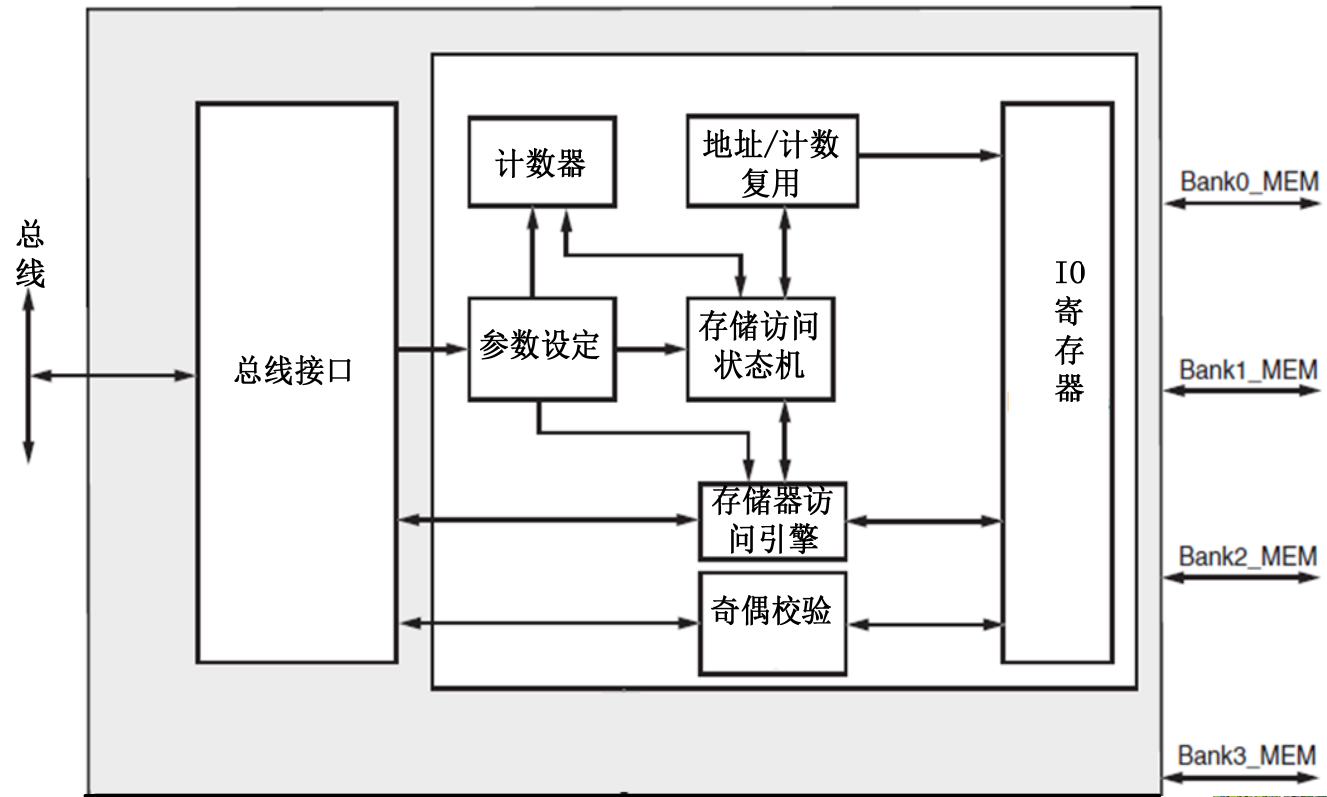
存储控制器

- 将系统总线转换为适合访问各类存储器总线信号的接口设备



存储控制器结构

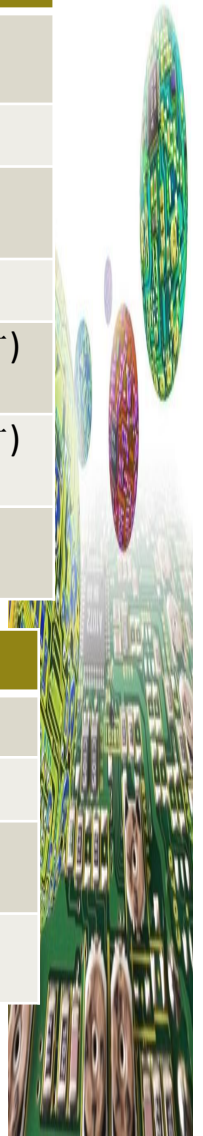
- 存储芯片、存储模块、子存储系统之间的关系为：**存储芯片 (device)** 通过字长以及字数扩展构成 **存储模块 (bank)**，不同的存储模块通过存储控制器组成 **子存储系统 (sub-system)**。



Xilinx异步SRAM存储器接口信号

信号类型描述	存储控制器引脚名称	存储芯片引脚名称
数据线	MEM_DQ(((DN+1)*DW)-1:DN*DW)	D(DW-1 : 0)
地址线	MEM_A(HAW-AS-1:HAW-MAW-AS)	A(MAW-1 : 0)
芯片使能线（低电平有效）	MEM_CEN(BN)	CEN
读使能线（低电平有效）	MEM_OEN	OEN
写使能线（低电平有效）	MEM_WEN	WEN (有字节使能的芯片)
写使能线（低电平有效）	MEM_QWEN(DN*DW/8)	WEN (无字节使能的芯片)
字节使能线（低电平有效）	MEM_BEN((((DN+1)*DW/8)-1):(DN*DW/8))	BEN(DW/8-1 : 0)

变量名称	具体含义	变量名称	具体含义
DN	存储块内芯片序号	HAW	存储控制器接口地址宽度
BN	子存储系统存储块序号	MW	存储块数据位宽
DW	存储芯片数据总线位宽	AS	地址偏移宽度= $\log_2(\frac{AU*MW}{DW}/8)$
AU	存储芯片可寻址最小数据位宽	MAW	存储芯片地址总线宽度



- 异步SRAM芯片IDT71V416S为256k*16b的存储芯片，支持字节访问。要求采用2片芯片通过存储控制器构建一个32位的存储模块，试设计存储控制器与存储芯片之间的接口。

变量名	值	含义
BN	0	一个存储块，序号为0
DN	0, 1	两个存储芯片，序号为0, 1；其中0号为高位数据，1号为低位数据
MW	32	子存储系统数据位宽32位
DW	16	存储芯片数据位宽16位
MAW	18	存储芯片地址总线18位
AU	16	存储芯片字长16位
AS	2	地址偏移2位= $\log_2(32 * 16/16)/8$
HAW	32	地址总线32位（AXI总线）

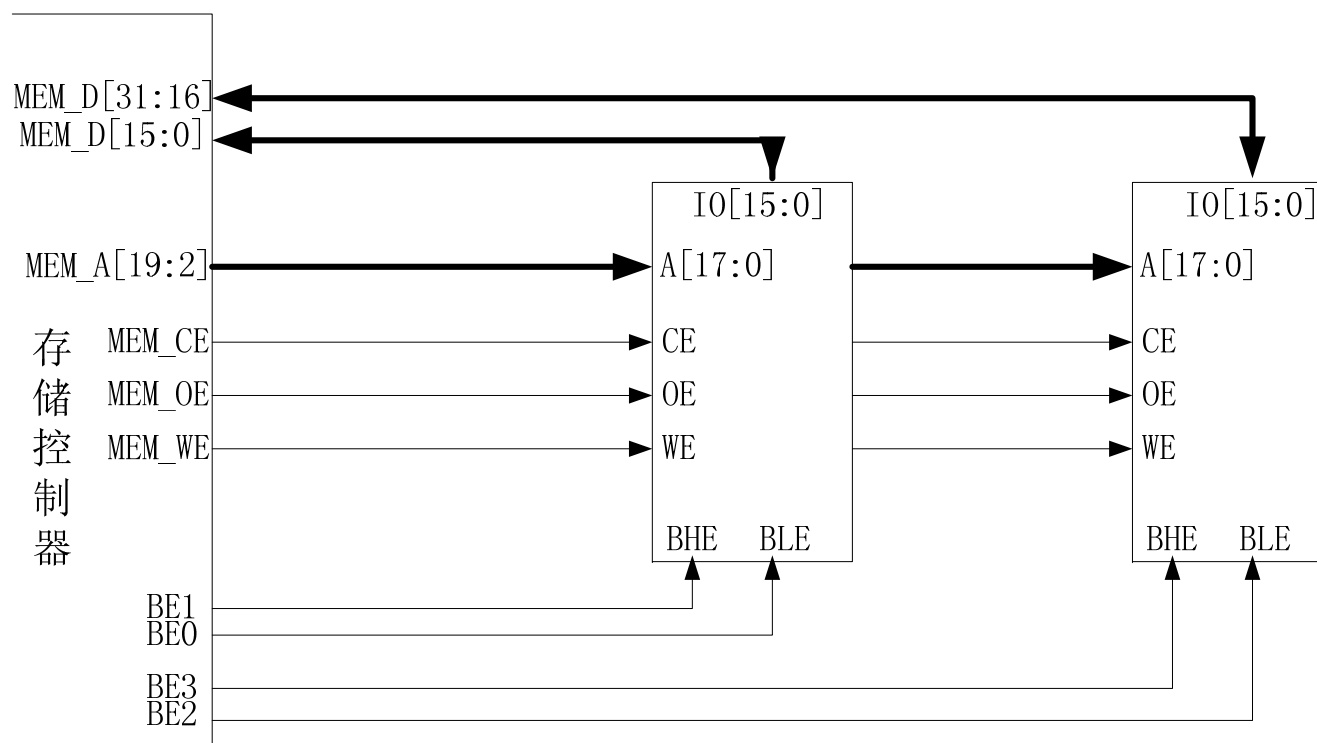


存储控制器与存储芯片之间的引线连接

设备号	引脚含义	存储控制器段引脚名称	存储芯片引脚名称
1	数据线	MEM_DQ(15 : 0)	I/O(15 : 0)
	地址线	MEM_A(19 : 2)	A(17 : 0)
	芯片使能	MEM_CEN(0)	CS
	读使能	MEM_OEN	OE
	写使能	MEM_WEN	WE
	字节使能	MEM_BEN(1 : 0)	BHE:BLE
0	数据线	MEM_DQ(31 : 16)	I/O(15 : 0)
	地址线	MEM_A(19 : 2)	A(17 : 0)
	芯片使能	MEM_CEN(0)	CS
	读使能	MEM_OEN	OE
	写使能	MEM_WEN	WE
	字节使能	MEM_BEN(3 : 2)	BHE:BLE



存储控制器与存储芯片IDT71V416S之间的接口



实验演示

- SRAM芯片



作业

- 7

