

第三章 微处理器_微处理器 器先进技术



华中科技大学
电子信息与通信学院
School of Electronic Information and Communications





学习目标

- 了解现代微处理器的流水线技术和超标量技术原理
- 理解微处理器异常处理机制
- 掌握MicroBlaze微处理器的应用





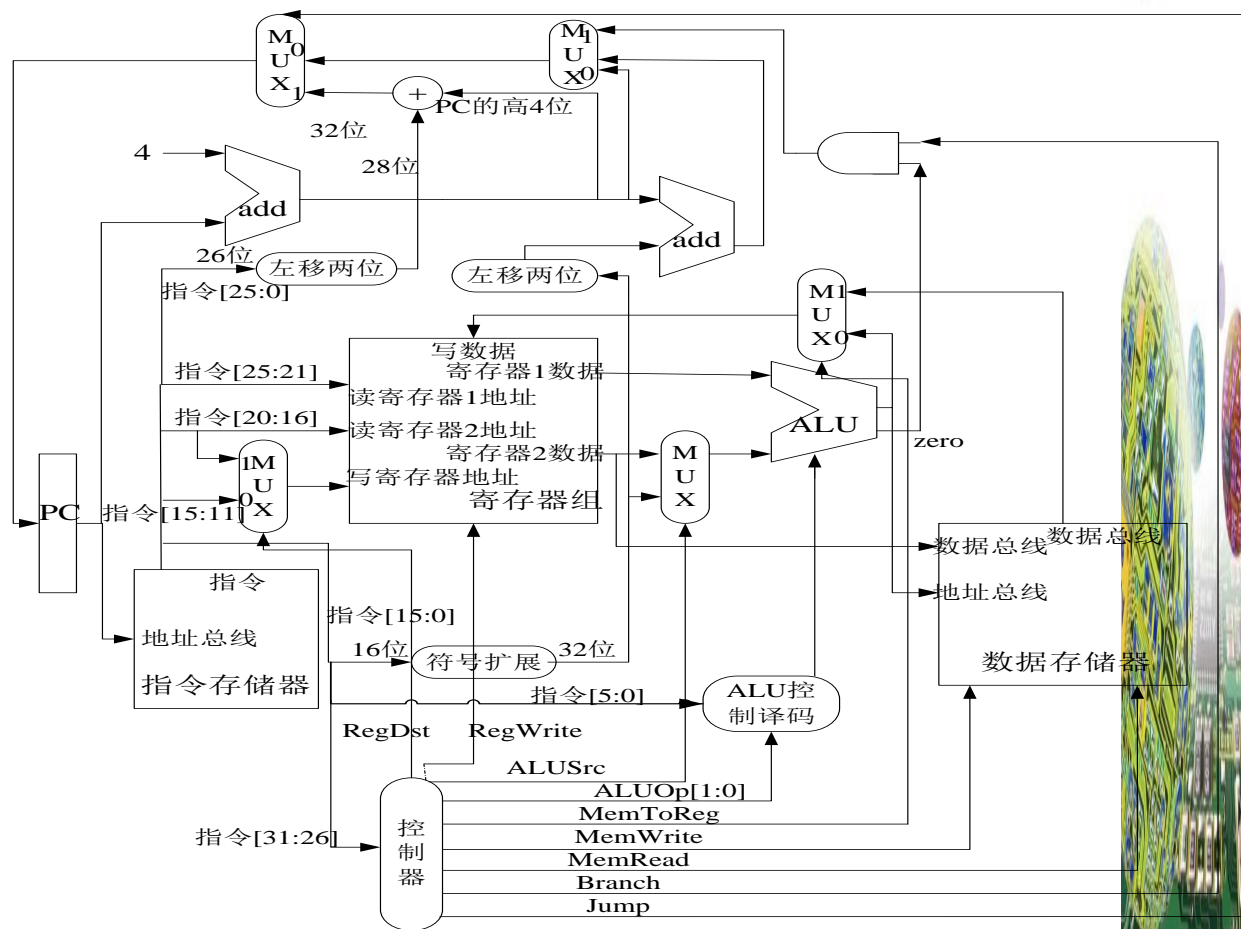
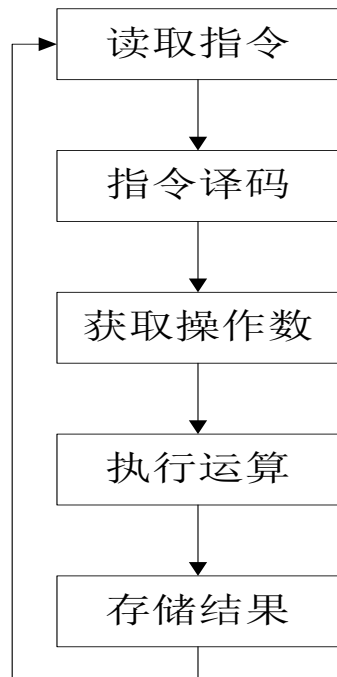
3.5 现代微处理器新技术

- 流水线技术
- 超标量技术
- 异常处理机制





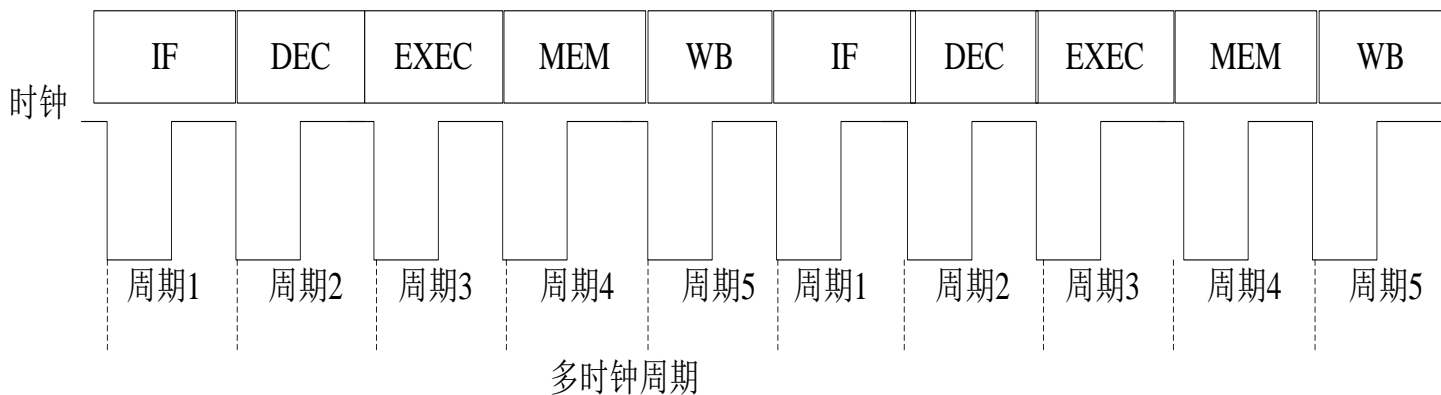
流水线技术





流水线技术

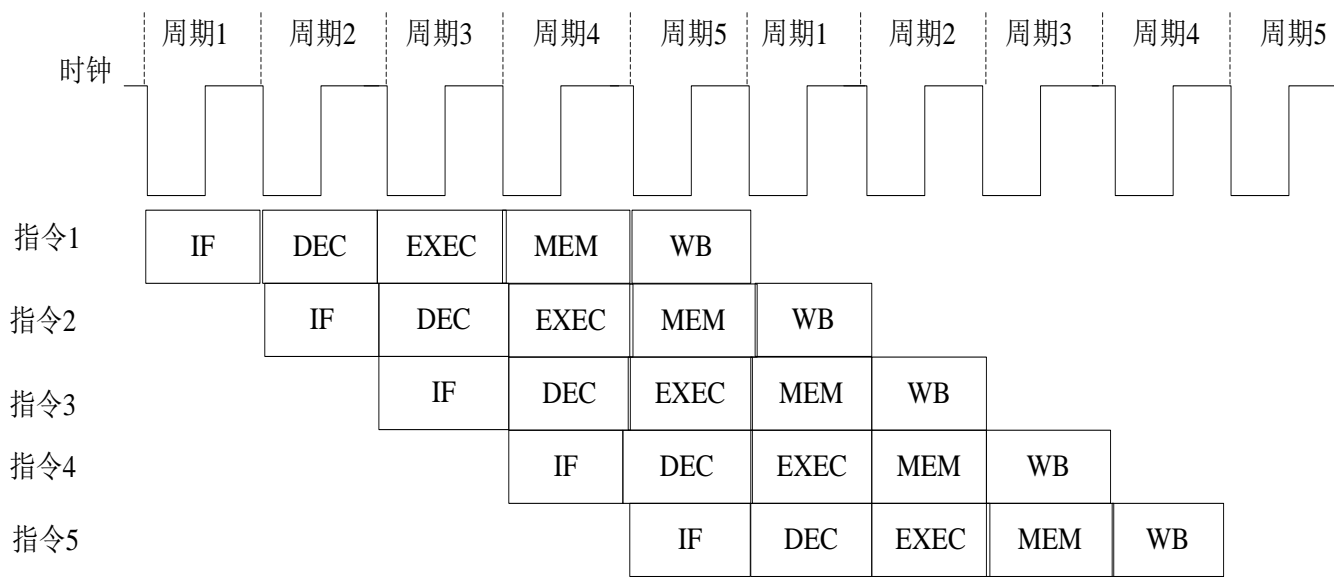
- 流水线的原理是把一个重复的过程分解为若干个子过程，前一个子过程为下一个子过程创造执行条件，每一个过程可以与其它子过程同时进行。





流水线技术

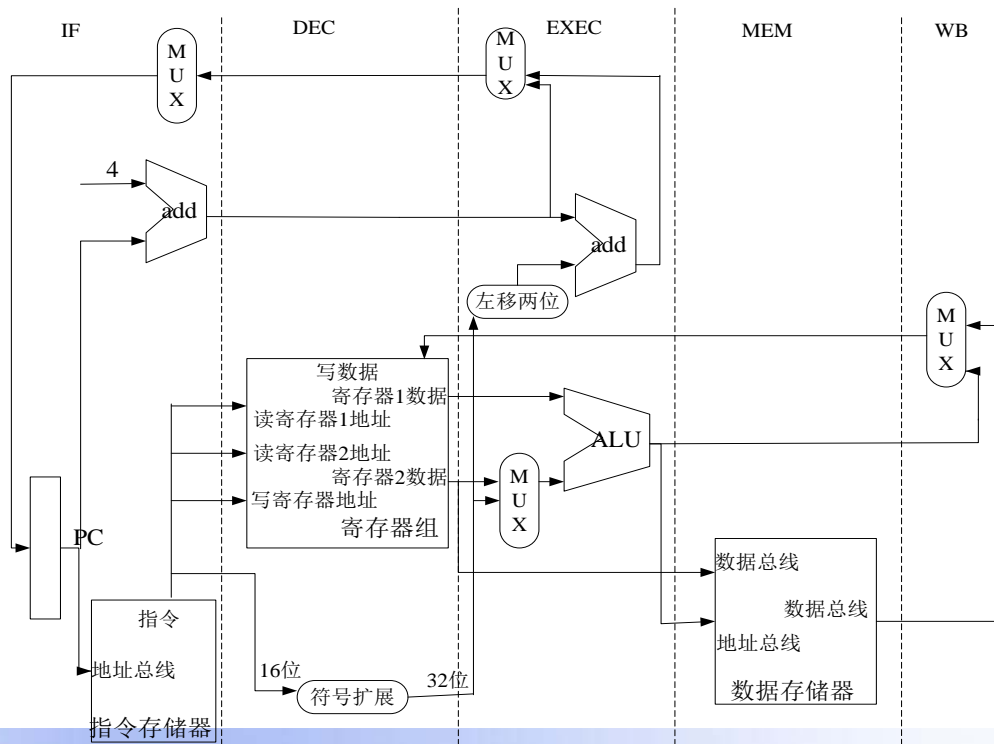
- 指令执行的重叠性(使一条流水线畅通)和同时性(多条流水线同时工作)就称为指令级并行。





流水线技术

- 数据通路的5级流水线划分
- 每两个流水线部件之间必须增加器件来实现流水线不同部件之间的接口。





超标量技术

- 微处理器集成多个ALU、多个译码器和多条流水线，以并行处理的方式来提高性能
- 假设处理器有一个整数部件和一个浮点部件，处理器至多能发出两条指令，一条是整数类型的指令，包括整数算术逻辑运算，存储器访问操作和转移指令；另一条必须是浮点类型的指令





异常处理机制

- 处理异常事件的机制

异常种类	来源	MIPS处理器命名
I/O设备	外部	中断
用户程序唤醒操作系统	内部	异常
计算结果溢出	内部	异常
未定义的指令 (非法指令)	内部	异常
硬件出错	两者	异常或中断





异常处理系统需具备的功能

- 微处理器要能够实现异常处理需要完成以下几方面的功能：
 - 记录异常发生的原因
 - 记录程序断点处的指令在存储器中的地址
 - 记录不同种类的异常处理程序在内存中的地址
 - 建立异常种类与异常处理程序地址之间的对应关系。





异常事件识别机制

- 状态位法 (MIPS):
 - 在微处理器中利用一个寄存器对每种异常事件确定一个标志位，当有异常事件发生时，寄存器中对应的位置1，一个32位的寄存器可以表示32种不同类型的异常事件
- 向量法(Intel) :
 - 对不同类型的异常事件进行编码，这个编码叫中断类型码或异常类型码。



断点保存和返回

- 寄存器法（嵌入式）
 - 在微处理器中设计一个寄存器EPC，当微处理器出现异常时，就将PC的值保存到EPC中。异常处理完之后，再把EPC的值赋给PC，这样就可以实现中断的返回
- 栈（PC）
 - 微处理器直接将PC的值压入栈中，异常处理完之后，再从栈顶把值弹出来赋给PC



异常处理程序进入方式

- 1) 专门的内存区域保存异常处理程序
 - 在这块内存区域中为每个异常处理程序分配固定长度的空间如32个字节或8条指令长度的空间，而且针对每个异常事件其异常处理程序的存放地址是固定的。
- 2) 仅提供一个异常处理程序存放地址
 - 发生任何异常事件都首先转移到该地址执行总的异常处理，并在总异常处理程序中分析异常事件的原因，然后再根据异常的原因通过子程序调用的方式去执行相应的异常处理。





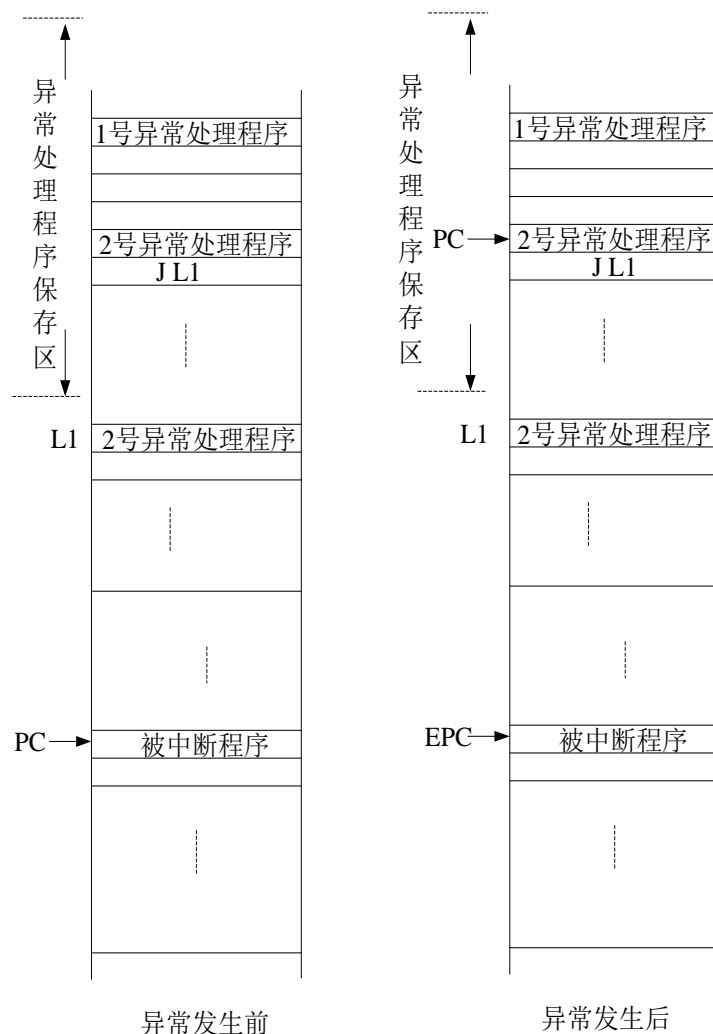
异常处理程序进入方式

- 3) 分配一块专门的内存区域保存异常处理程序的入口地址
 - 异常处理程序的入口地址叫中断向量
 - 保存异常处理程序的入口地址的内存区域叫做中断向量表
 - 异常处理程序可以存放在内存中的任意位置，只需要把该异常处理程序的入口地址保存到中断向量表中正确的地址中，当异常发生时，微处理器就可以通过中断向量表查找到中断服务程序的入口地址。





异常处理程序进入方式1)

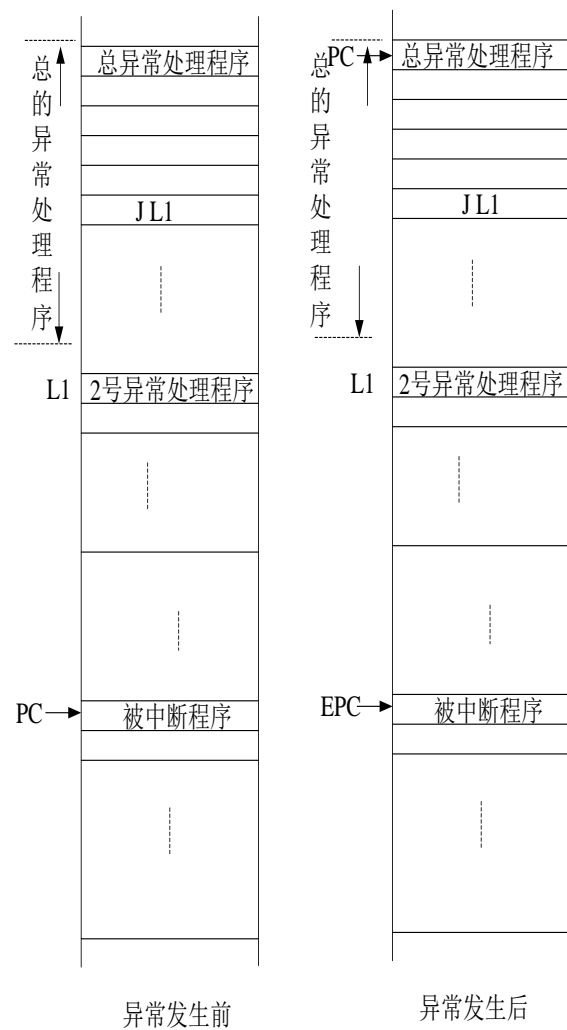


异常发生前

异常发生后

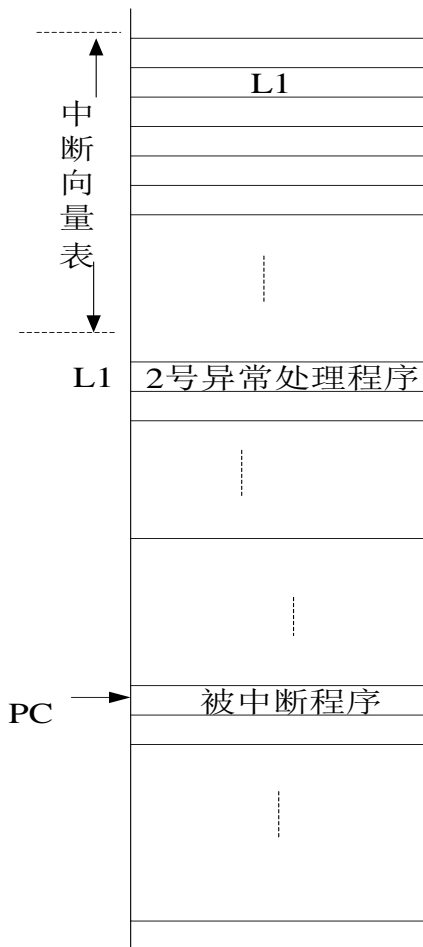


异常处理程序进入方式2)

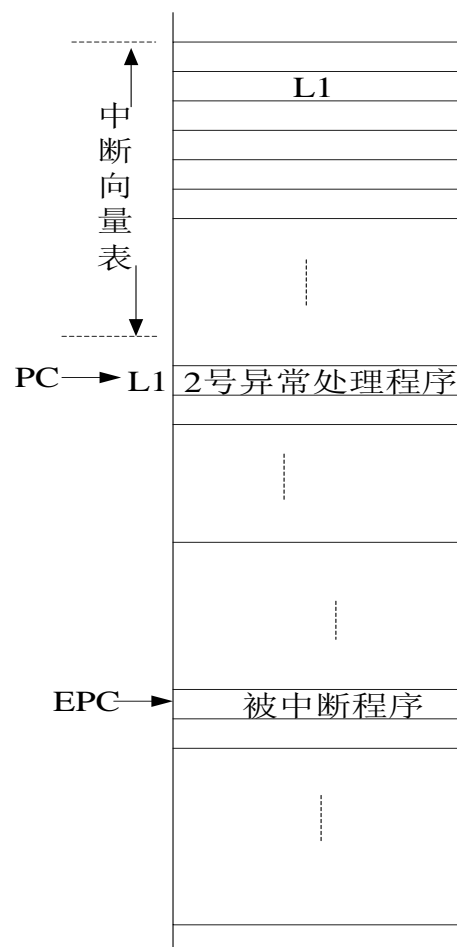




异常处理程序进入方式3)



异常发生前

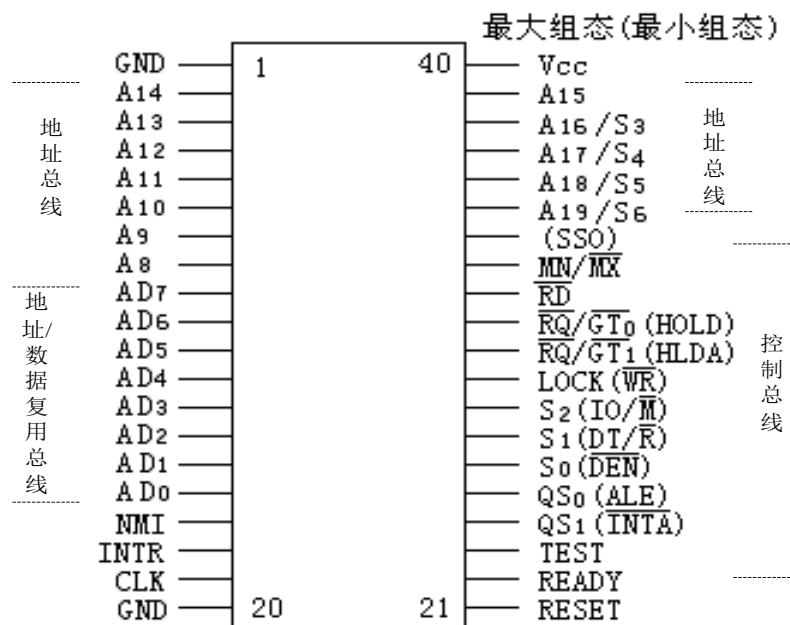


异常发生后



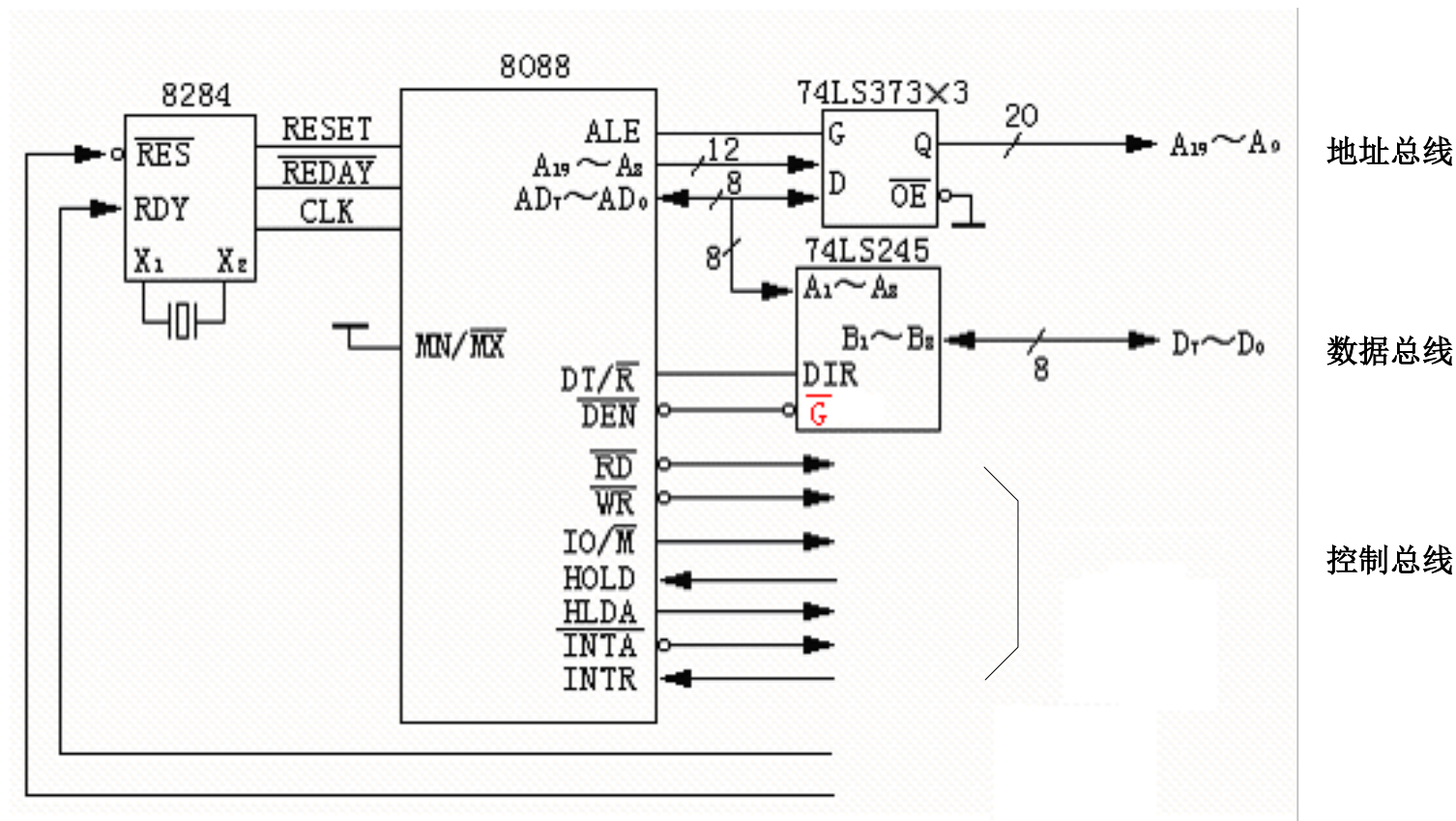
微处理器外部接口

- 微处理器为实现与计算机系统内的其他部件之间的信息交互必须提供地址、数据和控制总线

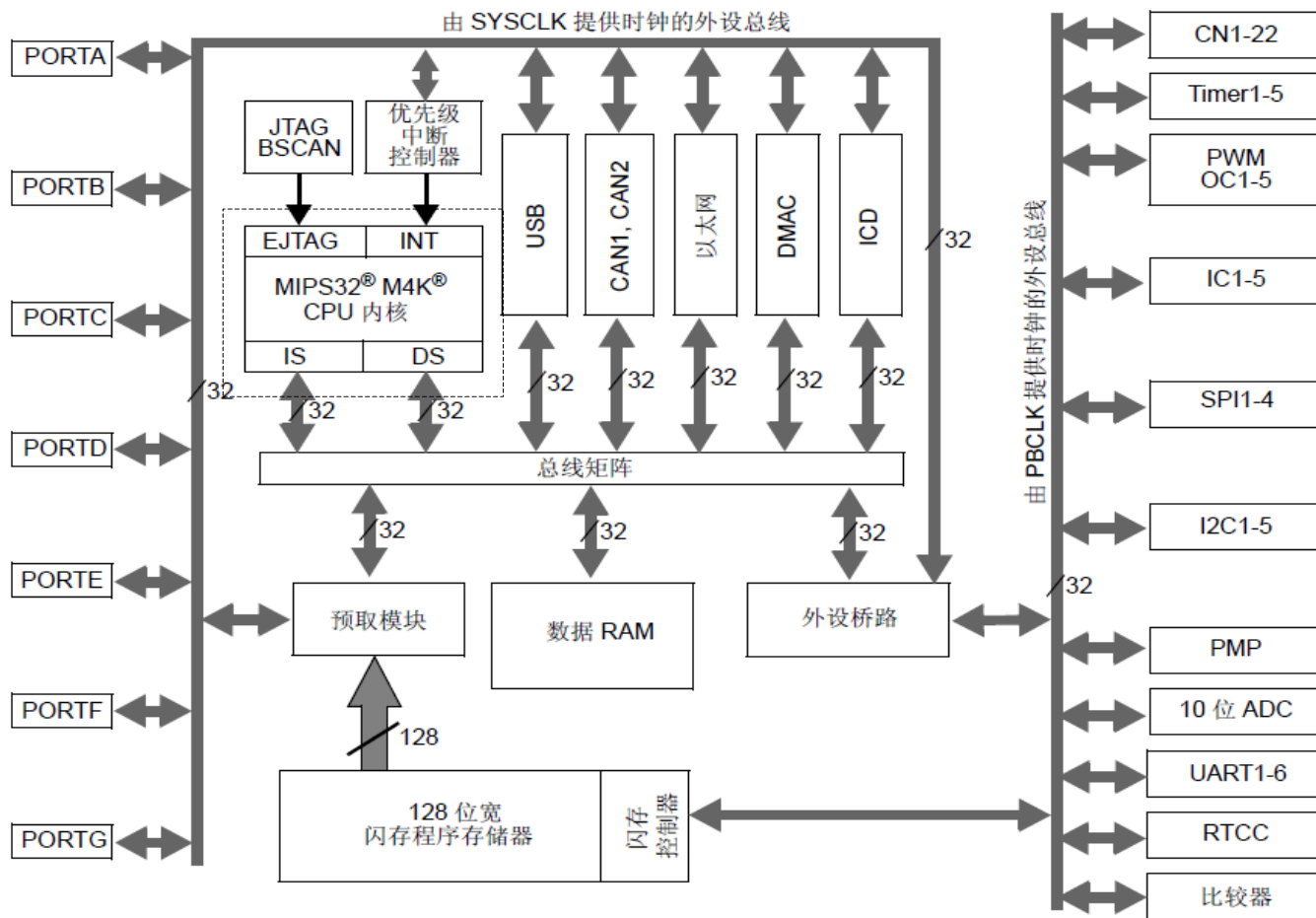


8088微处理器外部接口

8088微处理器最小组态系统总线接口电路



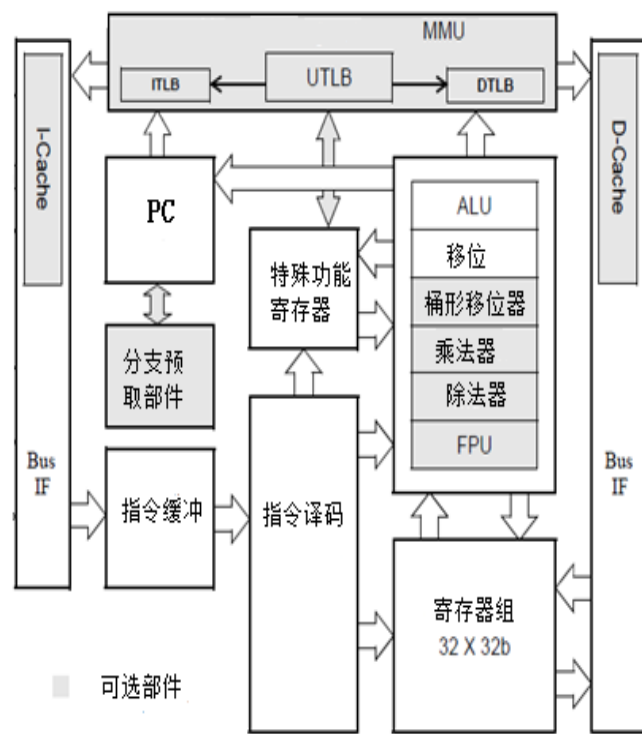
嵌入式芯片PIC32MX5XX/6XX/7XX系列框图





MicroBlaze微处理器简介

- 可以配置为支持大字节序或小字节序，
 - 当采用PLB外部总线时为大字节序，
 - 采用AXI4外部总线时为小字节序。
- 支持三级或五级流水线，
- 具有可选的指令和数据cache，
- 支持虚拟内存管理。
- 支持通过PLB、LMB、AXI总线与外围接口或部件相连。



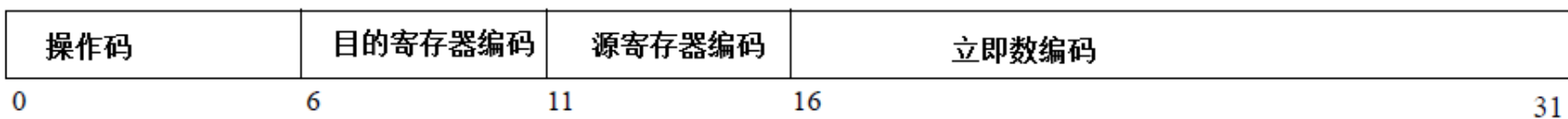
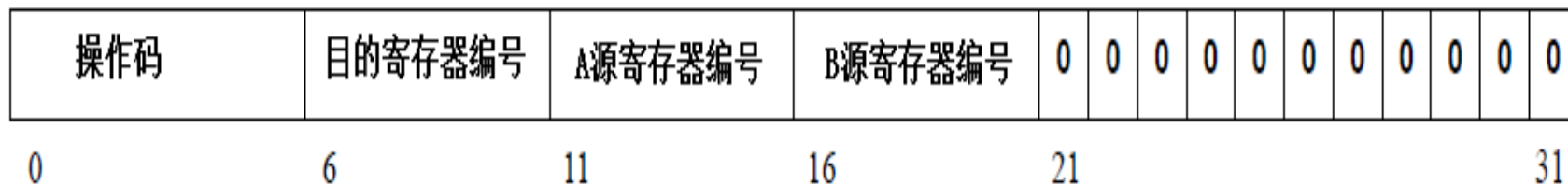


- 具有32个32位的通用寄存器，使用规则与MIPS微处理器的通用寄存器使用规则相同，命名为R0~R31。
- R14, R15, R16, R17又用做异常返回地址寄存器，
- 还具有18个32位的特殊功能寄存器，包括PC, MSR等





MicroBlaze指令架构





作业

- 7
 - 12周周三前完成数据通路和控制器各个独立模块的仿真，汇编程序到COE文件制作
 - 12周周三提交这部分的实验报告

