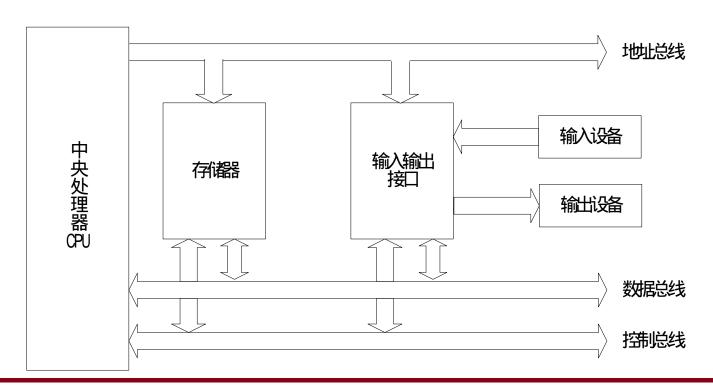


### 数字系统Ⅱ总复习



## 概念、术语

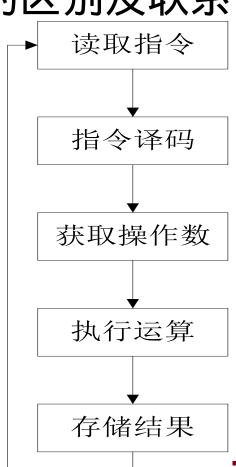
- ●CPU内部构成
- ●总线功能分类



华中科技大学电子与信息工程系



- ●指令、指令集、程序之间的区别及联系
- ●计算机工作原理
  - ■读取指令
  - ■执行指令





- ●两种典型的计算机结构模型
  - ■"冯·诺依曼型结构"计算机
  - ■"哈佛结构"计算机
- ●数制及其转换,ASCII
- ●整数原码、反码、补码
- ●定点数,浮点数
- ●大字节序、小字节序,字节对齐
- ●数据类型(b,B,h,w)(bit,char,short,int,float,double)



- ●汇编、汇编程序、汇编语言源程序
- ●指令的基本构成要素:操作码和操作数 (可隐含)
- ●指令架构:CICS,RISC基本特点
- ●MIPS常用汇编指令(R,I,J)
- ●栈,栈顶,栈底,数据操作原则,功能
- ●MIPS操作数寻址、指令寻址方式



- 微处理器的三种基本操作:运算、数据传输、程序控制
- ●微处理器与外部组件的基本接口:地址总 线、数据总线、控制总线、时钟、复位信 号
- ●MIPS微处理器数据通路的基本构成:PC, 指令存储器、数据存储器、寄存器组、ALU
- ●MIPS指令的编码,已知汇编指令,操作码,功能码,求指令的机器码
- ●流水线、超标量技术的基本原理



- ●微处理器要能够实现异常处理需要完成的 功能及其实现机制 (MicroBlaze):
  - ■记录异常发生的原因
  - ■记录程序断点处的指令在存储器中的地址
  - 记录不同种类的异常处理程序在内存中的地址
  - ■建立异常种类与异常处理程序地址之间的对应关系。
- ●中断控制器要实现的功能
  - 中断请求信号保持与清除,
  - ■中断源识别,
  - ■中断允许控制,
  - ■中断优先级设置



- 分级存储系统
- 内存访问的向下兼容
- 内存管理:分段、分页、 段页式、虚拟地址、物理 地址(内存管理器的基本 原理)
- 高速缓存映射机制:直接 映射、全相联、组相联 (cache控制器的基本原理)
- 高速缓存的访问、填充过程,高速缓存行(块)结构





- ●虚拟存储器技术的基本原理
- ●总线分类(距离CPU的远近):片内总线、 系统总线、局部总线、外部总线
- ●总线指标:频率、位宽、带宽、总线周期
- ●总线仲裁策略、同步策略
- ●总线操作一般过程
- ●总线操作类型
- ●接口的基本功能、一般结构、数据传输方式(串,并)、控制方式(程序控制、中断,DMA)



- DMA基本原理, DMA传送的一般流程
- DMA控制器的一般功能
- DMA与中断的异同
- ●中断类型码、中断向量表、中断向量、中断优先级、中断源、中断服务程序
- ●中断屏蔽、中断状态
- ●中断控制器的一般构成
- PC与嵌入式计算机在中断和DMA传输方式上 实现方法的异同



- ●接口不同寻址方式的特点
- ●接口译码的基本原理
  - ■直接译码
    - □全译码(唯一映射)
    - □部分译码(一对多映射)
    - □线选(一对多映射)
  - ■间接译码
    - □地址端口(多对一映射)
  - ■分级译码
    - □组选信号



#### 汇编程序设计

- ●MIPS汇编指令程序设计
  - ■能够读懂MIPS汇编程序(运算、控制、子程序、 栈操作等等)
  - ■能编写完成指定功能的MIPS汇编程序



# 基于已知系统总线的接口电路设计

- ●能设计完成简单存储器接口电路
  - ■地址译码(指定映射地址范围、指定存储芯片)
  - ■字节扩充
  - ■支持不同类型的数据访问
- ●能设计简单I0设备接口电路
  - ■根据指定10设备功能需求,完成接口电路设计
  - ■地址译码
- ●看懂10接口电路——已知电路

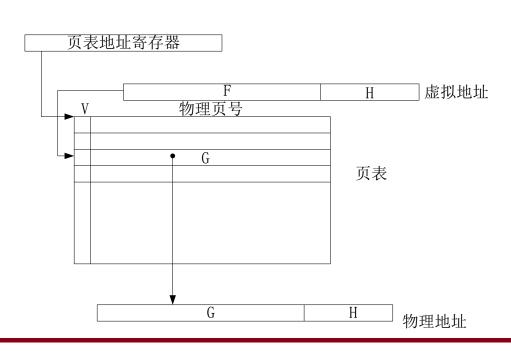


## 接口程序设计

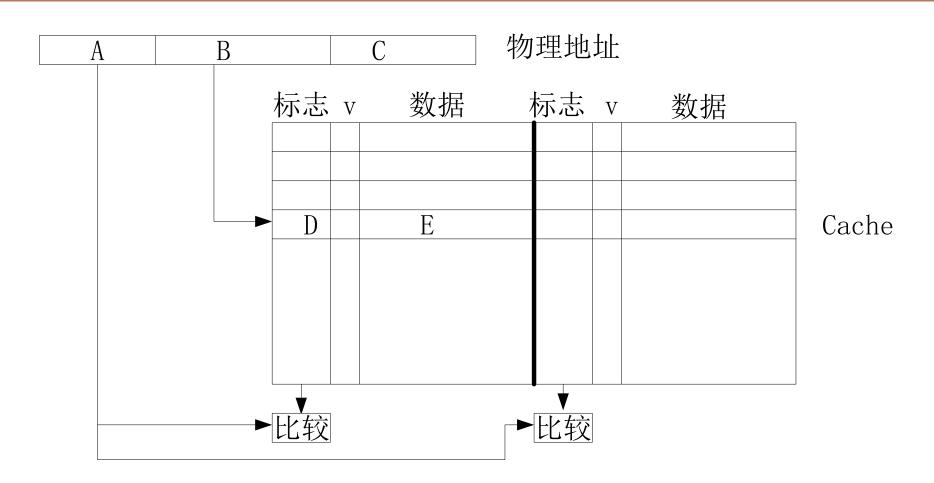
- ●基于API实现某特定IO接口电路的应用程序 设计
- ●基于端口读写函数实现I0接口电路的控制 程序设计
- ●MicroBlaze中断方式10接口程序设计



- ●某计算机存储器系统参数如下:
  - ■64KB的数据Cache,块大小为64B,组织方式是两路组相连;
  - ■虚拟地址32位,物理地址24位;
  - ■页大小为4KB。







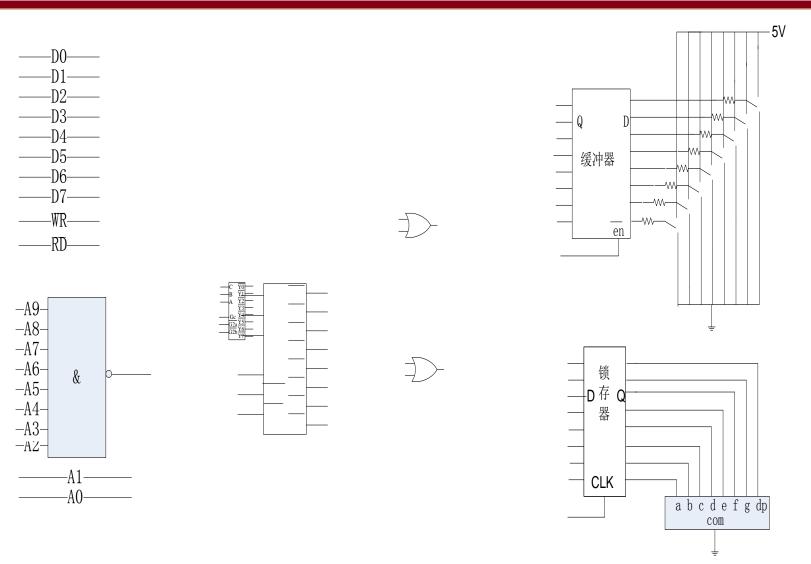
●请分别计算其中各字段A、B、C、D、E、F、G、H所占的位数,给出计算过程。



●控制某8位独立开关输入十进制字符(0~9) 的ASCII码,并将该ASCII码表示的十进制 字符通过一位七段数码管显示出来。试针 对8位数据总线和10位地址总线的计算机系 统完善下图所示接口电路(仅连线,不增加 任何器件)和控制程序。要求输入输出端 口地址均为0x3FC,且控制程序需判断输入 是否合法,输入非法时在7段数码管上显示 "E", 合法时显示正确的十进制数字。

#### 数字系统[[(计算机组成原理与接口技术)





#### 华中科技大学电子与信息工程系



●假定一台计算机的显示存储器用DRAM实现,若要求显示分辨率为1024×768,颜色灰度为24位,刷新频率为85Hz,显存带宽的50%用于刷新屏幕。则需要的显存总带宽至少是多少?