

Assignment II – Cache Design

Please design an experiment (using the cache simulator) for studying the factors that affects the performance of cache accesses. We will address traces from gcc_id_trace.txt or go_id_trace.txt as benchmarks. Please fill your results and plot graph of each table. In particular, what does the results suggest about the design of cache.

a. Block Size Tradeoff on direct mapped cache

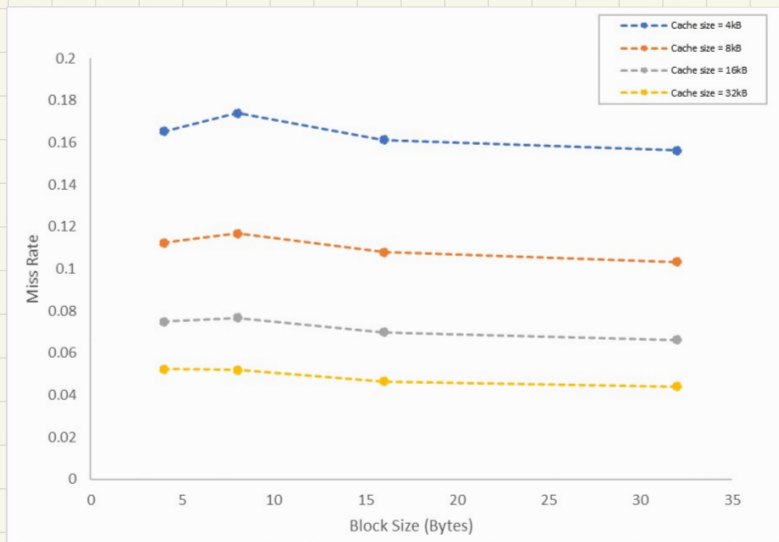
gcc_id_trace.txt		Direct mapped			
Block Size (Bytes)	Cache Size (KB)				
	4	8	16	32	
4	Cache size: 4kB and Block size: 4B HIT:1669560 MISS: 330441 Miss ratio: 0.165220	Cache size: 8kB and Block size: 4B HIT:1775198 MISS: 224803 Miss ratio: 0.112401	Cache size: 16kB and Block size: 4B HIT:1849934 MISS: 150067 Miss ratio: 0.075033	Cache size: 32kB and Block size: 4B HIT:1895088 MISS: 104913 Miss ratio: 0.052456	
8	Cache size: 4kB and Block size: 8B HIT:1652147 MISS: 347854 Miss ratio: 0.173927	Cache size: 8kB and Block size: 8B HIT:1766215 MISS: 233786 Miss ratio: 0.116893	Cache size: 16kB and Block size: 8B HIT:1846558 MISS: 153443 Miss ratio: 0.076721	Cache size: 32kB and Block size: 8B HIT:1895885 MISS: 104116 Miss ratio: 0.052058	
16	Cache size: 4kB and Block size: 16B HIT:1677463 MISS: 322538 Miss ratio: 0.161269	Cache size: 8kB and Block size: 16B HIT:1784151 MISS: 215850 Miss ratio: 0.107925	Cache size: 16kB and Block size: 16B HIT:1860161 MISS: 139840 Miss ratio: 0.069920	Cache size: 32kB and Block size: 16B HIT:1906747 MISS: 93254 Miss ratio: 0.04662	
32	Cache size: 4kB and Block size: 32B HIT:1687566 MISS: 312435 Miss ratio: 0.156217	Cache size: 8kB and Block size: 32B HIT:1793431 MISS: 206570 Miss ratio: 0.103285	Cache size: 16kB and Block size: 32B HIT:1867498 MISS: 132503 Miss ratio: 0.066251	Cache size: 32kB and Block size: 32B HIT:1911848 MISS: 88153 Miss ratio: 0.044076	

b. N-way associative cache with replacement algorithms: Least recently used (LRU), and Round Robin (RR).

gcc_id_trace.txt, block size : 4 bytes		Associativity			
Cache Size (KB)	Two-way		Four-way		
	LRU	RR	LRU	RR	
1	HIT:1491704 MISS: 508297	HIT:1458831 MISS: 541170	HIT:1527679 MISS: 472322	HIT:1475129 MISS: 524872	
4	HIT:1759588 MISS: 240413	HIT:1740139 MISS: 259862	HIT:1786471 MISS: 213530	HIT:1759111 MISS: 240890	
8	HIT:1834446 MISS: 165555	HIT:1821673 MISS: 178328	HIT:1852267 MISS: 147734	HIT:1834498 MISS: 165503	
32	HIT:1939563 MISS: 60438	HIT:1934739 MISS: 65262	HIT:1950492 MISS: 49509	HIT:1943335 MISS: 56666	
512	HIT:1974599 MISS: 25402	HIT:1974538 MISS: 25463	HIT:1974745 MISS: 25256	HIT:1974736 MISS: 25265	
1024	HIT:1974717 MISS: 25284	HIT:1974691 MISS: 25310	HIT:1974753 MISS: 25248	HIT:1974753 MISS: 25248	

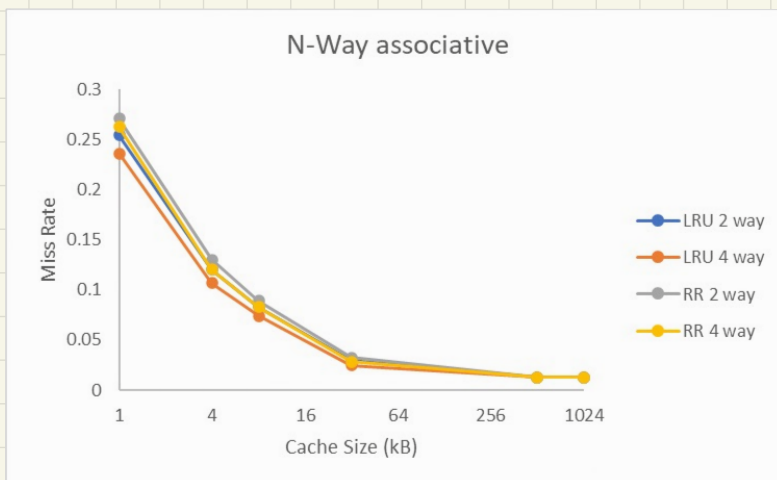
Note that simulation code and traces can be downloaded from
<https://www.cp.eng.chula.ac.th/~krerk/books/Computer%20Architecture/CacheSim>

๑)



จากการพล็อตจะเห็นว่า ยิ่ง Cache size มากและ Block size มาก
 จะยิ่งทำให้อัตราการพลาดลดลง โดยพบว่า Cache size จะเห็นผลชัดเจนกว่า
 1 เท่าที่จะมีผลกับ Block size ที่มากกว่าๆ จะมี miss rate ที่มากกว่า
 เช่นที่ 8 bytes เพราะเกิด Temporal Locality น้อยลง

๒)



จากการพล็อตจะเห็นว่าที่ Cache size น้อย จะมี miss rate ที่แตกต่างกันโดยที่ LRU method จะมี miss rate ที่น้อยกว่า RR method
 1 เท่า 4 way จะมี miss rate ที่น้อยกว่า 2 way 1 เท่า ยิ่ง Cache size มากขึ้น การต่างกัน miss rate ก็จะยิ่งน้อยลง