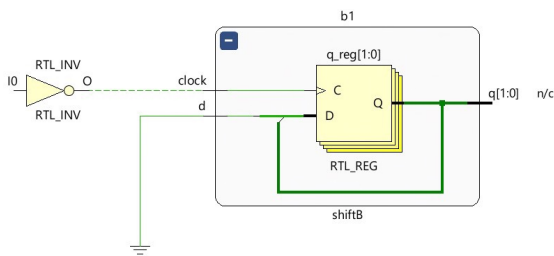
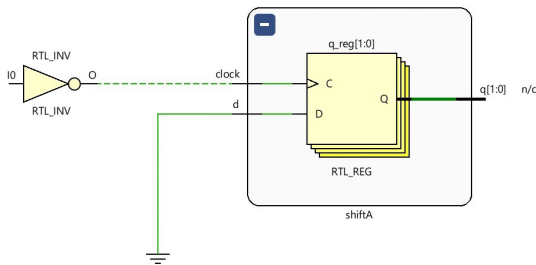


5. Please answer the following questions and submit (in PDF format) to ClassDeeDee on Friday before 23:59 (midnight).
1. Please draw a schematic representing the logical blocks of both shiftA and shiftB in exercise 4.
 2. What is the difference between blocking and non-blocking assignments?
 3. Is it possible to apply parameters to the design in exercise 4 to create shiftRegister with any number of bits? If Yes, please explain how.

1)



2) blocking :-นิยมใช้กับ Combinational logic

- อาจทำให้เกิด race condition
- ลำดับในการ assign ค่ามีผล

non-blocking :-นิยมใช้กับ Sequential logic

- สามารถป้องกัน race condition
- ลำดับในการ assign ค่าไม่มีผล

3) ทำได้โดยการใส่ module parameter และทำงานโดยการนับค่าตั้งแต่ 0 ถึง n-2 มา assign ใส่ค่าที่ 1 ถึง n-1

```

module nBitShift #(parameter n=2) (q, clock, d);
    output [n-1:0] q;
    input clock, d;
    reg [n-1:0] q;
    always @ (posedge clock)
    begin
        q <= {q[n-2:0], d};
    end
endmodule

nBitShift #(16) c1(qc, clock, d);
  
```