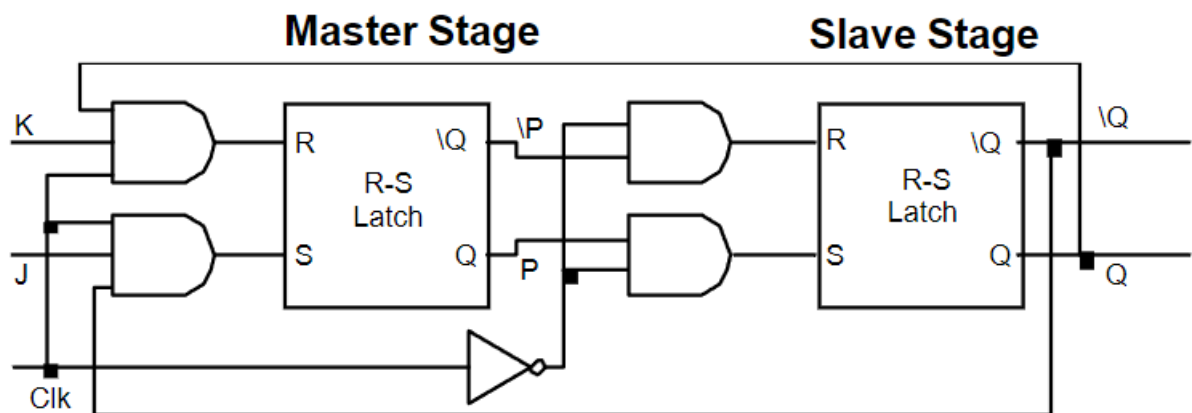


Master-Slave JK Flip-flop

ให้นักศึกษาสร้างวงจร Master-Slave JK Flip-Flop ที่มี Input คือ J, K, Clock, \Clear ขนาด 1 Bit และ Output คือ Q, \Q ขนาด 1 บิต โดยให้สร้างโดยใช้วงจร RS Latch แบบ Nor Gate, input Clock คือสัญญาณนาฬิกาของระบบ และ \Clear เป็น asynchronous input และเมื่อ \Clear มีค่าเป็น 1 ให้เปลี่ยนค่า Q เป็น 0 และ /Q เป็น 1 โดยทันทีโดยไม่ต้องรอสัญญาณ Clock.



รูปที่ 1 รูปวงจร Master-Slave แบบไม่มี \Clear

ข้อมูลนำเข้า

- K ขนาด 1 Bit
- J ขนาด 1 Bit
- Clock ขนาด 1 Bit
- \Clear ขนาด 1 Bit

ข้อมูลส่งออก

- Q ขนาด 1 Bit
- \Q ขนาด 1 Bit

ชุดข้อมูลทดสอบ

- 100% โปรแกรมทำงานถูกต้องตาม Input ทุกรูปแบบ