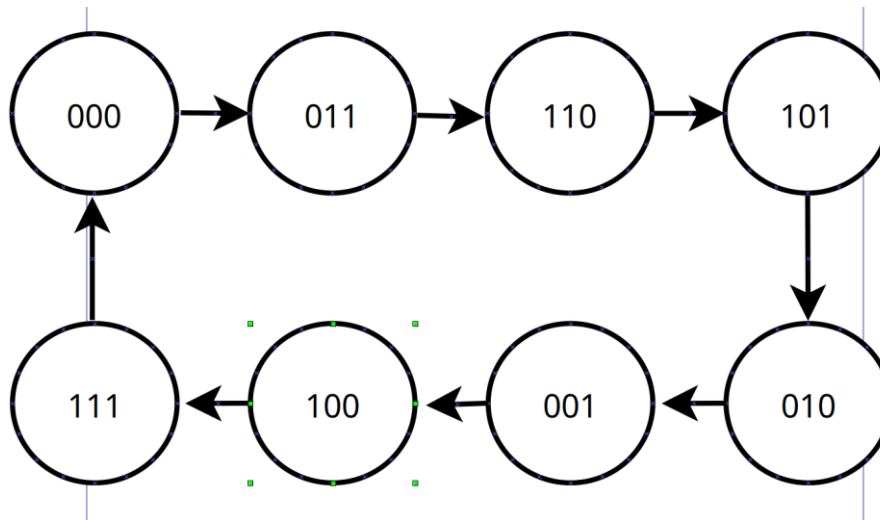


Problem 1: Counter

จงสร้าง Counter ที่มีสัญญาณเข้าเป็น clock (clk) 1 ตัว, และ สัญญาณ input **reset** และมี output เป็น A, B และ C ซึ่งมี output ดังต่อไปนี้



โดยกำหนดให้ เมื่อreset = 1 ค่าจะเริ่มต้นที่ CBA = 000, (reset เป็น synchronous) เมื่อนำค่า reset = 0, CBA จะเปลี่ยนเป็น 011, 110, 101, 010, 001, 100, 111 แล้ววนมาที่ 000 ตามลำดับ

ตัวอย่าง Testcase อยู่ใน template_01.dig

ข้อมูลนำเข้า

- Input: reset
- Clock: clk

ข้อมูลส่งออก

- Output: A, B, และ C

ชุดข้อมูลทดสอบ

- ตัวอย่างชุดข้อมูลทดสอบมีอยู่ใน template_01.dig

คะแนน

คะแนนเต็ม 50 คะแนน