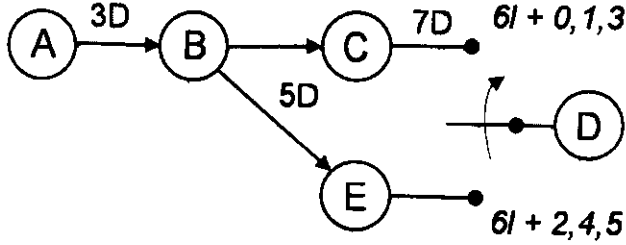
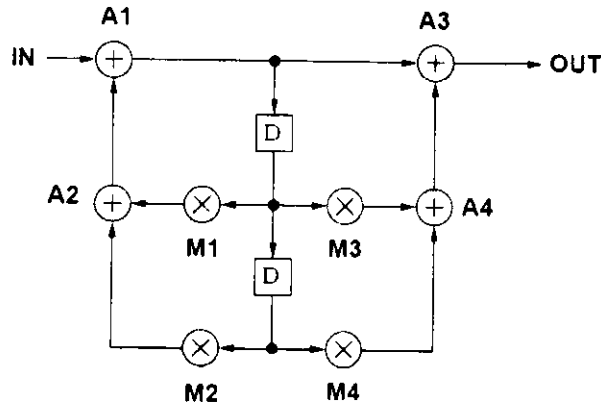


Câu 1: (2 đ) Hãy trải ra (unfold) DFG trong hình sau với hệ số $J = 3$.



Các công thức	
$U_i \xrightarrow{W} V_i \Rightarrow U_i \xrightarrow{W'} V_k$	
với $k = (i + w) \% J$ và $w' = \lfloor (i + w) / J \rfloor$	
$Wl + u = J(W'l + \lfloor u/J \rfloor) + (u \% J)$	

Câu 2: (2 đ) Cho trước hệ thống ở hình sau (các số đi kèm bộ cộng/nhân là số thứ tự của nút) với mỗi bộ nhân có pipeline 2 tầng và $T_M = 2u.t.$, mỗi bộ cộng có pipeline 1 tầng và $T_A = 1u.t.$



Hãy gấp (fold) DFG này với hệ số gấp $N = 4$ với các tập gấp sau:

$$S_M = \{M4, M1, M2, M3\}$$

$$S_A = \{A1, A4, A3, A2\}$$

- Thực hiện tái định thì để các tập gấp cho kết quả chỉ có các tri hoãn không âm trong cấu trúc gấp.
- Gấp DFG đã được tái định thì: chỉ lập bảng tính thời gian T_{in} và T_{out} của mỗi nút, không cần vẽ hình.

Ghi chú:

- Phương trình gấp D_F :

$$D_F(U \xrightarrow{e} V) = Nw(e) - P_u + v - u$$

với $w(e)$ là số phần tử Delay trên cạnh e , P_u là số tầng pipeline của nút U , v là số thứ tự của V trong tập gấp chứa V , và u là số thứ tự của U trong tập gấp chứa U .

- Công thức tính thời gian vào T_{in} và thời gian ra T_{out} tương ứng cho nút U :

$$T_{in} = u + P_u \quad \text{và} \quad T_{out} = u + P_u + \max_v \{D_F(U \rightarrow V)\}$$

Câu 3: (2 đ) Thiết kế mạch biến đổi ma trận 3×3 với 1 ngõ vào và 1 ngõ ra, theo quy tắc sau:

Ma trận vào

Ma trận ra

$$\begin{bmatrix} a & b & c \\ d & e & f \\ g & h & i \end{bmatrix} \Rightarrow \begin{bmatrix} a & c & b \\ d & f & e \\ g & i & h \end{bmatrix}$$



- Lập bảng thời gian sống và giản đồ thời gian sống, từ đó suy ra số thanh ghi cần cho mạch này là bao nhiêu?
- Lập bảng cấp phát thanh ghi thuận-nghịch. (Không cần vẽ mạch)

Câu 4: (2 đ) Xét 1 bộ lọc có phương trình ngõ ra: $y(n) = ax(n) + bx(n-1) + cx(n-2) + dx(n-3)$

- Hãy vẽ DG của bộ lọc này. Lập công thức mô tả RIA (chuẩn ngõ ra) tương đương cho giải thuật này. Từ đó suy ra các cạnh cơ bản e_x , e_w và e_y ?
- Cho trước $d = [1 \ 0]^T$, tìm p và s .
(Giả sử d , p và s phải thỏa các điều kiện: $p^T d = 0$; $s^T d \neq 0$ và $s^T e \geq 0$)
- Vẽ mảng tâm thu cần thiết kế.

Câu 5: (2 đ)

Thiết kế mạch lọc FIR có 3 nhánh [rẽ] (3-tap FIR filter)

$$y(n) = h_0x(n) + h_1x(n-1) + h_2x(n-2)$$

với các hệ số là $h_0 = 107$, $h_1 = 105$, và $h_2 = 121$.

- Với số học phân bố (distributed arithmetic), hãy cho biết cần dùng bảng tra cứu (ROM hoặc bảng LUT của FPGA) có kích thước bao nhiêu và nội dung của bảng này.
- Viết mã Verilog cho mạch lọc này. (Giả sử ngõ vào mỗi lần cung cấp 3 mẫu dữ liệu liên tiếp: $x(n)$, $x(n-1)$ và $x(n-2)$.)

BM-ĐT

TS. Trương Quang Vinh

GV ra đề

Hồ Trung Mỹ