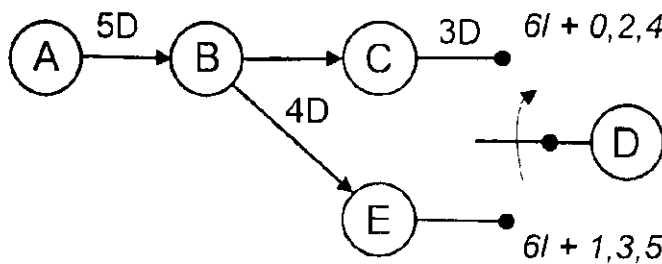


Câu 1: (2 đ) Hãy trải ra (unfold) DFG trong hình sau với hệ số $J = 3$.



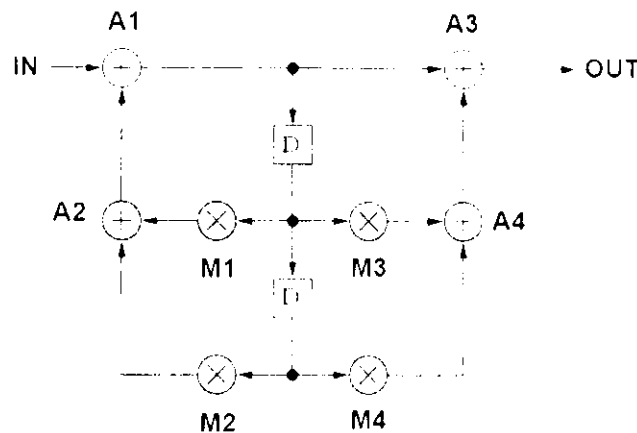
Các công thức

$$U_i \xrightarrow{W} V_j \Rightarrow U_i \xrightarrow{W'} V_k$$

với $k = (i + w) \% J$ và $w' = \lfloor (i + w) / J \rfloor$

$$Wl + u = J(W'l + \lfloor u/J \rfloor) + (u \% J)$$

Câu 2: (2 đ) Cho trước hệ thống ở hình sau (các số đi kèm bộ cộng nhân là số thứ tự của nút) với mỗi bộ nhân có pipeline 2 tầng và $T_M = 2u.t.$, mỗi bộ cộng có pipeline 1 tầng và $T_A = 1u.t.$



Hãy gấp (fold) DFG này với hệ số gấp $N = 4$ với các tập gấp sau:

$$S_M = \{M4, M1, M2, M3\}$$

$$S_A = \{A1, A4, A3, A2\}$$

- Thực hiện tái định thì để các tập gấp cho kết quả chỉ có các trị hoàn không âm trong cấu trúc gấp.
- Gấp DFG đã được tái định thì: chỉ lập bảng tính thời gian T_{in} và T_{out} của mỗi nút, không cần vẽ hình.

Ghi chú:

- Phương trình gấp D_F :

$$D_F(U \xrightarrow{e} V) = Nw(e) - P_u + v - u$$

với $w(e)$ là số phần tử Delay trên cạnh e , P_u là số tầng pipeline của nút U , v là số thứ tự của V trong tập gấp chứa V , và u là số thứ tự của U trong tập gấp chứa U .

- Công thức tính thời gian vào T_{in} và thời gian ra T_{out} tương ứng cho nút U :

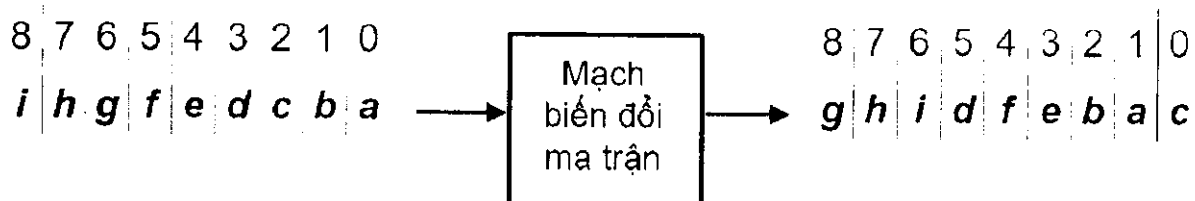
$$T_{in} = u + P_u \quad \text{và} \quad T_{out} = u + P_u + \max_v \{D_F(U \rightarrow V)\}$$

Câu 3: (2 đ) Thiết kế mạch biến đổi ma trận 3×3 với 1 ngõ vào và 1 ngõ ra, theo quy tắc sau:

Ma trận vào

Ma trận ra

$$\begin{bmatrix} a & b & c \\ d & e & f \\ g & h & i \end{bmatrix} \Rightarrow \begin{bmatrix} c & a & b \\ e & f & d \\ i & h & g \end{bmatrix}$$



- Lập bảng thời gian sống và giản đồ thời gian sống, từ đó suy ra số thanh ghi cần cho mạch này là bao nhiêu?
- Lập bảng cấp phát thanh ghi thuận-ngược. (Không cần vẽ mạch)

Câu 4: (2 đ) Xét 1 bộ lọc có phương trình ngõ ra: $y(n) = ax(n) + bx(n-2) + cx(n-4) + dx(n-6)$

- Hãy vẽ DG của bộ lọc này. Lập công thức mô tả RIA (chuẩn ngõ ra) tương đương cho giải thuật này. Từ đó suy ra các cạnh cơ bản e_x , e_n và e_y ?
- Cho trước $d = [1 \ 0]^T$, tìm p và s .
(Giả sử d , p và s phải thỏa các điều kiện: $p^T d = 0$; $s^T d \neq 0$ và $s^T e \geq 0$)
- Vẽ mảng tâm thu cần thiết kế.

Câu 5: (2 đ)

Thiết kế mạch lọc FIR có 3 nhánh [rẽ] (3-tap FIR filter)

$$y(n) = h_0x(n) + h_1x(n-1) + h_2x(n-2)$$

với các hệ số là $h_0 = 109$, $h_1 = 107$, và $h_2 = 111$.

- Với số học phân bố (distributed arithmetic), hãy cho biết cần dùng bảng tra cứu (ROM hoặc bảng LUT của FPGA) có kích thước bao nhiêu và nội dung của bảng này.
- Viết mã Verilog cho mạch lọc này. (Giả sử ngõ vào mỗi lần cung cấp 3 mẫu dữ liệu liên tiếp: $x(n)$, $x(n-1)$ và $x(n-2)$.)

Bộ môn Điện Tử

Ký GV ra đề

Hồ Trung Mỹ

Đáp án của Đề thi HK 171

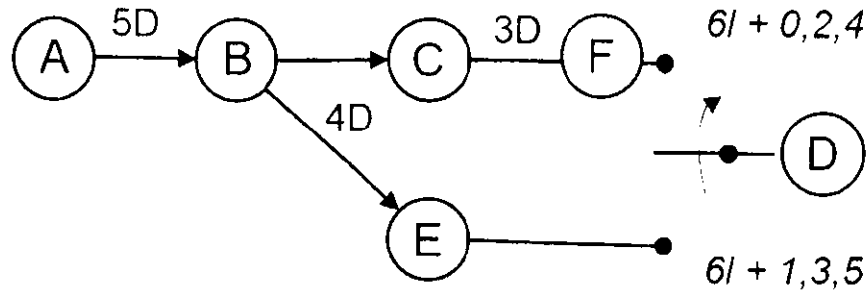
Môn: Xử lý tín hiệu số với FPGA (MSMH: EE3041)

Ngày thi: 21/12/2017 Thời gian làm bài: 90 phút

(SV KHÔNG được sử dụng tài liệu, Laptop, PC Tablet và điện thoại di động)

Câu 1: (2 đ)

Vì có phần tử Delay nối với khóa, ta thêm nút giả F:



Thực hiện trải ra DFG theo bảng sau với $J = 3$: (0.5 đ)

$$U_i \xrightarrow{w} V_i \Rightarrow U_i \xrightarrow{w'} V_k$$

Bảng dạng 1			
i	w	$k = (i + w) \% 3$	$w' = \lfloor (i + w) / 3 \rfloor$
0	3	0	1
1	3	1	1
2	3	2	1
0	4	1	1
1	4	2	1
2	4	0	2
0	5	2	1
1	5	0	2
2	5	1	2

Bảng dạng 2			
i	w	k	w'
0	3	0	1
0	4	1	1
0	5	2	1
1	3	1	1
1	4	2	1
1	5	0	2
2	3	2	1
2	4	0	2
2	5	1	2

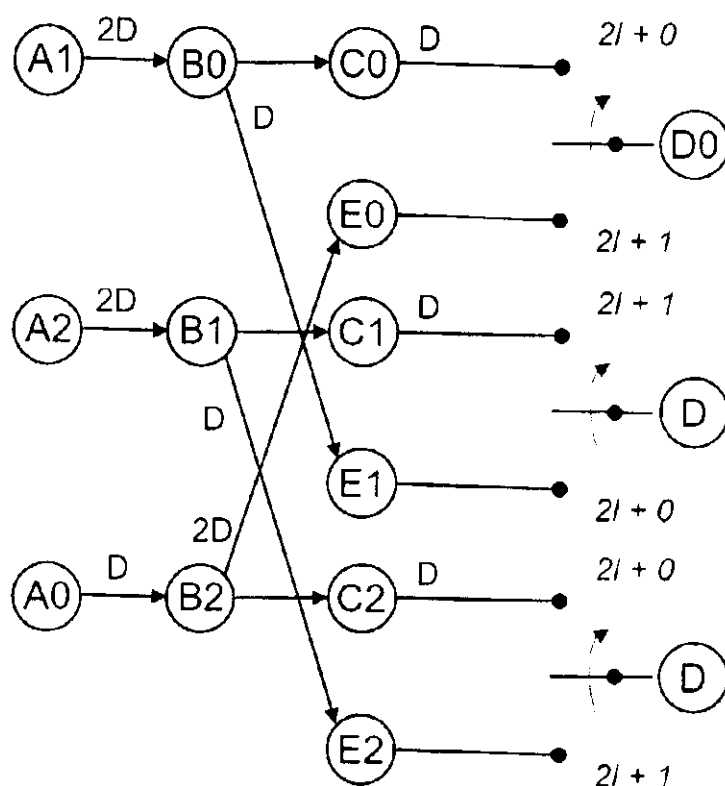
Thực hiện trải ra DFG cho các nút B, E và C với khóa theo các thời điểm sau:

$$Wl + u = J(W'l + \lfloor u/J \rfloor) + (u \% J)$$

Ta có: $W = W'J \Rightarrow W' = W/J = 6/3 = 2$. Từ đó ta có bảng sau: (0.5 đ)

Vị trí khóa	Các thời điểm chuyển mạch
Bật lên	$6l + 0 = 3(2l + 0) + 0$ $6l + 2 = 3(2l + 0) + 2$ $6l + 4 = 3(2l + 1) + 1$
Bật xuống	$6l + 1 = 3(2l + 0) + 1$ $6l + 3 = 3(2l + 1) + 0$ $6l + 5 = 3(2l + 1) + 2$

Kết quả sau cùng khi bỏ các nút giả: (1 đ)



Câu 2: (2 đ)

Thứ tự trong tập gấp:

$$S_A = \begin{matrix} 0 & 1 & 2 & 3 \\ \{A1, & A4, & A3, & A2\} \end{matrix}$$

$$S_M = \begin{matrix} 4 & 5 & 6 & 7 \\ \{M4, & M1, & M2, & M3\} \end{matrix}$$

Nếu đánh số nút theo thứ tự: 1 → 4 tương ứng với A1 → A4 và 5 → 8 tương ứng với M1 → M4. Như vậy ta có tập gấp cho các nút:

$$S_A = \begin{matrix} 0 & 1 & 2 & 3 \\ \{1, & 4, & 3, & 2\} \end{matrix}$$

$$S_M = \begin{matrix} 4 & 5 & 6 & 7 \\ \{8, & 5, & 6, & 7\} \end{matrix}$$

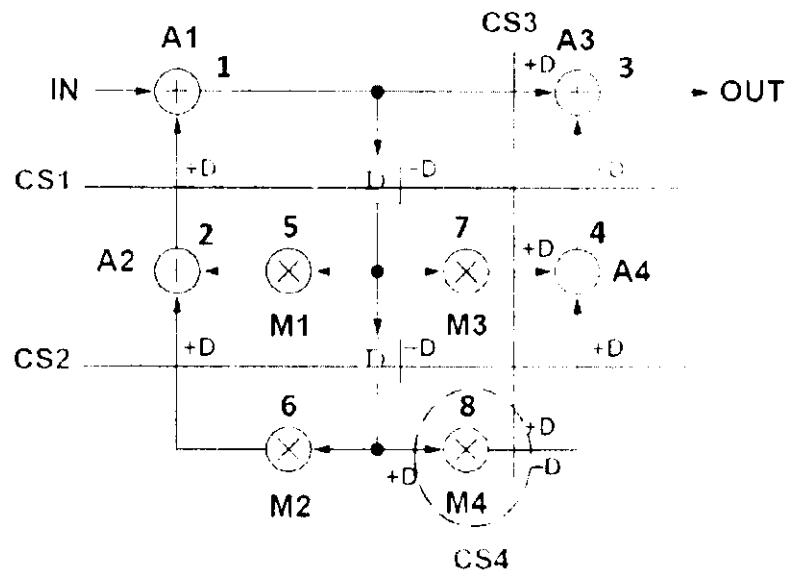
Khi đó ta có bảng sau:

(0.5 đ) Phương trình gấp D_F	(0.5 đ) Sau khi retiming
$D_F(U \xrightarrow{e} V) = Nw(e) - P_U + v - u$	$D_F(U \xrightarrow{e} V) = Nw(e) - P'_U + v - u$
$D_F(1 \rightarrow 3) = 4(0) - 1 + 2 - 0 = 1$	$D_F(1 \rightarrow 3) = 4(1) - 1 + 2 - 0 = 5$
$D_F(1 \rightarrow 5) = 4(1) - 1 + 1 - 0 = 4$	$D_F(1 \rightarrow 5) = 4(0) - 1 + 1 - 0 = 0$
$D_F(1 \rightarrow 7) = 4(1) - 1 + 3 - 0 = 6$	$D_F(1 \rightarrow 7) = 4(0) - 1 + 3 - 0 = 2$
$D_F(1 \rightarrow 6) = 4(2) - 1 + 2 - 0 = 9$	$D_F(1 \rightarrow 6) = 4(0) - 1 + 2 - 0 = 1$
$D_F(1 \rightarrow 8) = 4(2) - 1 + 0 - 0 = 7$	$D_F(1 \rightarrow 8) = 4(1) - 1 + 0 - 0 = 3$
$D_F(2 \rightarrow 1) = 4(0) - 1 + 0 - 3 = -4 (*)$	$D_F(2 \rightarrow 1) = 4(1) - 1 + 0 - 3 = 0$
$D_F(4 \rightarrow 3) = 4(0) - 1 + 2 - 1 = 0$	$D_F(4 \rightarrow 3) = 4(1) - 1 + 2 - 1 = 4$
$D_F(5 \rightarrow 2) = 4(0) - 2 + 3 - 1 = 0$	$D_F(5 \rightarrow 2) = 4(0) - 2 + 3 - 1 = 0$
$D_F(6 \rightarrow 2) = 4(0) - 2 + 3 - 2 = -1 (*)$	$D_F(6 \rightarrow 2) = 4(1) - 2 + 3 - 2 = 3$
$D_F(7 \rightarrow 4) = 4(0) - 2 + 1 - 3 = -4 (*)$	$D_F(7 \rightarrow 4) = 4(1) - 2 + 1 - 3 = 0$
$D_F(8 \rightarrow 4) = 4(0) - 2 + 1 - 0 = -1 (*)$	$D_F(8 \rightarrow 4) = 4(1) - 2 + 1 - 0 = 3$

Với bảng trên ta thấy việc tái định thì sẽ phải xảy ra với các tập gấp {1, 2, 3, 4, 6, 7, 8}.

$2 \rightarrow 1, 6 \rightarrow 2, 7 \rightarrow 4, \text{ và } 8 \rightarrow 4$ vì $D_F < 0$ với các nhánh này. DFG sau cũng phải có thêm các Đ để tại các nhánh đó có $D_F \geq 0$.

Tái định thì DFG theo các CS (0.5 đ)



- Tính thời gian T_{in} và T_{out} của mỗi nút để tối thiểu hóa thành ghi (0.5 đ)

$D_F(U \rightarrow V) = Nw - P_u + v - u$	Nút	T_{in}	T_{out}
$D_F(1 \rightarrow 3) = 4(1) - 1 + 2 - 0 = 5$	1	1	0
$D_F(1 \rightarrow 5) = 4(0) - 1 + 1 - 0 = 0$	2	1	4
$D_F(1 \rightarrow 7) = 4(0) - 1 + 3 - 0 = 2$	3		
$D_F(1 \rightarrow 6) = 4(0) - 1 + 2 - 0 = 1$	4	2	6
$D_F(1 \rightarrow 8) = 4(1) - 1 + 0 - 0 = 3$	5	3	3
$D_F(2 \rightarrow 1) = 4(1) - 1 + 0 - 3 = 0$	6	4	7
$D_F(4 \rightarrow 3) = 4(1) - 1 + 2 - 1 = 4$	7	5	5
$D_F(5 \rightarrow 2) = 4(0) - 2 + 3 - 1 = 0$	8	6	8
$D_F(6 \rightarrow 2) = 4(1) - 2 + 3 - 2 = 3$			
$D_F(7 \rightarrow 4) = 4(1) - 2 + 1 - 3 = 0$			
$D_F(8 \rightarrow 4) = 4(1) - 2 + 1 - 0 = 3$			

Với $T_{in} = u + P_u$ và $T_{out} = u + P_u + \max_v \{D_F(U \rightarrow V)\}$

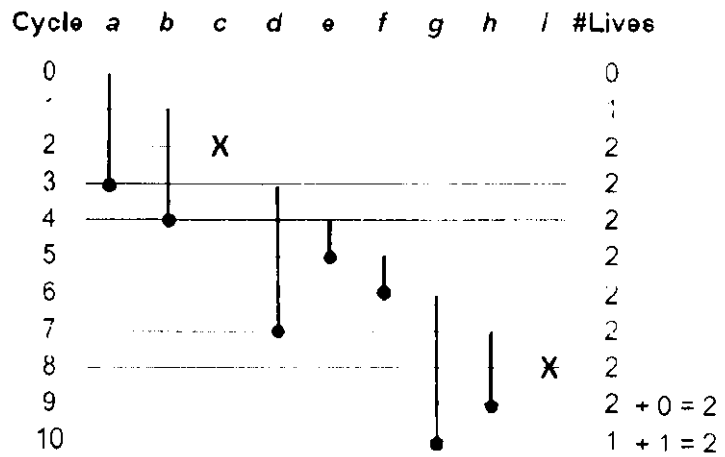
Câu 3:

- Bảng thời gian sống:

Mẫu	T_{in}	$T_{z/out}$	T_{diff}	T_{out}	Dời sống
a	0	1	1	3	0 → 3
b	1	2	1	4	1 → 4
c	2	0	-2	2	2 → 2
d	3	5	2	7	3 → 7
e	4	3	-1	5	4 → 5
f	5	4	-1	6	5 → 6
g	6	8	2	10	6 → 10
h	7	7	0	9	7 → 9
i	8	6	-2	8	8 → 8

- Giản đồ thời gian sống:

Mẫu	Đời sống
<i>a</i>	0 → 3
<i>b</i>	1 → 4
<i>c</i>	2 → 2
<i>d</i>	3 → 7
<i>e</i>	4 → 5
<i>f</i>	5 → 6
<i>g</i>	6 → 10
<i>h</i>	7 → 9
<i>i</i>	8 → 8



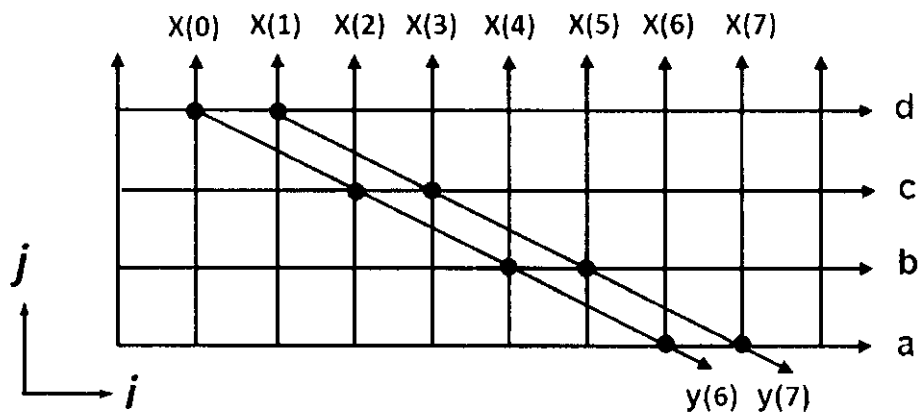
Như vậy số thanh ghi cần sử dụng là 2.

- Bảng cấp phát thanh ghi thuận-nghịch

Cycle	Input	R1	R2	Output
0	<i>a</i>			
1	<i>b</i>	<i>a</i>		
2	<i>c</i>	<i>b</i>	<i>a</i>	<i>c</i>
3	<i>d</i>	<i>a</i>	<i>b</i>	<i>a</i>
4	<i>e</i>	<i>d</i>	<i>b</i>	<i>b</i>
5	<i>f</i>	<i>e</i>	<i>d</i>	<i>e</i>
6	<i>g</i>	<i>f</i>	<i>d</i>	<i>f</i>
7	<i>h</i>	<i>g</i>	<i>d</i>	<i>d</i>
8	<i>i</i>	<i>h</i>	<i>g</i>	<i>i</i>
9		<i>g</i>	<i>h</i>	<i>h</i>
10			<i>g</i>	<i>g</i>

Câu 4: (2 đ)

- a) Ta có: $y(n) = ax(n) + bx(n-2) + cx(n-4) + dx(n-6)$
Suy ra DG:



Mô tả RIA (chuẩn ngõ ra): (gọi các trọng số *a*, *b*, *c*, *d* là w_0 , w_1 , w_2 , w_3 , $w_0 \neq 0$ & $w_3 \neq 0$)

$$y(i, j) = y(i-2, j+1) + w(i, j) \cdot x(i, j) \Rightarrow (i, j) - (i-2, j+1) = (2, -1)$$

$$w(i, j) = w(i-1, j) \Rightarrow (i, j) - (i-1, j) = (1, 0)$$

$$x(i, j) = x(i, j-1) \Rightarrow (i, j) - (i, j-1) = (0, 1)$$

Suy ra

$$e_x = [0 \ 1]^T, \quad e_w = [1 \ 0]^T, \quad \text{và } e_z = [2 \ -1]^T \quad (0.25 \text{ đ})$$

b) (0.5 đ) Tìm p và s khi $d = [1 \ 0]^T$

- Điều kiện $p^T d = 0 \Rightarrow [p_1 \ p_2] [1 \ 0]^T = 0 \Rightarrow p_1 = 0$.
Nếu chọn $p_2 = 1 \Rightarrow p = [0 \ 1]^T$
- Điều kiện của s :
 - $s^T d \neq 0 \Rightarrow [s_1 \ s_2] [1 \ 0]^T \neq 0 \Rightarrow s_1 \neq 0$.
 - $s^T e \geq 0$:

E	$s^T e \geq 0$
$e_x = [0 \ 1]^T$	$s_2 \geq 0$
$e_w = [1 \ 0]^T$	$s_1 \geq 0$
$e_z = [2 \ -1]^T$	$2s_1 - s_2 \geq 0$

Kết hợp các bất đẳng thức trên, ta chọn $s_1 = 1 \geq 0 \Rightarrow s_2 \geq 2s_1$ hay $0 \leq s_2 \leq 2$

Như vậy chọn $s_2 = 1 \Rightarrow s = [1 \ 1]^T$.

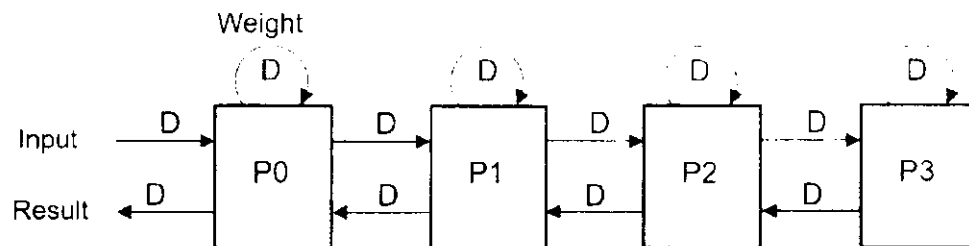
Kết luận: $p = [0 \ 1]^T$ và $s = [1 \ 1]^T$.

c) Mảng tâm thu cần thiết kế:

Bảng ánh xạ cạnh với $p^T = [0 \ 1]$ và $s^T = [1 \ 1]$: (0.5 đ)

e	$p^T e$	$s^T e$
$e_x = [0 \ 1]^T$	1	1
$e_w = [1 \ 0]^T$	0	1
$e_z = [2 \ -1]^T$	-1	1

Sơ đồ mảng tâm thu: (0.5 đ)



Câu 5: (2 đ)

a) (0.5 đ)

Trường hợp dữ liệu lớn nhất là tổng các hệ số h là:

$$109 + 107 + 111 = 327 \quad \text{và} \quad 2^8 - 1 (= 255) < 327 < 2^9 - 1 (= 511)$$

Suy ra bảng tra cứu phải có độ rộng dữ liệu là 9 và số đường địa chỉ là 3 (do có 3 tap).

Nếu gọi các bit địa chỉ là $A_2 A_1 A_0$ thì nội dung tại ô nhớ là $A_2 h_2 + A_1 h_1 + A_0 h_0$

Như vậy ROM hoặc LUT có kích thước: $2^3 \times 6$

Từ đó ta có bảng ghi ROM cho FIR có các hệ số $\{109, 107, 111\}$ như sau:

Địa chỉ (Binary)	Dữ liệu (Decimal)
000	0
001	109
010	107
011	216
100	111
101	220
110	218
111	327

b) (1.5 đ) Mã Verilog cho hệ cần thiết kế: $y(n) = h_0x(n) + h_1x(n-1) + h_2x(n-2)$

```
module(clk1, clk2, reset, xn, xn_1, xn_2, yn);
input clk1, clk2, reset;
input [7:0] xn, xn_1, xn_2;
output [15:0] yn; reg [15:0] yn; reg [7:0] dn, dn_1, dn_2;
reg [7:0] counter; reg [15:0] sum;
wire [5:0] data;
// có 9 clock clk2 giữa 2 cạnh lên của clk1
rom d1(clk2, {dn_2[0], dn_1[0], dn[0]}, data)
```

```
always@(posedge clk1)
begin
```

```
    dn <= xn;
    dn_1 <= xn_1;
    dn_2 <= xn_2;
```

```
end
```

```
always@(negdge clk2)
begin
```

```
    if (reset)
        begin
            counter <= 8;
            sum <= 0;
        end
    else
        if (counter == 0)
            yn <= sum;
        else
            begin
                counter <= counter - 1;
                sum <= sum + data;
            end
        end
```

```
end
```

```
always@(posdge clk2)
begin
```

```
    dn <= dn << 1;
    dn_1 <= dn_1 << 1;
    dn_2 <= dn_2 << 1;
```

```
end
```

```
endmodule
```

```
module rom (en, addr, data): // tính  $A_2h_2 + A_1h_1 + A_0h_0$ 
```

```
input en;
input [2:0] addr;
output [5:0] data;
reg [5:0] data;
```

```
always @(posedge en)
```

```
    case(addr)
        3'b000: data = 0;
        3'b001: data = 6'd109;
        3'b010: data = 6'd107;
        3'b011: data = 6'd216;
        3'b100: data = 6'd111;
        3'b101: data = 6'd220;
        3'b110: data = 6'd218;
        3'b111: data = 6'd327;
        default: data = 6'bXXXXXX;
```

```
    endcase
```

```
endmodule
```

GV ra đề và soạn đáp án: Hồ Trung Mỹ