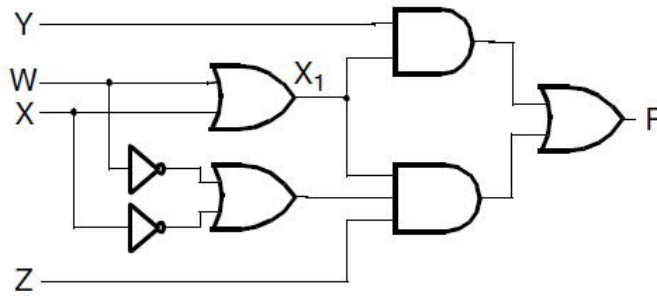


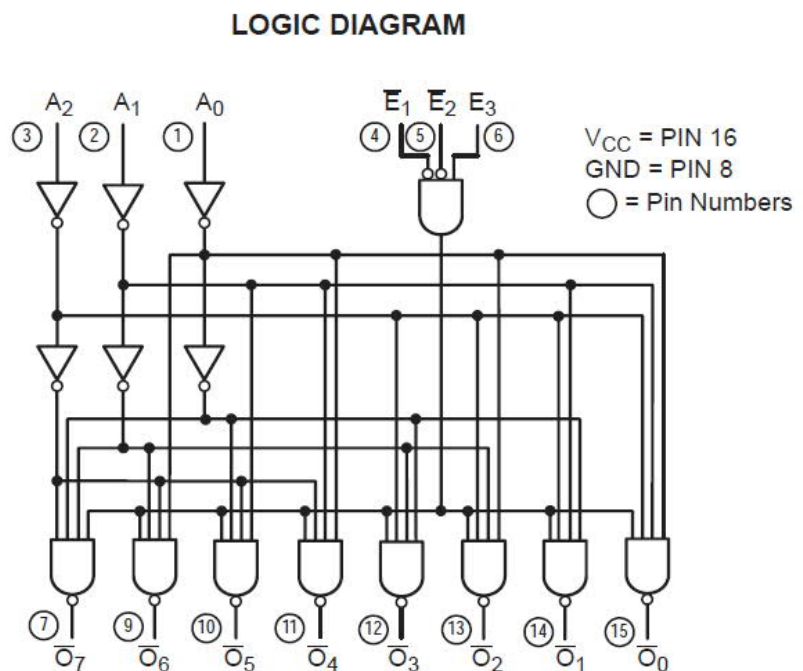
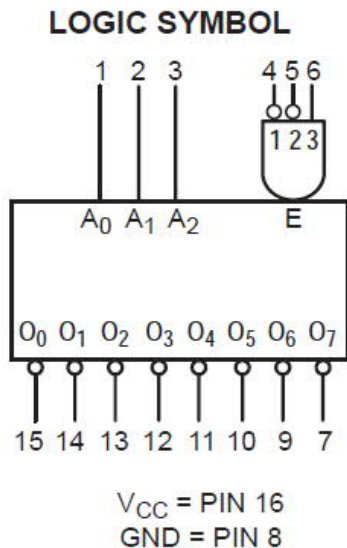
Bài tập ôn kiểm tra giữa học kỳ

1. Với mạch tổ hợp sau:



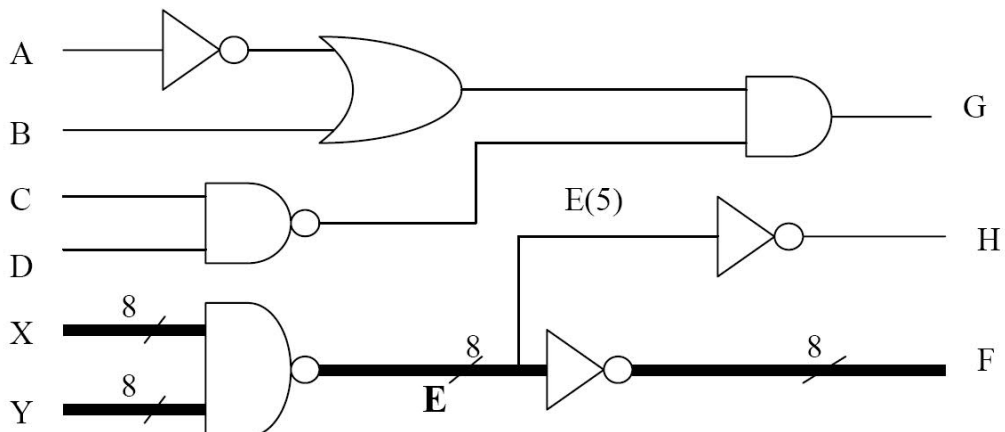
Hãy viết mã Verilog với các cách sau:

- 1) Dùng mô hình cấu trúc.
 - 2) Dùng mô hình luồng dữ liệu.
 - 3) Dùng mô hình hành vi.
- 2. Thiết kế mạch giải mã 74138** (đặt tên biến có bù bằng cách thêm “_n” hay “_bar” phía sau, TD: ngõ ra $\overline{O7}$ có thể dùng danh hiệu **Q7_n** hay **Q7_bar**, dùng Q vì O dễ nhầm số 0).



Hãy viết mã Verilog với các cách sau:

- 1) Dùng mô hình cấu trúc.
 - 2) Dùng mô hình luồng dữ liệu.
 - 3) Dùng mô hình hành vi.
- 3. Cho trước mạch sau:**



Hãy viết mã Verilog mô tả mạch này với các cách sau:

- 1) Dùng mô hình cấu trúc.
- 2) Dùng mô hình luồng dữ liệu.
- 3) Dùng mô hình hành vi.

4. Cho trước mạch tổ hợp có hàm Boole sau:

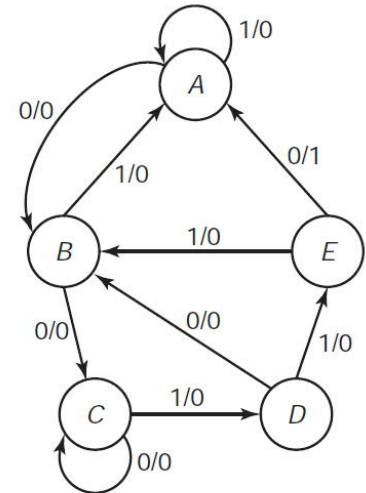
$$F(A, B, C, D) = \bar{C}\bar{D} + \bar{A}CD + BD$$

Viết mã Verilog mô tả mạch dùng

- a) mô hình luồng dữ liệu.
- b) mô hình hành vi với phát biểu **if ... else ...**
- c) mô hình hành vi với phát biểu **case**

Chú ý: Không cần viết lại các khai báo cổng cho các mô hình.

5. Dùng Verilog mô tả FSM có giản đồ trạng thái ở hình bên. Giả sử hệ có xung nhịp **clk** kích cạnh lên, ngõ vào **X**, ngõ ra **Y**, và ngõ điều khiển đồng bộ **Reset_n** tích cực thấp (Khi hệ bị Reset sẽ về trạng thái A).



6. Thiết kế mạch đếm lên có modulo chỉnh được (từ 1 đến 15), ngõ vào N dùng để chỉnh modulo.

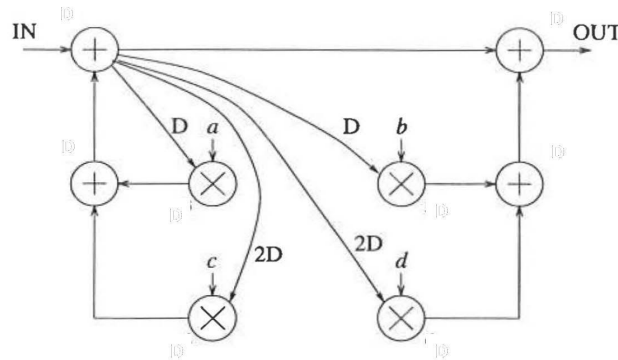
Thí dụ: N=5 thì ngõ ra Q có chuỗi đếm 0000, 0001, 0010, 0011, 0100, 0000.

Bộ đếm này dùng xung nhịp CLK tác động cạnh lên và có ngõ reset bất đồng bộ tích cực thấp.

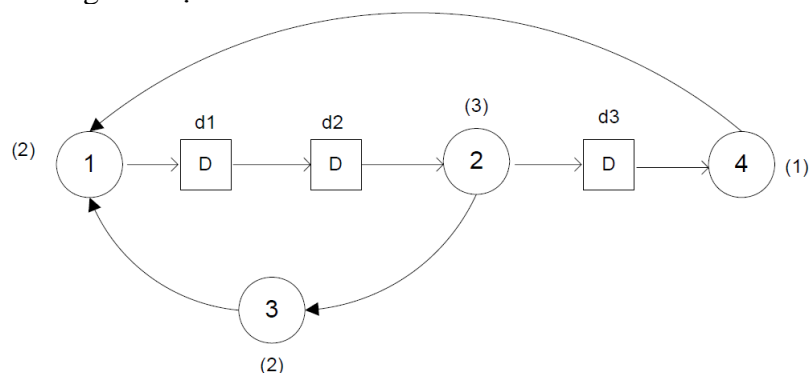
7. Ta cần thiết kế 1 mạch tuần tự đồng bộ có thể phát hiện chuỗi bit vào liên tiếp là 1010 (ngõ vào 1 bit nối tiếp) và khi có phát hiện thì ngõ ra sẽ là 1. Hãy viết mã Verilog với

- a) Máy trạng thái Moore.
- b) Máy trạng thái Mealy.

8. Hãy tìm đường tới hạn ***T_{critical}*** cho hệ sau, biết $T_M = 2T_A = 2u.t.$

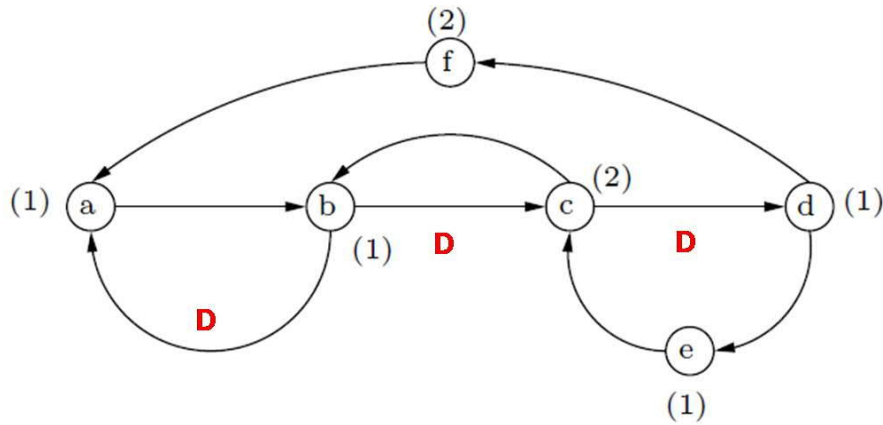


9. (Ch2. Prob 1) Với DFG trong hình 2.12, thời gian tính toán của nút được cho trong dấu ngoặc. Tính giới hạn lặp của DFG này bằng quan sát và giải thuật LPM.



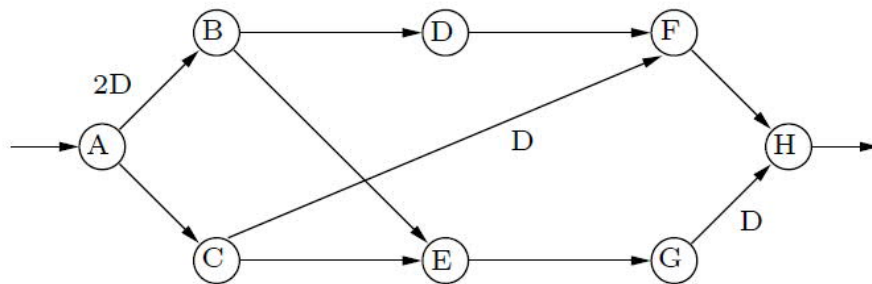
Hình 2.12

10. Cho trước DFG sau và thời gian tính toán của nút được ghi trong dấu ngoặc kế bên nút đó (đơn vị u.t.)



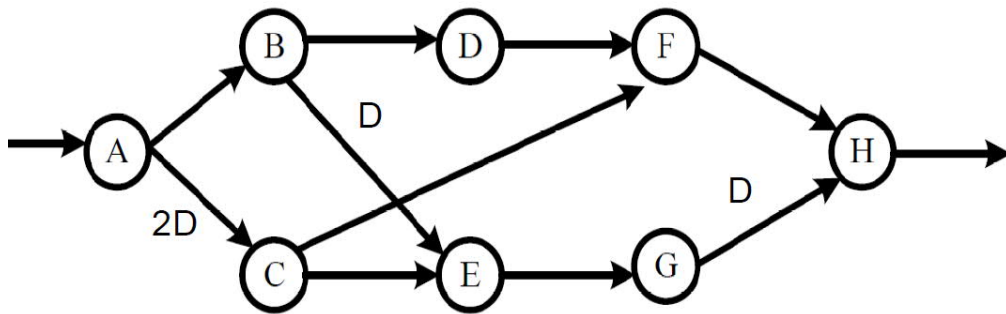
- Bảng quan sát tính các giới hạn vòng và giới hạn lặp.
- Tính lại giới hạn vòng bằng giải thuật LPM.

11. Xét DFG sau, giả sử thời gian tính toán tại mỗi nút là T.



- Vẽ và tính đường tới hạn của hệ này.
- Hãy tìm các nhất cắt thuận thích hợp để tạo đường ống làm cho hệ có đường tới hạn là T? Khi đó cần thêm bao nhiêu Delay (D) để tạo đường ống?

12. Xét DFG trong hình sau với thời gian cần cho mỗi phép toán tại mỗi nút là T:



- Tốc độ mẫu cực đại có thể đạt được trong hệ thống này là bao nhiêu? (chú ý: tốc độ mẫu = $1/T_{critical}$)
- Đặt các thanh ghi tạo đường ống tại các tập cắt thuận thích hợp (feed-forward cutset) để cho đường tới hạn $T_{critical}$ nhỏ nhất có thể được. Khi đó cần thêm bao nhiêu phần tử D nữa?
- Nếu chỉ có thể thêm 4 phần tử D cho pipeline thì tốc độ mẫu là bao nhiêu?

13. Một bộ lọc số được mô tả bởi phương trình sau:

$$y(n) = ax(n) + bx(n-2)$$

- Vẽ sơ đồ khối của mạch để cho chu kỳ xung nhịp $T_{CLK} = T_M + T_A$ (T_M là thời gian tính toán của bộ nhân và T_A là thời gian tính toán của bộ cộng):
- Thực hiện song song hệ này với kích thước khối là 2: Viết phương trình và vẽ hình.

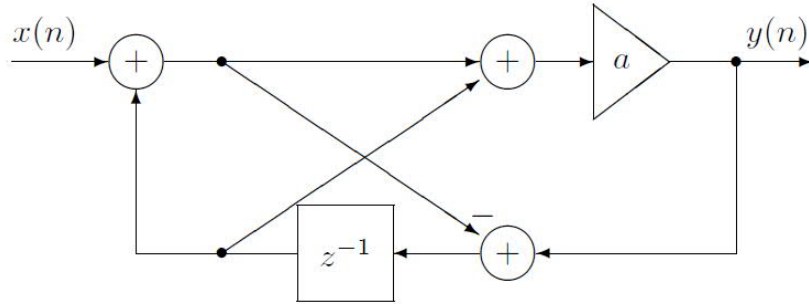
14. (Ch3. Prob 7) Xét bộ lọc FIR bậc 6:

$$y(n) = ax(n) + bx(n-4) + cx(n-6)$$

- Vẽ sơ đồ khối của mạch để cho chu kỳ xung nhịp $T_{CLK} = T_M + T_A$ (T_M là thời gian tính toán của bộ nhân và T_A là thời gian tính toán của bộ cộng)

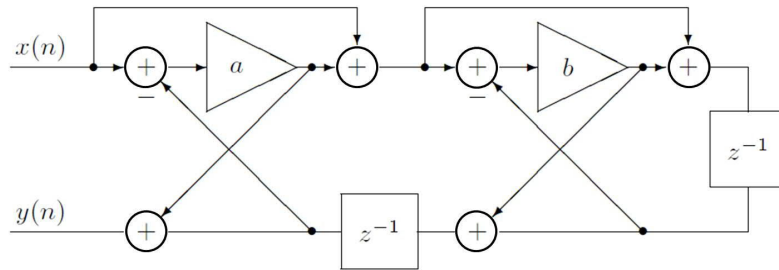
- b) Vẽ kiến trúc khối của cấu trúc a) với kích thước khối là 3. Sắp xếp lại kiến trúc này sao cho chu kỳ xung nhịp $T_{CLK} = (T_M + T_A)/4$. Giả sử rằng $T_M = 3T_A$.

15. Xét mạch lọc sau:



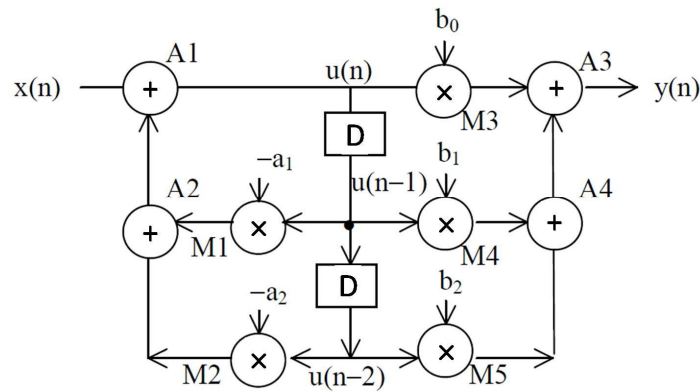
- Tìm biểu thức của $y(n)$. Từ đó suy ra hàm truyền của mạch lọc này.
- Vẽ DFG của mạch lọc. Giả sử thời gian tính toán của bộ cộng là $T_A = 1$ u.t. và bộ nhân là $T_M = 2$ u.t.
- Hãy tìm đường tới hạn $T_{critical}$ và giới hạn lặp T_{∞} cho DFG ở b).
- Tính lại T_{∞} dùng giải thuật LPM.

16. Xét mạch lọc sau:



- Vẽ DFG của mạch lọc. Giả sử thời gian tính toán của bộ cộng là $T_A = 1$ u.t. và bộ nhân là $T_M = 2$ u.t.
- Hãy tìm đường tới hạn $T_{critical}$ và giới hạn lặp T_{∞} cho DFG ở b).
- Tính lại T_{∞} dùng giải thuật LPM.

17. Xét bộ lọc số IIR sau:



Trong bộ lọc trên: a_1, a_2, b_0, b_1 , và b_2 là các hệ số bộ lọc; $A1-A4, M1-M5$ là nhãn của các bộ cộng (Adder) và các bộ nhân (Multiplier).

- Hãy vẽ DFG của sơ đồ khối này. Đánh nhãn các nút bằng $A1, M1, \dots$
- Hãy vẽ (các) đường tới hạn trên DFG và tính $T_{critical}$ theo T_A (thời gian tính toán của bộ cộng) và T_M (thời gian tính toán của bộ nhân).
- Giả sử $T_A = 1$ u.t. và $T_M = 2$ u.t., hãy tìm chu kỳ mẫu tối thiểu và giới hạn lặp T_{∞} .
- Tái định thì DFG để cho chu kỳ mẫu = T_{∞} trong khi vẫn giữ số thanh ghi nhỏ nhất có thể được.

18. Một bộ lọc FIR có cài đặt dạng trực tiếp sau:

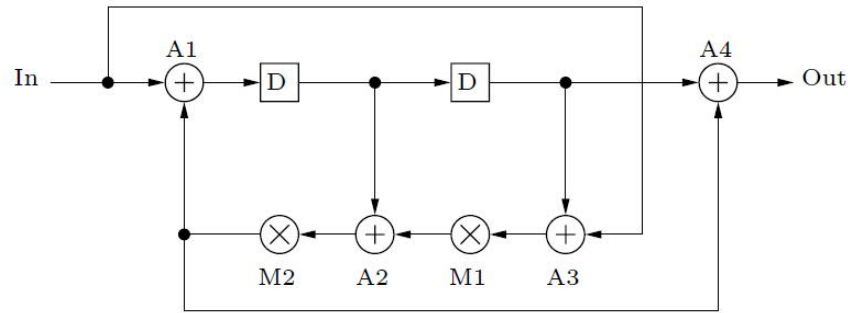
$$y(n) = ax(n) + bx(n-2) + cx(n-3)$$

Giả sử thời gian tính toán cho phép cộng-nhân là T .

- Tạo đường ống cho bộ lọc này để chu kỳ xung nhịp xấp xỉ là T .

- b) Thực hiện song song với kích thước khối là 3. Tạo đường ống cho bộ lọc này để chu kỳ xung nhịp là T . Tốc độ mẫu của hệ này là bao nhiêu?
- c) Tạo đường ống cho bộ lọc có được từ b) sao cho chu kỳ xung nhịp là $T/2$. Tốc độ mẫu bây giờ là bao nhiêu?

19. Cho trước mạch lọc số sau:



- a) Vẽ DFG của mạch này.
- b) Hãy tìm đường tới hạn $T_{critical}$ và giới hạn lặp T_{∞} bằng quan sát cho DFG ở a). Giả sử thời gian tính toán của bộ cộng là $T_A=2$ u.t. và bộ nhân là $T_M=3$ u.t.
- c) Tính lại T_{∞} dùng giải thuật LPM (đánh số thứ tự các phần tử D theo thứ tự từ trái sang phải).