










2023 FPGA 助教課說明










壹、 課程說明

本實驗課使用 Xilinx Artix-7 EGO1 作為教學 FPGA 板子，在本課程中能學到基本 FPGA 使用與如何使用硬體描述語言設計硬體，希望本學期課程對大家會有幫助。

貳、 課程安排

-  Week 1(03.22) : Lab0_Introduce+Lab1_Flash_LED
-  Week 2(04.12) : Lab2_Seg7+Switch
-  Week 3(04.19) : Lab3_One_Shot_Pulse+Midterm introduction
-  Week 4(04.26) : Lab4_Midterm
-  Week 5(05.03) : Lab4_Midterm
-  Week 6(05.10) : Lab5_VGA+ Final introduction
-  Week 7(05.17) : Lab6_Advance_VGA
-  Week 8(05.24) : Lab7_Final+Bonus Introduction
-  Week 9(05.31) : Flexible time

參、 成績占比

-  Lab1 - 10%
-  Lab2 - 10%
-  Lab3 - 10%
-  Lab4 - 20%
-  Lab5 - 10%
-  Lab6 - 10%
-  Lab7 - 20%
-  Attendance – 10%
-  Bonus -10% (At most)

總分：110 分

肆、 助教安排

🌈 Lab0、Lab1、Lab4、Lab7：林軒宇

🌈 Lab2：施承良

🌈 Lab3：李御恩

🌈 Lab5：楊育承

🌈 Lab6：鄭淳中

伍、 注意事項

1. 由於 FPGA 修課人數過多，將會分成晚上班與下午班，晚上班與下午班 **不可自行互換**，如需調換，需寄信經過老師同意
2. 上課時拿 FPGA 板作為點名，下課需歸還 FPGA
3. 如果要提早走，**需要做完本週 Lab 才能走**
4. 本課程不允許抄襲，**抓到抄襲者，該 Lab 零分**
5. **FPGA 板不外借**(若太多同學反應做不完，將額外開投票時間安排教室讓大家使用)

陸、 成績計算

1. 成績計算按照完成順序給分(**Midterm 與 Final 除外**)

	完成順序	成績
區間 A	一小時內	100%
區間 B	二小時內	90%
區間 C	二小時後~	80%
區間 D	遲交 1 週	70%
區間 E	遲交 2 週後~	60%

遲交兩週後均算區間 E

舉例：

學生甲在 Lab 1 拿區間 A，Lab 2 拿區間 E，分數計算如下：

Lab 1： $10 \times 100\% = 10$ 分

Lab 2： $10 \times 60\% = 6$ 分

其他 Lab 同此計算方式。

2. Midterm 與 Final 評分方式會在 Lab3 與 Lab5 時宣告

Midterm 與 Final 需要繳交 code(主要用來檢測是否有 Code 抄襲)，若抓到抄襲，該 Lab 0 分。

3. Bonus point 將在 Midterm 與 Final 題目中給出，請大家把握加分機會。

4. Midterm 繳交日期：112 年 5 月 17 以前(在這之前都可以在課堂課驗)

5. Final 繳交日期：112 年 6 月 18 以前