

CAD/VLSI Circuit Design 期末報告構想說明

Fixed point QR decomposition using CORDIC Algorithms on FPGA with systolic array

7111064109 林軒宇 指導教授 范志鵬

一、 簡介

QR 分解是數值線性代數中具備多種用途的計算工具，主要應用於線性方程、最小平方法和特徵值問題。常見的 QR 分解的計算方法包括 Householder 變換、Givens rotation 以及 Gram-Schmidt 正交法。本文使用 given rotation 搭配 CORDIC Algorithms。

本次實作採用 8×4 矩陣，每個數字大小定義在 $\pm 0.25 \sim \pm 1$ ，預期得到一組 8×4 的上三角矩陣 R。實驗流程為先使用 MATLAB 估算預期使用 **定點數(fixed point)** 的長度(浮點數與定點數的誤差需足夠小)以及 iteration 的次數，再將 MATLAB 生成的隨機 8×4 矩陣以定點數格式匯入 verilog，並將 verilog 算出答案與 matlab 算出答案做比較，最後使用 FPGA 做驗證。

二、 理論

➤ given rotation 說明

$$x' = x \cos \phi - y \sin \phi$$

$$y' = y \cos \phi + x \sin \phi$$

找到角度 Φ 使得 $y' = 0$ ，以圖一為例， $a_{1,1}$ 為 x' 、 $a_{2,1}$ 為 y' ，找出角度 Φ 後，需將右側同一列的數值皆經過同樣的旋轉矩陣運算(原理同基本矩陣第二定理)，之後依序將 $a_{3,1}$ 、 $a_{4,1}$... 變成 0，直到第一行除了 $a_{1,1}$ 外均變成 0。同理第二行，將 $a_{2,2}$ 為 x' 、 $a_{3,2}$ 為 y' 進行相同動作，直到第二行除了 $a_{2,2}$ 外皆變 0。持續到第 n 行(最後一行)，即可得到上三角矩陣 R。

$$\begin{bmatrix} & \textcolor{red}{1} & \textcolor{red}{2} & \textcolor{red}{3} & & \\ \textcolor{blue}{1} & a_{1,1} & a_{1,2} & a_{1,3} & \dots & \\ \textcolor{blue}{2} & a_{2,1} & a_{2,2} & a_{2,3} & \dots & \\ \textcolor{blue}{3} & a_{3,1} & a_{3,2} & a_{3,3} & \dots & \\ & \vdots & \vdots & \vdots & \ddots & \end{bmatrix}$$

(圖一)given rotation 範例圖

➤ 使用 CORDIC 達成 given rotation

$$x' = \cos \phi \cdot [x - y \tan \phi]$$

$$y' = \cos \phi \cdot [y + x \tan \phi]$$

先將 $\cos \phi$ 提出，接著限制 $\tan(\phi) = \pm 2^{-i}$ ，即可將算式簡化如下：

$$x_{i+1} = K_i [x_i - y_i \cdot d_i \cdot 2^{-i}] \quad K_i = \cos(\tan^{-1} 2^{-i}) = 1/\sqrt{1+2^{-2i}}$$

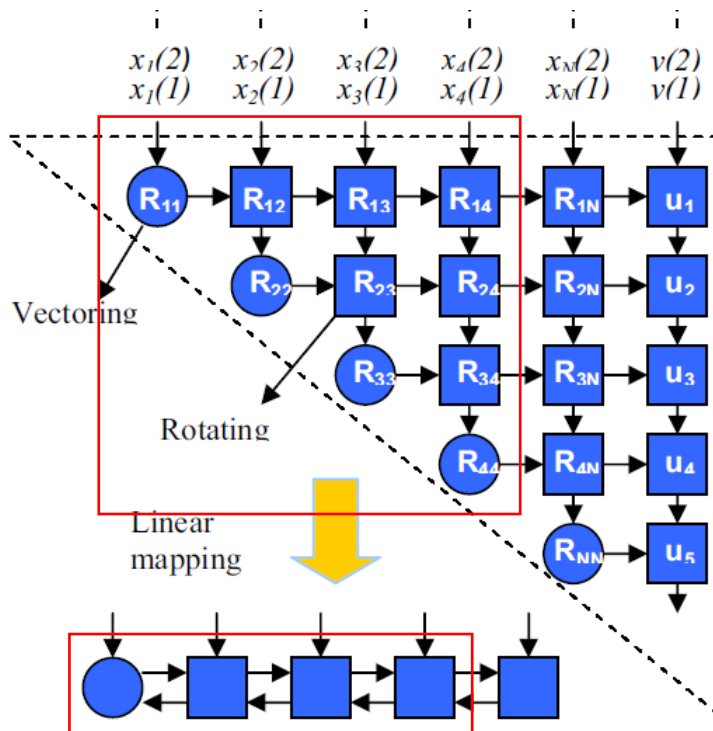
$$y_{i+1} = K_i [y_i + x_i \cdot d_i \cdot 2^{-i}] \quad d_i = \pm 1$$

為了簡化運算量，將每次的運量係數省略，最後再乘上所有系數的乘積和 (A_N)

$$A_n = \prod_n \sqrt{1+2^{-2i}}$$

n 為疊代的次數

➤ systolic array



(圖二) systolic array 範例圖

由於本次實作我們使用 8×4 矩陣，所以我們需要使用 10 顆 PE 元件(即上圖紅色框)

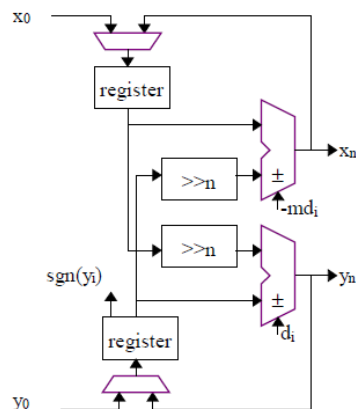
分別為 4 顆 vectoring、6 顆 rotating

Vectoring: 負責決定旋轉角度(以 CORDIC 而言，用來決定 d 的正負號)

Rotating: 收到 Vectoring 傳的值後，進行 given rotation

三、 硬體架構

➤ CORDIC 架構(PE 元件)



➤ input

X_0 word length : 16bits(fixed points)

Y_0 word length : 16bits(fixed points)

➤ output

X_n word length : 16bits(fixed points)

Y_n word length : 16bits(fixed points)

四、 硬體規格

Hardware	
FPGA	Zedborad
Clock	100MHZ
Memory	512 MB DDR3
	256 Mb QSPI Flash

五、 參考文獻

- [1] FPGA based Embedded Processing Architecture for the QRD-RLS Algorithm
Deepak Boppana, Kully Dhanoa, Jesse Kempa, Altera Corporation, San Jose CA
- [2] FPGA based Embedded Processing Architecture for the QRD-RLS Algorithm
Deepak Boppana, Kully Dhanoa, Jesse Kempa Altera Corporation, San Jose CA