**CAD/VLSI Circuit Design 期末報告構想說明**

**Fixed point QR decomposition using CORDIC Algorithms on FPGA with systolic array**

**7111064109 林軒宇 指導教授 范志鵬**

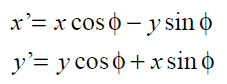
# 簡介

QR 分解是數值線性代數中具備多種用途的計算工具，主要應用於線性方程、最小平方法和特徵值問題。常見的 QR 分解的計算方法包括 Householder 變換、Givens rotation以及 Gram-Schmidt 正交法。本文使用given rotation搭配CORDIC Alogorithms。

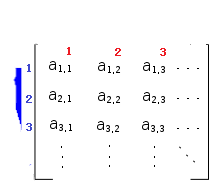
本次實作採用8\*4矩陣，每個數字大小定義在，預期得到一組8\*4的上三角矩陣R。實驗流程為先使用MATLAB估算預期使用定點數(fixed point)的長度(浮點數與定點數的誤差需足夠小)以及iteration的次數，再將MATLAB生成的隨機8\*4矩陣以定點數格式匯入verilog，並將verilog算出答案與matlab算出答案做比較，最後使用FPGA做驗證。

# 理論

## given rotation說明

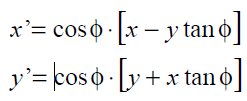
****

找到角度Φ使得y’= 0，以圖一為例，**a1,1**為x’、**a2,1**為y’，找出角度Φ後，需將右側同一列的數值皆經過同樣的旋轉矩陣運算(原理同基本矩陣第二定理)，之後依序將**a3,1**、**a4,1**…變成0，直到第一行除了**a1,1**外均變成0。同理第二行，將**a2,2**為x’、 **a3,2**為y’進行相同動作，直到第二行除了**a2,2**外皆變0。持續到第n行(最後一行)，即可得到上三角矩陣R。

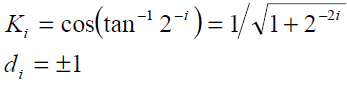
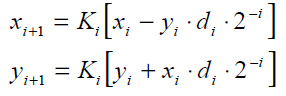


(圖一)given rotation範例圖

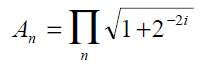
## 使用CORDIC達成given rotation



先將提出，接著限制，即可將算式簡化如下：

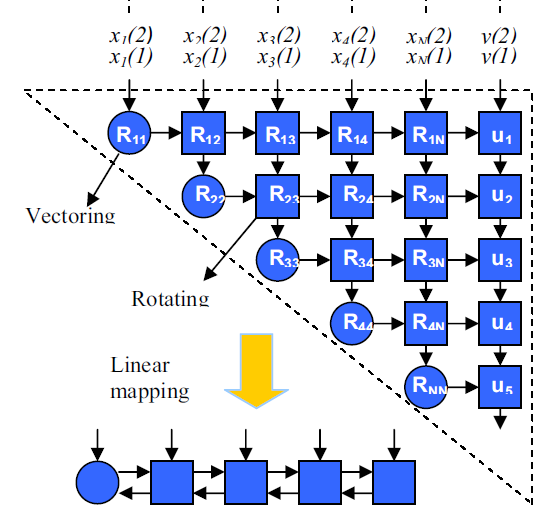
****

為了簡化運算量，將每次的運量係數省略，最後再乘上所有系數的乘積和(AN)



n為疊代的次數

## sytolic array



(圖二) sytolic array範例圖

由於本次實作我們使用8\*4矩陣，所以我們需要使用10顆PE元件(即上圖紅色框)

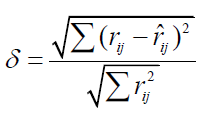
分別為4顆vectoring、6顆rotating

Vectoring:負責決定旋轉角度(以CORDIC而言，用來決定d的正負號)

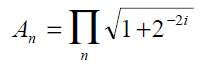
Rotating:收到Vectoring傳的值後，進行given rotation

# **MATLAB驗證**

## 定義δfunction



## 選定iteration number(n) = 8



根據上文所述，*Ａn* 係數如上，將n=8帶入，可得到*Ａ8* =0.6074，將其重新定義為係數K

## 選定fixed point length

--Fixed point數由三個元素構成

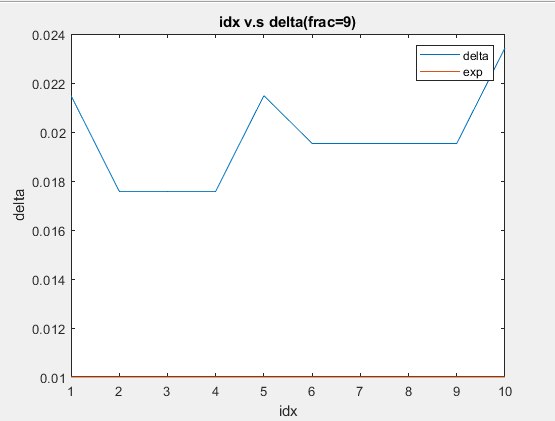
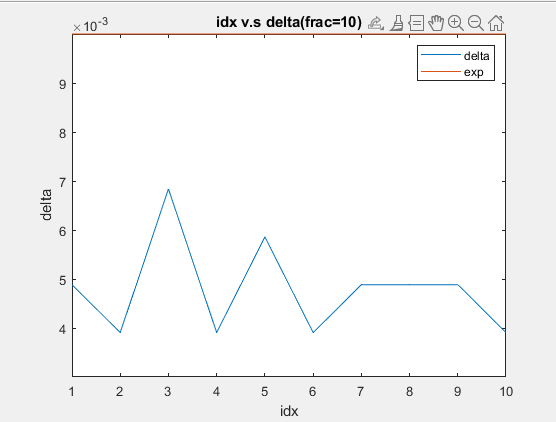
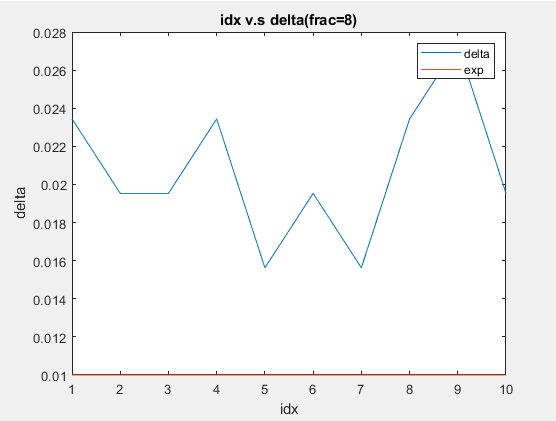
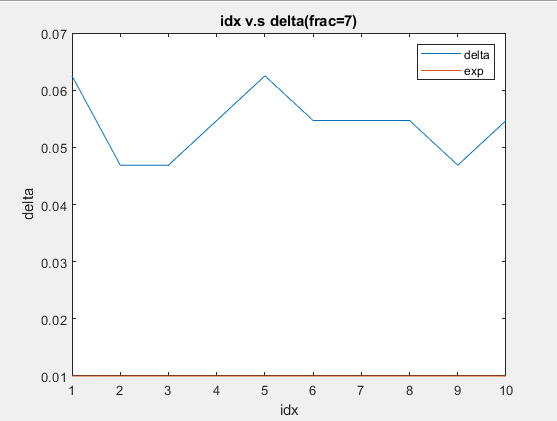
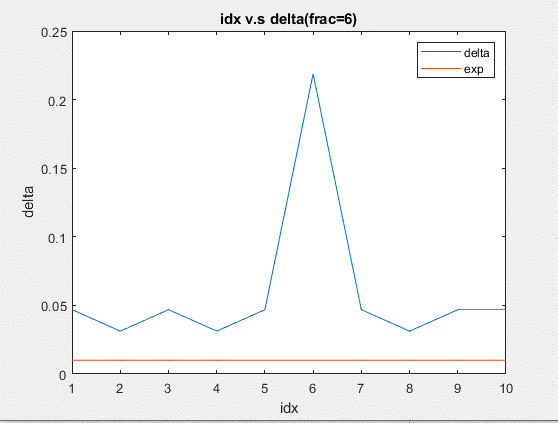
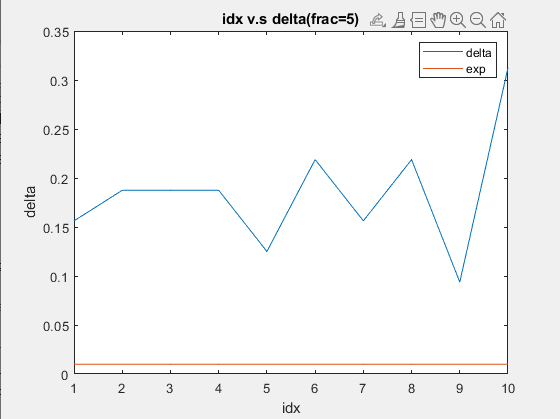
* Sign bit ( 1 bit)
* Decimal bit ( 2 bit)
* Fraction bit(10 bit)

--Decimal bit找法

先將Decimal bit設定為5 bit，接著進行QR分解，觀察整數部分最大值，最終發現Decimal bit僅需2 bit。

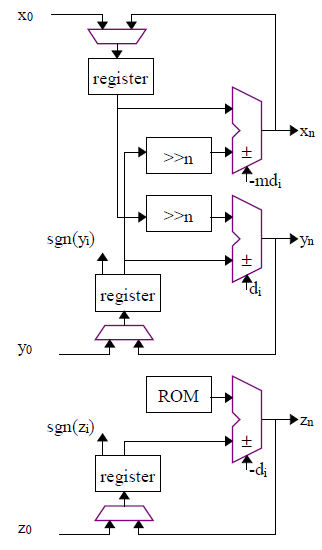
--Fraction bit找法

先將Fraction bit設定為5 bit，皆著連續測試10組δ值，找出滿足δ<0.01的最小Fraction bit數，最終測出Fraction bit最小需要10 bit。測試結果如下：



# 架構

## 論文中架構



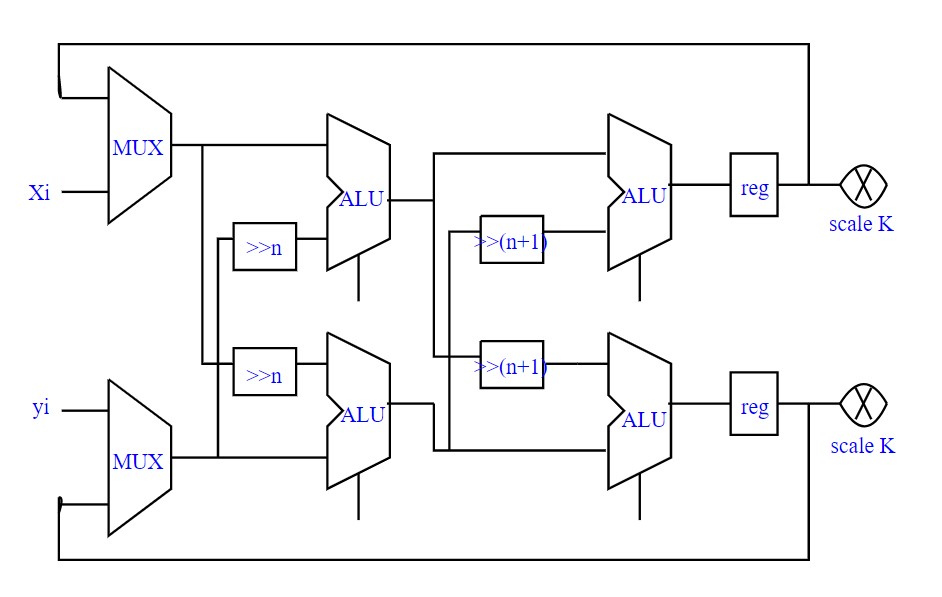
，n為第n次iteration，

Shifter代表乘上2-I

--一顆PE使用硬體個數

* (ALU加法器、pipeline register、Multiplixer)\*2
* 位移器\*7 (n從0~7)

## 本文架構



dn

dn

dn+1

dn+1

yi+1

Xi+1

由前文可知K=0.6074(共11 bits, sign bit：1, fraction bit：10)

所以critical path為使用乘法器的cycle，為了使每個cycle計算花費時間較相近，我們將原先一個cycle做一個shifter改為2個，除了能改善performance外，也能改善速度瓶頸(bottleneck)

--一顆PE使用硬體個數

* (ALU加法器、pipeline register、Multiplixer)\*2
* 位移器\*7 (n=0,2,4,6)[共經過8次疊代]

## FPGA規格

|  |  |
| --- | --- |
| Hardware | |
| FPGA | Zedborad |
| Clock | 100MHZ |
| Memory | 512 MB DDR3 |
| 256 Mb QSPI Flash |

# 參考文獻

1. FPGA based Embedded Processing Architecture for the QRD-RLS Algorithm

Deepak Boppana, Kully Dhanoa, Jesse Kempa, Altera Corporation, San Jose CA

1. FPGA based Embedded Processing Architecture for the QRD-RLS Algorithm Deepak

Boppana, Kully Dhanoa, Jesse Kempa Altera Corporation, San Jose CA