**CAD/VLSI Circuit Design VLSI 期末構想報告書補充**

**Fixed point QR decomposition using CORDIC Algorithms on FPGA with systolic array**

**7111064109 林軒宇 指導教授 范志鵬**

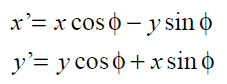
# 簡介

QR 分解是數值線性代數中具備多種用途的計算工具，主要應用於線性方程、最小平方法和特徵值問題。常見的 QR 分解的計算方法包括 Householder 變換、Givens rotation以及 Gram-Schmidt 正交法。本文使用given rotation搭配CORDIC Alogorithms。

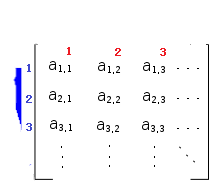
本次實作採用8\*4矩陣，每個數字大小定義在，預期得到一組8\*4的上三角矩陣R。實驗流程為先使用MATLAB估算預期使用定點數(fixed point)的長度(浮點數與定點數的誤差需足夠小)以及iteration的次數，再將MATLAB生成的隨機8\*4矩陣以定點數格式匯入verilog，並將verilog算出答案與matlab算出答案做比較，最後使用FPGA做驗證。

# 理論

## given rotation說明

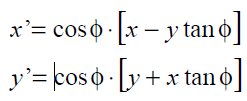
****

找到角度Φ使得y’= 0，以圖一為例，**a1,1**為x’、**a2,1**為y’，找出角度Φ後，需將右側同一列的數值皆經過同樣的旋轉矩陣運算(原理同基本矩陣第二定理)，之後依序將**a3,1**、**a4,1**…變成0，直到第一行除了**a1,1**外均變成0。同理第二行，將**a2,2**為x’、 **a3,2**為y’進行相同動作，直到第二行除了**a2,2**外皆變0。持續到第n行(最後一行)，即可得到上三角矩陣R。

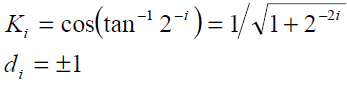
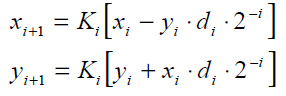


(圖一)given rotation範例圖

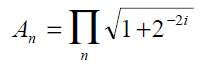
## 使用CORDIC達成given rotation



先將提出，接著限制，即可將算式簡化如下：

****，

為了簡化運算量，將每次的運量係數省略，最後再乘上所有系數的乘積和(AN)

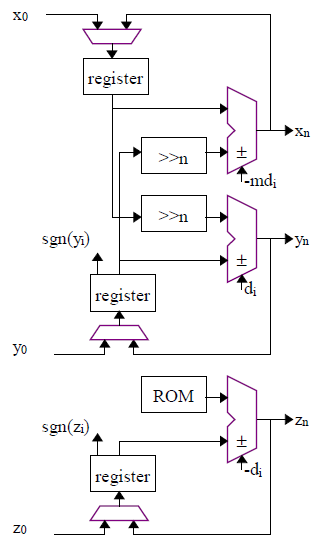
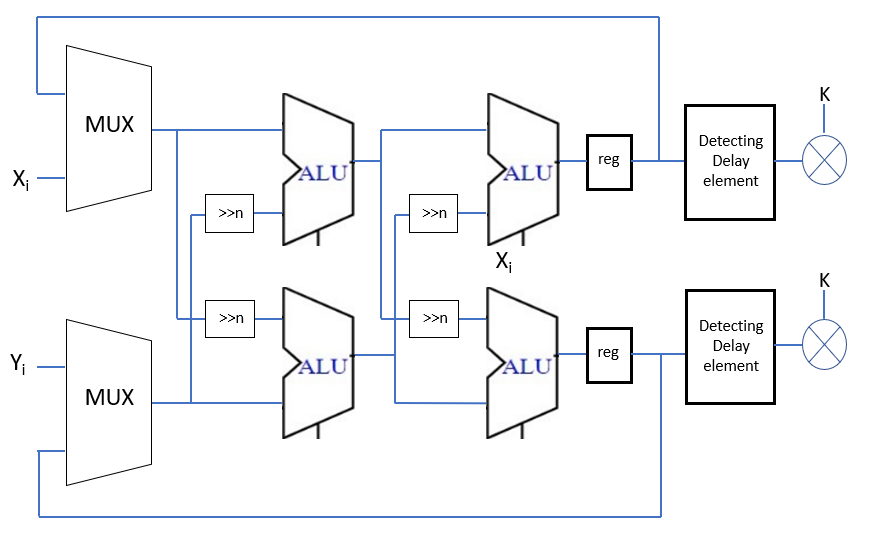


n為疊代的次數

# 架構改良

## 改良一： PE Element改良

(圖二)為論文中一顆PE元件的架構，(圖三)為改良後一顆PE元件的架構，最大的改進在於完成一次計算所需花的CLK數變原先的一半(unfolding factor(J)=2)。缺點為會增加Critical path，但此架構的Critical path為乘法器，因此可以近乎無代價的提高Performance

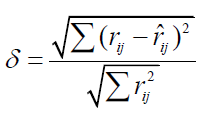
 

(圖二) (圖三)

## 改良二：input size改良

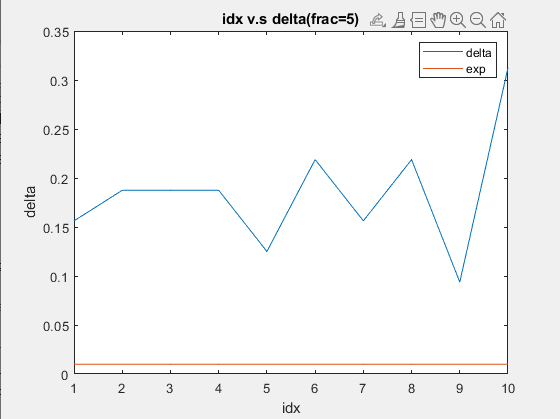
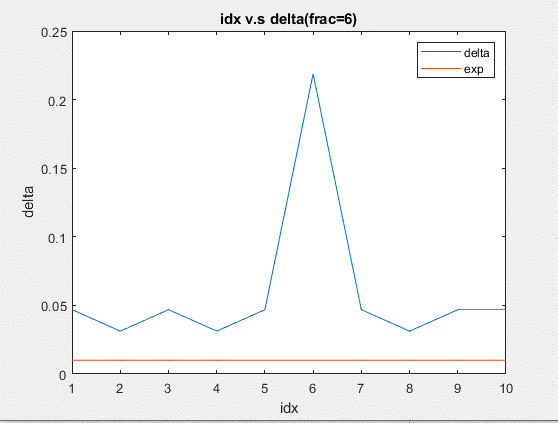
原論文疊代次數n為9，為了使用上文圖三架構，我們須選擇偶數次疊代次數，因此此文選用疊代次數(n)為8。此外原論文每個input為16bits，此文將每個input改為13bits(1 sign bit, 2 decimal bits, 10 fraction bits)，找法如下文。

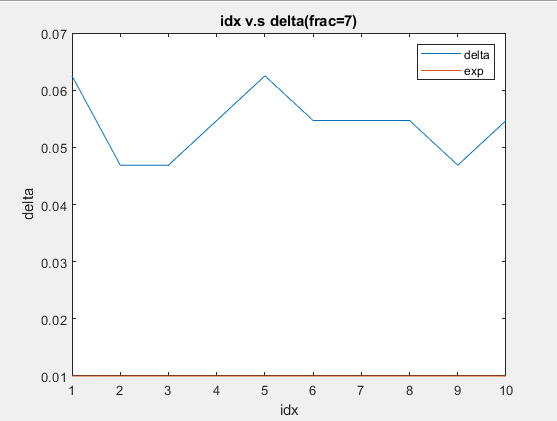
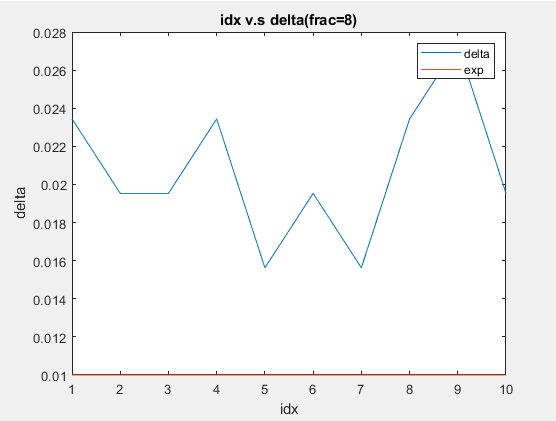
首先定義delta凾式如下：

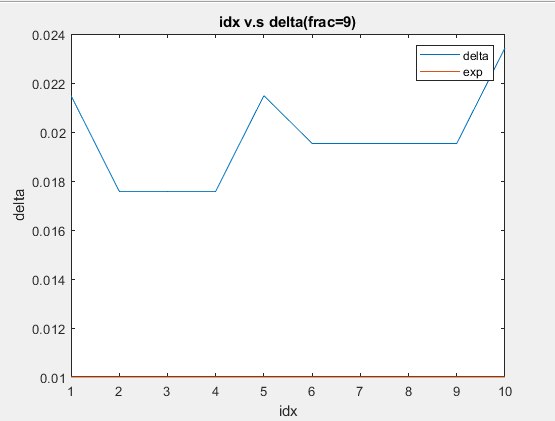
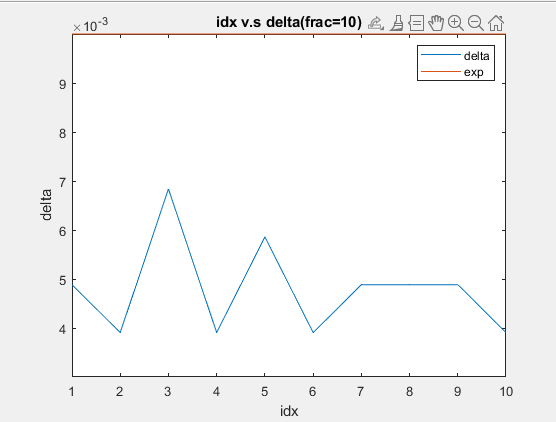


接著使用matlab畫圖，做法如下：

先將Fraction bit設定為5 bit，皆著連續測試10組δ值，如果不滿足δ<0.01，就將Fraction bit加１，結果如下圖：



橫軸為delta值，縱軸為index(從1~10)，由上圖可以看出唯有Fraction bit=10時，delta值會小於0.01，最終測出Fraction bit最小需要10 bit。

## 改良三：systolic array 改良

(圖四)為原論文架構，(圖五)為改良版架構，改良版為pipeline版本，在高頻下也可以成功運作。由於R22與R12間有資料相依，中間需要加delay，delay數由疊代次數(n)與J(unfolding factor)有關，算式如下：

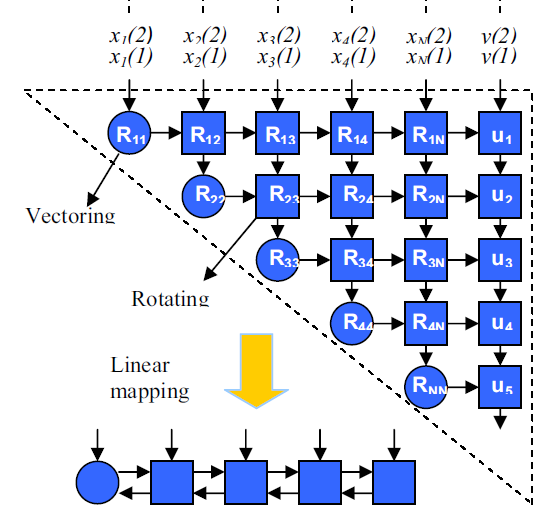
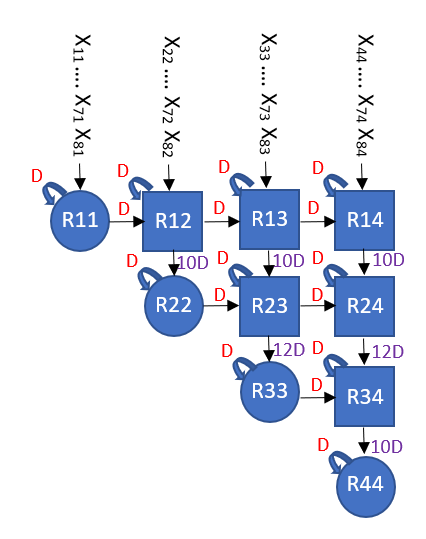
Delay >= (n/J+1)\*2

n/J為Xij執行Rotation mode的次數，加1為乘法器，乘2為有兩級資料相依。

舉例：以X72、X82為例，R22執行需等到R12執行完X72、X82才能計算。

同理(R13,R23)、(R14,R24)、(R34,R44)。

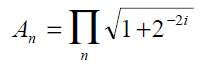
(R23,R33)、(R24,R34)多delay兩級目的為使用pipline技巧，讓原先需要八顆乘法器降成4顆乘法器。最後結果如(圖五)。

(圖四) (圖五)

## 改良四：重新定義K

從前文理論中，我們可以得知An如下：



其中n為疊代次數，將n=8帶入，並將其重新定義成K，可得結果如下：

K=0.6074

最後將其轉為FIXED POINT(共11 bits, sign bit：1, fraction bit：10)

# 參考文獻

### FPGA based Embedded Processing Architecture for the QRD-RLS Algorithm Deepak Boppana, Kully Dhanoa, Jesse Kempa Altera Corporation, San Jose CA

### A survey of CORDIC algorithms for FPGA based computers Ray Andraka Andraka Consulting Group,Inc 16 Arcadia Drive North Kingstown, RI 02852 401/884-7930 FAX 401/884-7950