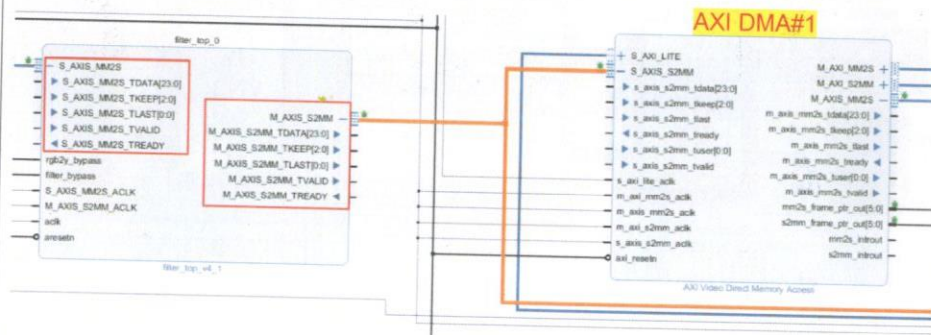
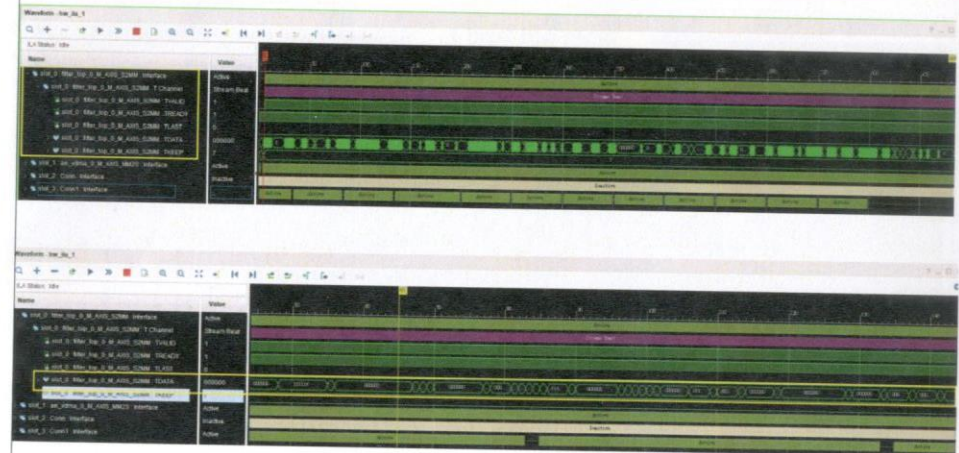


Debug Sobel Filter(AXI DMA#2)



142

Sobel Filter(AXI DMA#2)



143

Sobel Filter Verilog Source Code

mipi_2_pixel > project_1 SBFILTER

名称	修改日期	類型	大小
xgui	2019/8/12 下午 03:46	檔案資料夾	
component.xml	2019/8/12 下午 03:44	XML Document	31 KB
filter_core.v	2019/8/12 下午 02:45	V 檔案	26 KB
filter_linebuf_i.v	2014/7/16 下午 04:45	V 檔案	3 KB
filter_linebuf_o.v	2014/7/16 下午 04:44	V 檔案	2 KB
filter_rst_if.v	2014/6/18 下午 03:17	V 檔案	1 KB
filter_top.v	2019/8/12 下午 02:41	V 檔案	5 KB
INPUT_STREAM_if.v	2019/8/12 下午 02:42	V 檔案	8 KB
OUTPUT_STREAM_if.v	2019/8/12 下午 02:42	V 檔案	7 KB

144

Line Buffer(SRAM)

```

10 module i_linebuf {
11     CLK, AA, CEA, WEA, D, AB, CEB, Q;
12
13     parameter DBITS = 16;
14     parameter ABITS = 11;
15     parameter ASIZE = 1024;
16
17     input [ABITS - 1:0] CLK;
18     input [ABITS - 1:0] CEA;
19     input [ABITS - 1:0] WEA;
20     input [DBITS - 1:0] D;
21     input [ABITS - 1:0] AB;
22     input [ABITS - 1:0] CEB;
23     output [DBITS - 1:0] Q;
24
25     (* ram_style = "block" *) reg [DBITS-1:0] ram [ASIZE-1:0];
26
27     reg [DBITS - 1:0] Q;
28
29     //assign Q = CEB ? ram[AB] : 0;
30
31     always @(posedge CLK)
32     begin
33         if (CEB)
34             Q <= ram[AB];
35     end
36
37     always @(posedge CLK)
38     begin
39         if (CEA)
40             begin
41                 if (WEA)
42                     ram[AA] <= D;
43             end
44     end
45 endmodule // i_linebuf

```

145