



STIKOM BALI

# ORGANISASI KOMPUTER

## Materi 7: Pipelining

I Nyoman Kusuma Wardana  
Sistem Informasi STMIK STIKOM Bali

# MATERI PERKULIAHAN

---

- **Pendahuluan**
- **Instruction Pipeline**





STIKOM BALI

# **PENDAHULUAN**

# PENDAHULUAN

- Terdapat 2 teknik dasar utk meningkatkan kecepatan eksekusi dr prosesor, sbb:
  1. Meningkatkan **kecepatan clock** → shg menurunkan waktu eksekusi
  2. Meningkatkan **jumlah instruksi** yg dpt dikerjakan scr bersama
- **Pipeline** → salah satu contoh solusi kedua

# PENDAHULUAN

## Konsep umum pipeline

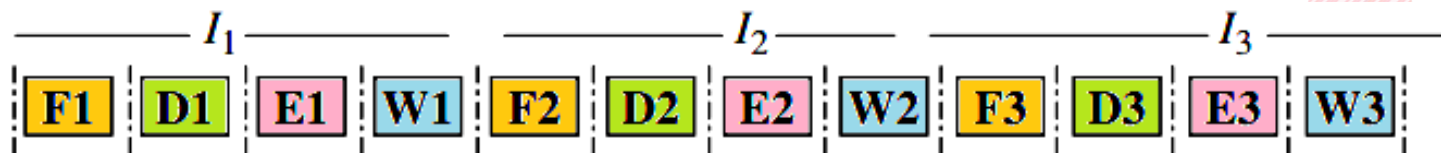
- **Pipeline** → teknik utk **membagi tugas** (*task*) dr suatu urutan eksekusi menjadi bbrp *sub-task*
- Setiap **sub-task** dijalankan berdasarkan **fungsi unit** tertentu
- Setiap **unit** terkoneksi **scr seri** dan semuanya dijalankan secara **simultan**

# PENDAHULUAN

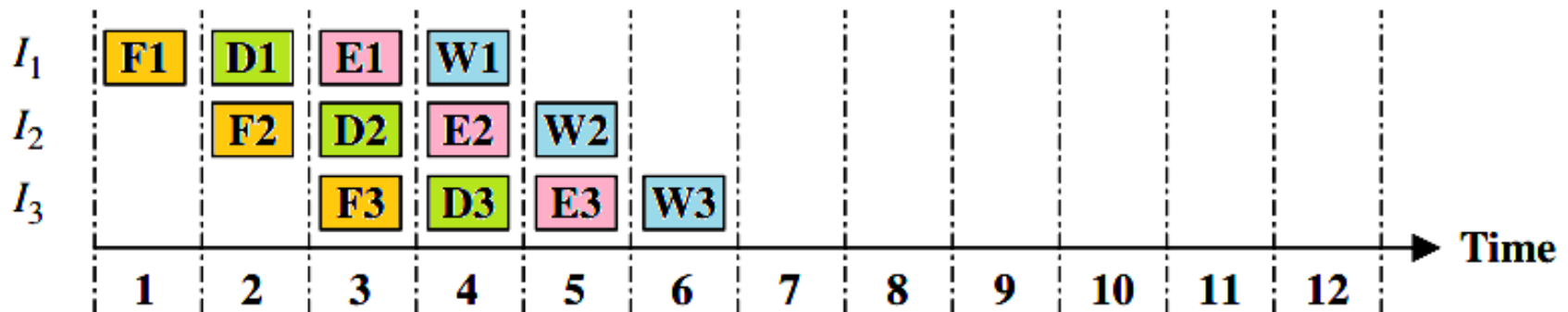
- **Pipeline** → **meningkatkan kinerja** (performa) drpd urutan scr tradisional
- Misal terdapat bbrp tahap, sbb:
- **Fetching** → **membaca** instruksi
- **Decoding** → **menterjemahkan** instruksi
- **Execution** → **menjalankan** instruksi
- **Writing** → **menulis** (menyimpan) hasil

# PENDAHULUAN

- Bandingkan penggunaan **pipeline** & **proses sekuensial** (tradisional), sbb:



(a) Proses Sekuensial

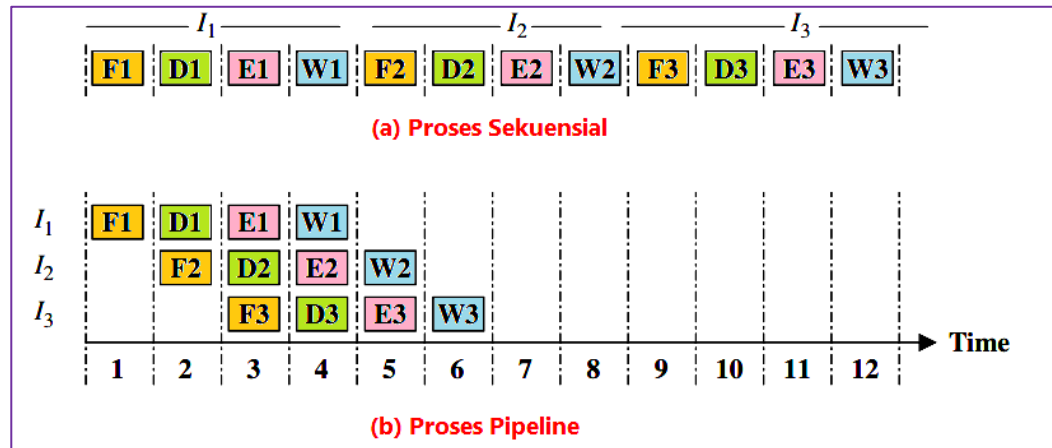


(b) Proses Pipeline

Pipeline & proses sekuensial



# PENDAHULUAN



- **Proses sekuensial** → total waktu yg dibutuhkan utk memproses 3 instruksi ( $I_1$ ,  $I_2$ ,  $I_3$ ) = 12 unit waktu
- **Pipeline** → hanya 6 unit
- Kemungkinan menghemat **sampai 50%** dr total wkt eksekusi dpt diperoleh



# PENDAHULUAN

- Gantt's chart → **tabel waktu** yg digunakan utk mengukur kinerja pipeline dlm urutan tugas (task)
- Amati contoh, sbb:

$U_4$				$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$I_8$	$I_9$	$I_{10}$
$U_3$			$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$I_8$	$I_9$	$I_{10}$	
$U_2$		$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$I_8$	$I_9$	$I_{10}$		
$U_1$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$I_8$	$I_9$	$I_{10}$			
	1	2	3	4	5	6	7	8	9	10	11	12	13

Time →

# PENDAHULUAN

$U_4$				$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$I_8$	$I_9$	$I_{10}$
$U_3$			$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$I_8$	$I_9$	$I_{10}$	
$U_2$		$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$I_8$	$I_9$	$I_{10}$		
$U_1$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$I_8$	$I_9$	$I_{10}$			
	1	2	3	4	5	6	7	8	9	10	11	12	13
	Time												

- **Sumbu vertikal** = sub-unit (dlm hal ini sjumlah 4)
- **Sumbu horizontal** = unit waktu
- Pd tabel **Gantt** → diasumsikan bahwa waktu (T) yg dibutuhkan setiap sub-unit utk mnjalankan tugas adlh **sama** (dikenal sbg **time unit**)

# PENDAHULUAN

- Terdapat 3 parameter utk **mengukur kinerja dr pipeline**:
  1. **Speed-up**  $S(n)$
  2. **Throughput**  $U(n)$
  3. **Efficiency**  $E(n)$
- Asumsi bahwa dlm analisis ini:  
Unit time  $T = t$  unit

# PENDAHULUAN

## Speed-up, $S(n)$

- Asumsi **jmlh task** (instruksi) =  $m$ , dgn menggunakan  $n$ -tahap pipeline
- Maka utk menyelesaikan  $m$  task diperlukan waktu selama  $n + m - 1$

$$\begin{aligned} \bullet \text{ Speed - up } S(n) &= \frac{\text{Waktu menggunakan proses sekuensial}}{\text{Waktu menggunakan pipeline}} \\ &= \frac{m \times n \times t}{(n + m - 1) \times t} \\ &= \frac{m \times n}{n + m - 1} \end{aligned}$$

# PENDAHULUAN

## Throughput, $U(n)$

- Adalah **jumlah task** yg dieksekusi **per unit waktu**

- $$\begin{aligned} \text{Throughput } U(n) &= \frac{\text{Jumlah task}}{\text{Unit waktu}} \\ &= \frac{m}{(n+m-1) \times t} \end{aligned}$$

# PENDAHULUAN

## Efficiency, $E(n)$

- Adalah **perbandingan kecepatan aktual terhadap kecepatan maksimum**

- $$\begin{aligned} \text{Efficiency } E(n) &= \frac{\text{Speed-up}}{n} \\ &= \frac{m}{n+m-1} \end{aligned}$$





STIKOM BALI

# **INSTRUCTION PIPELINE**



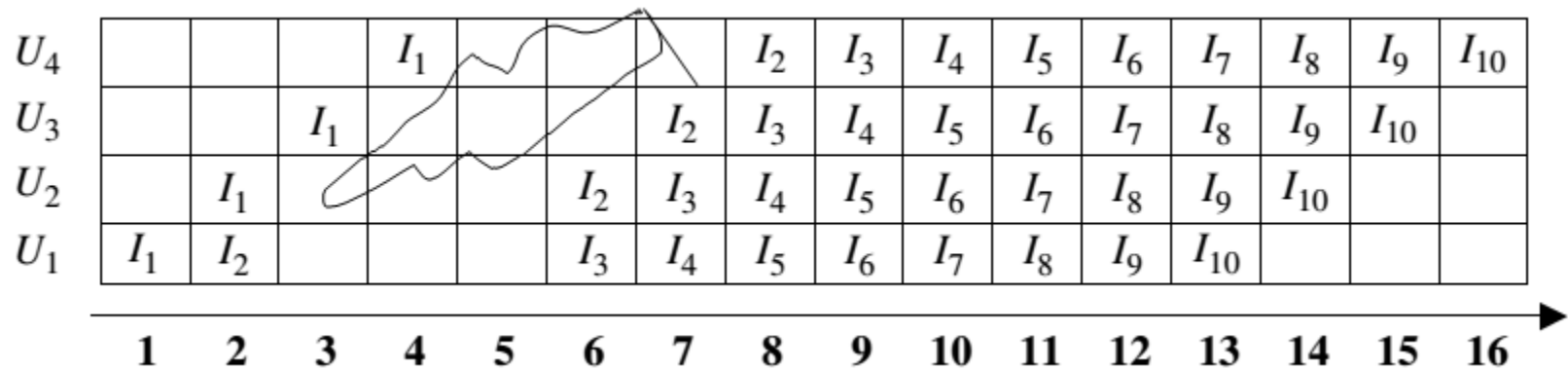
# INSTRUCTION PIPELINE

## Pipeline Stall

- **Pipeline** mnjd **stall** jika 1 unit **membutuhkan waktu lebih lama** dlm menjalankan fungsinya
- Keadaan ini **memaksa** unit lain utk **idle**
- **Contoh:** ketika terjadi **cache miss**, yaitu ketika data yg diambil dr memori cache tidak diperoleh

# INSTRUCTION PIPELINE

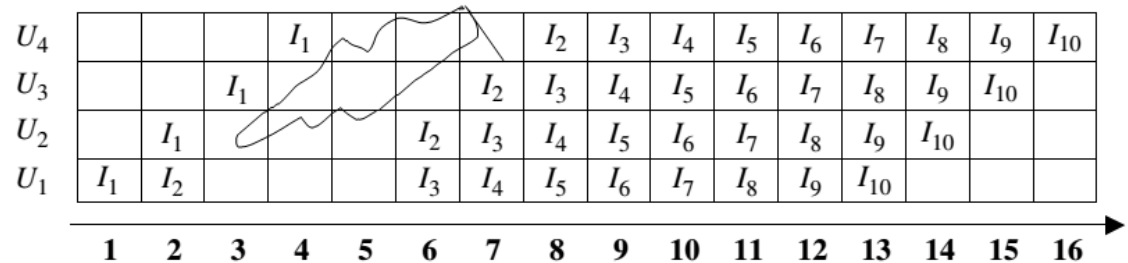
- Amati contoh berikut:



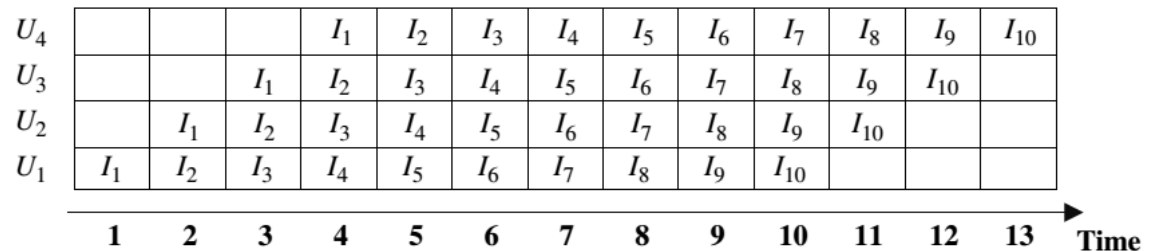
- Pembacaan **I2** membutuhkan **waktu ekstra**
- Akibatnya, pembacaan utk I3 akhirnya mengalami **delay**
- Situasi ini disbt sbg pipeline **bubble** atau pipeline **hazard**

# PENDAHULUAN

- Pada contoh ini, **pipeline hazard** menyebabkan waktu eksekusi sebanyak **16 unit waktu**



- Bandingkan dgn tanpa hazard, yaitu sebanyak **13 unit waktu**



# INSTRUCTION PIPELINE

- Terdapat **berbagai alasan** mengapa pipeline hazard bisa terjadi
- Terdapat **dua yg utama** penyebab pipeline hazard, yaitu sbb:
  1. *Instruction dependency*
  2. *Data dependency*

Operasi yg **tepat** utk pipeline → jika operasi yg dijalankan pd satu tahap **TIDAK TERGANTUNG** dr operasi yg dijalankan oleh tahap lainnya

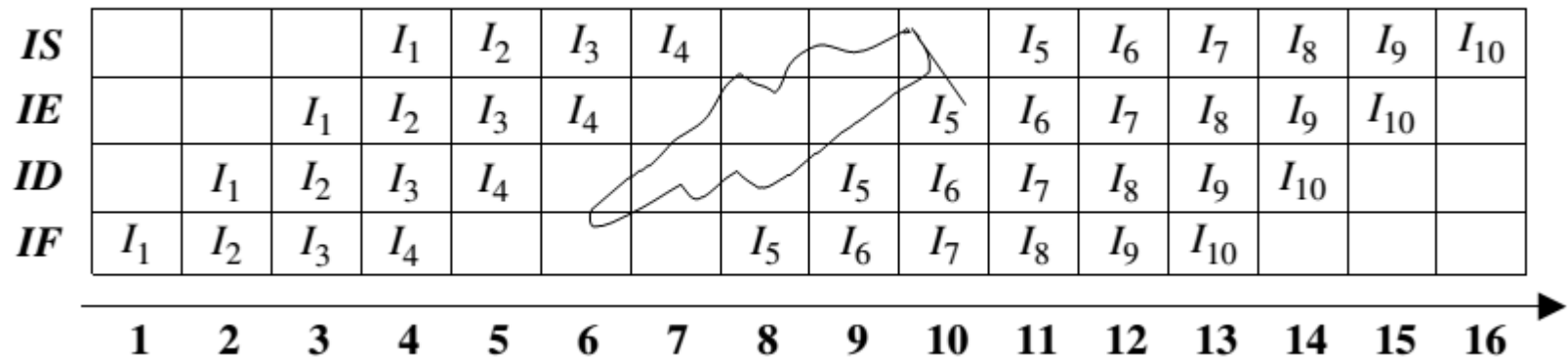
# INSTRUCTION PIPELINE

## Instruction dependency

- **Instruction dependency** → pembacaan instruksi saat ini **bergantung** dr hasil eksekusi instruksi sebelumnya
- **Contoh**: lompat jika hasil negatif (**branch if negative**).
- Pada kasus ini, Instruksi selanjutnya **tidak akan dieksekusi** sblm diketahui hasil skrg positif/negatif

# INSTRUCTION PIPELINE

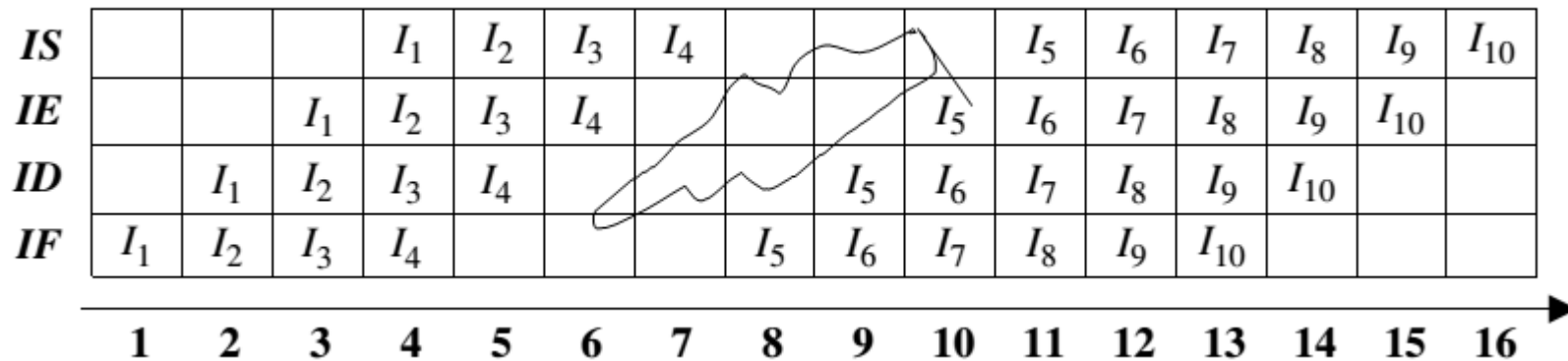
Contoh, amati gb berikut:



- **IF** : *instruction fetch*
- **ID** : *instruction decode*
- **IE** : *instruction execute*
- **IS** : *instruction result store*



# INSTRUCTION PIPELINE



- Asumsi pd  $I_4$  terjadi percabangan.
- Jika syarat terpenuhi, maka akan terjd percabangan → pipeline stall sampai hasil eksekusi diperoleh



# INSTRUCTION PIPELINE

## Data dependency

- **Data dependency** → terjadi jika operan sumber dr instruksi yg akan datang ( $I_i$ ) tergantung dr hasil dr eksekusi sebelumnya ( $I_j$ ), dengan  $i > j$
- **Perlu dicatat** → walaupun instruksi  $I_i$  dapat dibaca, namun **operand belum tersedia sampai** hasil dr  $I_j$  **telah diperoleh** dan disimpan

# INSTRUCTION PIPELINE

- Berikut contoh data dependency

*ADD*       $R_1, R_2, R_3;$        $R_3 \leftarrow R_1 + R_2$

*SL*         $R_3;$                        $R_3 \leftarrow SL(R_3)$

*SUB*       $R_5, R_6, R_4;$        $R_4 \leftarrow R_5 - R_6$

- Instruksi SL (Shift Left/geser ke kiri) tidak bisa dijalankan **sebelum** nilai R3 (dari instruksi ADD R1,R2,R3) diperoleh.

# DAFTAR PUSTAKA

- Abd-El-Barr, M., El-Rewini, H., *Fundamentals of Computer Organization and Architecture*, John Wiley&Sons, Inc.
- Stallings, W., 2010, *Computer Organization and Architecture: Designing for Performance* 8<sup>th</sup> edition, Prentice Hall
- Hamacher, C., Vranesic, Z., Zaky, S., Manjikian, N., 2012, *Computer Organization and Embedded Systems* 6<sup>th</sup> edition, McGrawHill