

# Datalogger for IoT

21 oct. 2022

## ETSIT UVA

<https://www.tel.uva.es/>

Encargado del proyecto	Óscar Martín, Rubén Serrano, Pablo Villacorta, Andrés Martín
Fechas de inicio y fin del proyecto	22 sept. 2022 - 28 ene. 2023
Progreso	0%
Tarea	51
Recursos	4

---

El proyecto consiste en el diseño, fabricación, programación y verificación de un Datalogger for IoT

---

## Tarea

2

Nombre	Fec ha de inici o	Fecha de fin
Especificación del proyecto	22/9/22	28/9/22
Estudio sistema	22/9/22	24/9/22
Definición de objetivos	22/9/22	28/9/22
Diseño electrónico y captura esquemática	29/9/22	23/10/22
Búsqueda de componentes PCB0	29/9/22	2/10/22
Búsqueda de componentes PCB1	29/9/22	2/10/22
Búsqueda de componentes PCB2	29/9/22	2/10/22
Búsqueda de componentes PCB3	29/9/22	2/10/22
Creación de nuevos componentes PB0	3/10/22	9/10/22
Creación de nuevos componentes PCB1	3/10/22	9/10/22
Creación de nuevos componentes PCB 2	3/10/22	9/10/22
Creación de nuevos componentes PCB3	3/10/22	9/10/22
Posicionamiento de componentes PCB0	3/10/22	18/10/22
Posicionamiento de componentes PCB1	3/10/22	18/10/22

## Tarea

Nombre	Fec ha de inici o	Fecha de fin
Posicionamiento de componentes PCB2	3/10/22	18/10/22
Posicionamiento de componentes PCB3	3/10/22	18/10/22
Análisis consumo eléctrico PCB0	3/10/22	11/10/22
Análisis consumo eléctrico PCB1	3/10/22	11/10/22
Análisis consumo eléctrico PCB2	3/10/22	11/10/22
Análisis consumo eléctrico PCB3	3/10/22	11/10/22
Análisis disipación de potencia	12/10/22	18/10/22
Rutado de conexiones	19/10/22	23/10/22
Generación de listado de materiales (BOM)	3/10/22	23/10/22
Documentación esquemático. Control de cambios	29/9/22	23/10/22
Diseño de la placa de circuito integrado	24/10/22	13/11/22
Creación de huellas de nuevos componentes	24/10/22	3/11/22
Posicionado de componentes	24/10/22	6/11/22
Definición de borde y zonas de conectores	7/11/22	9/11/22

## Tarea

Nombre	Fec ha de inici o	Fecha de fin
Planos de disipación térmica	10/1 1/22	11/11/22
Planos de masa y otros	10/1 1/22	11/11/22
Documentación: acotaciones geométricas	10/1 1/22	11/11/22
Rutado de conexiones	7/11 /22	11/11/22
Documentación: serigrafía. Control de cambios	24/1 0/22	11/11/22
Generación de ficheros para el fabricante (gerber)	12/1 1/22	13/11/22
Fabricación de la placa de circuito impreso	14/1 1/22	8/12/22
Envío al fabricante	14/1 1/22	27/11/22
Recepción y revisión	28/1 1/22	29/11/22
Montaje de componentes	30/1 1/22	8/12/22
Realización Firmware. Simulación y depuración	14/1 1/22	23/12/22
Control de elementos hardware: drivers	14/1 1/22	16/12/22
Verificación	14/1 1/22	16/12/22

## Tarea

5

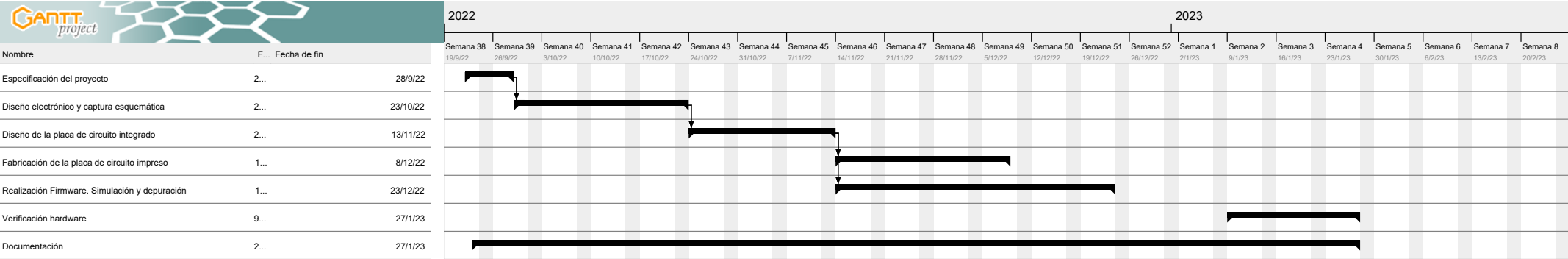
Nombre	Fec ha de inici o	Fecha de fin
Programa principal. Especificaciones	17/1 2/22	23/12/22
Documentación firmware. Control de cambios	14/1 1/22	23/12/22
Verificación hardware	9/1/ 23	27/1/23
Verificación inicial	9/1/ 23	9/1/23
Verificación firmware	10/1 /23	19/1/23
Resolución de problemas	10/1 /23	19/1/23
Análisis de prestaciones	10/1 /23	20/1/23
Montaje final. Piezas mecánicas	21/1 /23	27/1/23
Documentación	23/9 /22	27/1/23
Realización informe	23/9 /22	27/1/23

## Recursos

6

Nombre	Función
Óscar Martín	Encargado del proyecto
Rubén Serrano	Encargado del proyecto
Pablo Villacorta	Encargado del proyecto
Andrés Martín	Encargado del proyecto

Diagrama de Gantt



## Diagrama de recursos

