



INSTITUTO FEDERAL

São Paulo

Câmpus Bragança Paulista

PAULO VINICIUS DA SILVA MEIRA

Placa de Hardware Livre para o desenvolvimento em Lógica Reconfigurável

**Bragança Paulista, 2022
SP – Brasil**



**INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA
DE SÃO PAULO
CÂMPUS BRAGANÇA PAULISTA
BACHARELADO EM ENGENHARIA DE CONTROLE E
AUTOMAÇÃO**

PAULO VINCIUS DA SILVA MEIRA

**Placa de Hardware Livre para o
desenvolvimento em Lógica Reconfigurável**

Trabalho de Graduação apresentado ao Instituto Federal de Educação, Ciência e Tecnologia de São Paulo, campus Bragança Paulista como parte dos requisitos exigidos para conclusão do curso bacharelado em Engenharia de Controle e Automação.

Orientador: Prof. Esp. Enzo Gaudino Mendes
Coorientador: Prof. Me. Kauê Reis dos Santos

**Bragança Paulista, 2022
SP – Brasil**

Meira, Paulo Vinicius da Silva
M514p Placa de hardware livre para o desenvolvimento em lógica
reconfigurável / Paulo Vinicius da Silva Meira. -- Bragança Paulista :
IFSP-BRA, 2022.
71f.

Monografia (Bacharelado em Engenharia de Controle e
Automação) – Instituto Federal de Educação, Ciência e Tecnologia
de São Paulo, Câmpus Bragança Paulista, 2022.

Orientador: Prof. Esp. Enzo Gaudino Mendes.
Prof. Me. Kauê Reis dos Santos.

1. Cultura Maker. 2. Hardware Livre. 3. Lógica Reconfigurável.
I. Título

CDD 005.1

**INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA
DE SÃO PAULO**

CAMPUS BRAGANÇA PAULISTA

**BACHARELADO EM ENGENHARIA DE CONTROLE E
AUTOMAÇÃO**

TRABALHO DE CONCLUSÃO DE CURSO


Placa de Hardware Livre para o desenvolvimento em Lógica Reconfigurável

Autor: Paulo Vinicius da Silva Meira


Orientador: Prof. Esp. Enzo Gaudino Mendes

Coorientador: Prof. Me. Kauê Reis dos Santos

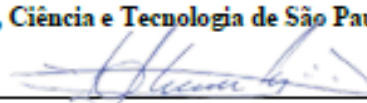
A Banca Examinadora composta pelos membros abaixo aprovou este Trabalho de Graduação:



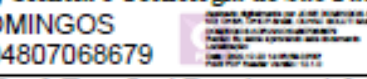
Prof. Esp. Enzo Gaudino Mendes
Instituto Federal Educação, Ciência e Tecnologia de São Paulo – Câmpus Bragança Paulista



Prof. Me. Kauê Reis dos Santos
Instituto Federal Educação, Ciência e Tecnologia de São Paulo – Câmpus Bragança Paulista



Prof. Me. Luciano Guimarães Mendes
Instituto Federal Educação, Ciência e Tecnologia de São Paulo – Câmpus Bragança Paulista
JOSE DOMINGOS
ADRIANO:04807068679



Prof. Esp. José Domingos Adriano
Instituto Nacional de Telecomunicações – Santa Rita do Sapucaí
Diretor da Empresa Exsto Tecnologia

Bragança Paulista, 14 de dezembro de 2022.

Dedicatória

Dedico este trabalho a toda minha família, em especial a meus pais Noeli Cristina da Silva Meira e Paulo da Silva Meira, que sempre me incentivaram e deram suporte quando precisei e a meu falecido avô Manoel Domingos da Silva pela contribuição na formação do meu caráter.

Dedico também aos meus amigos, que me encorajaram, me animaram e me distraíram quando foi preciso e a todos os professores que participaram da minha formação durante a minha vida até este momento.

Agradecimentos

Agradeço aos meus pais, meu irmão e aos meus amigos, por me apoiarem e acreditarem em mim durante o processo de realização desse trabalho de conclusão de curso.

Agradeço ao Instituto Federal de Educação, Ciência e Tecnologia de São Paulo campus Bragança Paulista pelo suporte em relação ao trabalho, com a disponibilização de laboratórios, ferramentas e materiais de estudo. Também agradeço ao instituto pela oportunidade de estar em sintonia com a empresa Exsto Tecnologia através do programa Conexão Indústria, o qual originou a ideia do trabalho.

E por fim, agradeço aos meus orientadores, Prof. Enzo Gaudino Mendes e Prof. Kauê Reis dos Santos, por todo o suporte dado do início ao fim do trabalho, com paciência e orientações chave para que o processo fosse concluído.

Resumo

MEIRA, Paulo. **Placa de Hardware Livre para desenvolvimento em Lógica Reconfigurável**. 2022. 71p. Monografia (Trabalho de Conclusão de Curso). Instituto Federal de Educação, Ciência e Tecnologia de São Paulo, Bragança Paulista.

Este trabalho apresenta o processo de concepção de uma placa de desenvolvimento baseada em lógica reconfigurável, que foi realizado no âmbito do acordo de cooperação estabelecido entre a empresa Exsto Tecnologia e o Instituto Federal de Educação, Ciência e Tecnologia de São Paulo (IFSP) campus Bragança Paulista. A placa possui fins educacionais e todo o projeto será disponibilizado para a comunidade interessada para torná-la uma placa *open source hardware* (OSHW), permitindo que seja utilizada e replicada de forma gratuita. O trabalho aborda desde o estudo teórico até a montagem prática e divulgação do projeto como OSHW. A finalidade do trabalho é difundir a tecnologia da lógica reconfigurável a partir de uma placa acessível em termos de custo e construção, com todo seu processo construtivo detalhado (da concepção do diagrama até a soldagem dos componentes) para propiciar a experiência do “Faça você mesmo” (“*Do it Yourself*” - *DiY*). O estudo é fundamentado em sistemas lógicos reconfiguráveis, *open source hardware* e cultura *maker*. A placa concebida utiliza um chip CPLD (*Complex Programmable Logic Device*), da família MAX II, como componente central do projeto e atende ao requisito de custo se comparada as opções do mercado, além de trazer como diferencial o fato de ser OSHW.

Palavras-Chave: CPLD, FPGA, Lógica reconfigurável, *Maker*, OSHW.

Abstract

This work presents the design process of a development board based on reconfigurable logic, which was carried out under the cooperation agreement established between the company Exsto Tecnologia and the Federal Institute of Education, Science and Technology of São Paulo (IFSP) Bragança Paulista Campus. The board has educational purposes and the entire project will be made available to the interested community to make it an open source hardware board (OSHW), allowing it to be used and replicated for free. The work ranges from the theoretical study to the practical assembly and dissemination of the project as OSHW. The purpose of the work is to disseminate the technology of reconfigurable logic from a board that is accessible in terms of cost and construction, with its entire detailed construction process (from the design of the diagram to the soldering of the components) to provide the experience of "Do it yourself" ("Do it Yourself" - DiY). The study is based on reconfigurable logic systems, open source hardware and maker culture. The designed board uses a CPLD chip (Complex Programmable Logic Device), from the MAX II family, as a central component of the project and meets the cost requirement when compared to market options, in addition to bringing the fact of being OSHW as a differential.

Key Word: CPLD, FPGA, Maker, OSHW, Reconfigurable logic.

Lista de Figuras

Figura 2.1 – Classificações das Tecnologias de Sistemas Digitais	22
Figura 2.2 – Encapsulamento FPGA/CPLD	23
Figura 2.3 – Arquitetura de um CPLD	24
Figura 2.4 – Arquitetura de um FPGA	25
Figura 2.5 – Placa de desenvolvimento DE10-Lite	26
Figura 2.6 – Interface Software Eagle	30
Figura 2.7 – Interface Software Quartus Prime	31
Figura 3.1 – Etapas da elaboração do projeto	33
Figura 4.1 – Circuitos do protótipo inicial em blocos	37
Figura 4.2 – Elementos contidos na biblioteca de um componente	38
Figura 4.3 – Protótipo: etapas do projeto	39
Figura 4.4 – Protótipo: Placa Física.....	39
Figura 4.5 – Gravador USB BLASTER Altera	41
Figura 4.6 – Circuitos da Placa final em blocos	41
Figura 4.7 – Layout da placa	43
Figura 4.8 – Pré visualização da placa a ser fabricada	44
Figura 4.9 – Simulação em 3D da placa com componentes	44
Figura 4.10 – Criação do gerber	45
Figura 4.11 – Placa pré solda lado TOP	47
Figura 4.12 – Placa pré solda lado BOTTOM.....	48
Figura 4.13 – Estação de retrabalho: ferro de solda e soprador térmico	49
Figura 4.14 – Placa pós solda lado TOP.....	49
Figura 4.15 – Placa pós solda lado BUTTOM	50
Figura 4.16 – Identificação dos componentes periféricos	51
Figura 4.17 – Disposição dos pinos do CPLD e localização dos componentes	52
Figura 4.18 – Diagrama dos Push Buttons	52
Figura 4.19 – Diagrama do Dip Switch.....	53
Figura 4.20 – Posições dip switch	54
Figura 4.21 – Diagrama do display de 7 segmentos.....	54
Figura 4.22 – Diagrama dos LEDs	56
Figura 4.23 – Barramento de pinos	56

Figura 4.24 – Diagrama botão reset.....	58
Figura 4.25 - Diagrama pinos de <i>clock</i>	59
Figura 4.26 - Diagrama circuito de alimentação	59
Figura 4.27 - Pinos de conexão do USB Blaster e dimensões do conector	60
Figura 4.28 - Disposição dos pinos de gravação na placa	61
Figura 5.1 - CPLD Xilinx XC9572XL	64
Figura 5.2 - CPLD EPM7128SLC84.....	64
Figura 5.3 – Kit Altera MAX II EPM240	64
Figura 5.4 - Kit DE10-Lite	64
Figura 5.5 - FPGA Cyclone IV EP4CE6E22C8.....	64
Figura 5.6 - OSHW com CPLD.....	64
Figura 5.7 - Certificação de OSHW pela OSHWA	65
Figura A.1 - Folha número 1 do esquemático.....	72
Figura A.2 - Folha número 2 do esquemático.....	73
Figura A.3 - Folha número 3 do esquemático.....	74
Figura A.4 - Folha número 4 do esquemático.....	75
Figura B.1 - Carregamento do arquivo de gravação.....	77
Figura B.2 - Processo de gravação.....	78

Lista de Quadros

Quadro 4.1- Cronograma inicial do projeto.....	35
Quadro 4.2 – Comparativo de preço entre gravadores embutido e externo	40
Quadro 4.3 - Identificação dos componentes pelo nome impresso na placa.....	46
Quadro 4.4 - Conexão dos botões.....	53
Quadro 4.5 - Conexão das chaves	53
Quadro 4.6 - Conexão do display	55
Quadro 4.7 - Conexão dos LEDs.....	56
Quadro 4.8 - Conexão do barramento de pinos	57
Quadro 4.9 - Conexão pino do botão reset	58
Quadro 4.10 - Conexão dos pinos de <i>clock</i>	59
Quadro 4.11 – Descrição dos pinos de conexão do USB Blaster.....	60
Quadro 5.1 - Comparativo entre placas de desenvolvimento com lógica reconfigurável	64

Lista de Tabelas

Tabela 4.1- Lista de componentes e preços42

Lista de Abreviaturas, Nomenclaturas e Siglas

CMOS	<i>Complementary metal-oxide-semiconductor</i>
CPLD	<i>Complex Programmable Logic Device</i>
DIWO	<i>Do It With Others</i>
DIY	<i>DIY Do It Yourself</i>
EDA	<i>Electronic design automation</i>
FPGA	<i>Field Programmable Gate Array</i>
HCPLD	<i>High Capacity Programable Logic Devices.</i>
I/O	<i>Input/Output.</i>
JTAG	<i>Joint Test Action Group</i>
LAB	<i>Logic Array Block.</i>
LED	<i>Light-Emitting Diode.</i>
NPN	<i>Negative-Positive-Negative.</i>
OSHW	<i>Open Source Hardware.</i>
OSHWA	<i>Open Source Hardware Association.</i>
PIA	<i>Programmable Interconnect Array.</i>
PLD	<i>Programmable Logic Device.</i>
PTH	<i>Pin Through Hole.</i>
RFID	<i>Radio Frequency Identification.</i>
SPLD	<i>Simple Programmable Logic Devices.</i>
USB	<i>Universal Serial Bus.</i>
VHDL	<i>VHSIC Hardware Description Language.</i>
VHSIC	<i>Very High Speed Integrated Circuit.</i>

Sumário

1	INTRODUÇÃO	16
1.1	Contexto e Justificativa	17
1.2	Objetivos.....	19
1.2.1	Objetivo Geral	19
1.2.2	Objetivos Específicos	19
1.3	Apresentação da Estrutura do Trabalho	20
2	FUNDAMENTAÇÃO TEÓRICA.....	21
2.1	Sistemas digitais reconfiguráveis	21
2.1.1	Os dispositivos: CPLD e FPGA	23
2.2	Hardware Livre	26
2.3	Cultura Maker	28
2.4	Softwares	29
2.4.1	Eagle.....	29
2.4.2	Quartus Prime	31
3	MÉTODO E PROCEDIMENTOS METODOLÓGICOS.....	32
3.1	Classificação da Pesquisa.....	32
3.2	Procedimentos.....	33
3.3	Objeto de estudo	34
4	DESENVOLVIMENTO.....	35
4.1	Tratativas iniciais e definição de recursos.....	35
4.2	Construção do esquemático e layout da placa - Protótipos	38
4.3	Placa final	40
4.3.1	Lista de componentes:	42
4.3.2	Layout.....	43
4.3.3	Fabricação da placa.....	45
4.3.4	Solda.....	45
4.4	Recursos da placa final e disposição dos pinos do CPLD	50
4.4.1	Configuração dos botões	52
4.4.2	Configuração da chave <i>dip switch</i>	53
4.4.3	Configuração do display de 7 segmentos.....	54
4.4.4	Configuração dos LEDs	55
4.4.5	Barramentos de entradas e saídas.....	56
4.4.6	Botão de Reset.....	58
4.4.7	Barramento de <i>clock</i>	59

4.4.8	Circuito de alimentação	59
4.4.9	Conexão USB Blaster	60
4.5	Compartilhamento do projeto como Open Source Hardware (OSHW)	61
5	RESULTADOS E DISCUSSÕES	63
5.1	Importância do projeto a partir da fundamentação teórica	63
5.2	Resultados esperados quanto a viabilidade de montagem da placa	63
5.3	Resultados esperados quanto ao funcionamento da placa.....	64
5.4	Compartilhamento do projeto.....	65
6	CONCLUSÕES E CONSIDERAÇÕES FINAIS	66
6.1	Conclusões.....	66
6.2	Proposta de Trabalhos Futuros.....	67
	Referências	68
	APÊNDICE A – Esquemático da placa final	72
	APÊNDICE B – Teste e validação da placa	76

1 INTRODUÇÃO

Este trabalho apresenta o desenvolvimento de uma placa de hardware livre, também chamada de *open hardware* ou *open source hardware* (OSHW), baseada em lógica reconfigurável, para que o conhecimento teórico sobre essa tecnologia seja trabalhado na prática de forma mais acessível.

Atualmente, as placas de desenvolvimento que se utilizam de dispositivos de hardware reconfigurável (ex: FPGA e CPLD) ainda são encontradas com valores pouco convidativos ou sem periféricos como LEDs, displays e botões para montagens de aplicações básicas, o que as torna pouco atrativas para o público iniciante (estudantes e hobbistas). Essas características acabam se tornando obstáculos para o estudo prático desta tecnologia.

Procurando democratizar o conhecimento sobre eletrônica digital de forma mais aprofundada, abordando o universo de hardwares reconfiguráveis, o produto deste trabalho é uma placa de desenvolvimento com seu funcionamento baseado em um chip CPLD, interligado a alguns componentes periféricos e barramentos de pinos com entradas e saídas para que outros componentes externos possam ser adicionados.

Como consequência dos preços pouco acessíveis, o acesso a esta tecnologia fica restrito a poucas pessoas, reduzindo seu avanço e o crescimento da comunidade interessada.

Sendo assim, este trabalho objetiva facilitar o acesso a esta tecnologia, propondo uma placa com periféricos básicos e de preço acessível para o estudo e desenvolvimento da lógica reconfigurável, com o diferencial trazido pelo conceito do hardware livre, ou seja, com todos os seus arquivos disponibilizados para a comunidade de forma a permitir sua reprodução isenta de direitos autorais.

É apresentada a base teórica que fundamentou a ideia da criação dessa placa, partindo da cultura *maker* e os seus benefícios para a educação e estudo das tecnologias, seguidos da explicação do que se trata um hardware livre, quais as documentações necessárias e de que maneira isso influencia na facilidade de acesso ao mesmo.

Entendendo o contexto no qual o projeto está inserido, o processo de montagem da placa está detalhado, partindo de um cronograma pré-estabelecido, desde a aprendizagem do uso do software de desenvolvimento, passando pelo orçamento dos componentes, elaboração do esquemático e do layout, envio para fabricação, solda dos componentes, testes e publicação do projeto.

Por fim, são apresentados e analisados os resultados obtidos no decorrer do projeto e as respectivas conclusões.

É importante mencionar, que este trabalho ocorre no âmbito do acordo de cooperação (Nº 14/2018, Processo Nº: 23312.000712.2020-62, DOU: 07/10/2020) estabelecido entre a empresa Exsto Tecnologia e Instituto Federal de Educação, Ciência e Tecnologia de São Paulo (IFSP), campus de Bragança Paulista, por intermédio do programa de extensão Conexão Indústria.

1.1 Contexto e Justificativa

(BROCKVELD; TEIXEIRA; SILVA, 2017) analisando o momento atual da sociedade, afirma que há um movimento de transição de uma Sociedade Industrial para uma Sociedade do Conhecimento. A maneira de ensino enrijecida e antiquada, com professores sendo a única fonte de conhecimento e alunos apenas peões que replicam suas ideias num ambiente de aprendizagem que remete a linhas de montagem com currículos rígidos de disciplinas que por muitas vezes já estão fora de contexto, tem aos poucos dado lugar a um ambiente com protagonismo dos alunos. Trabalhando de forma colaborativa em projetos interdisciplinares, os alunos vêm sendo estimulados a construir, modificar, consertar seus próprios objetos e encontrar soluções para problemas diversificados, impulsionando a chamada “Cultura Maker”, ou, “cultura do faça você mesmo”, que tem despertado uma visão crítica e a paixão por aprender.

Décadas atrás, o processo de invenção, registro de patente, produção e oferta de um determinado item ao mercado levava anos, o que poderia resultar na inviabilidade financeira da produção do mesmo (Gavassa et al., 2016). Com o surgimento de novas tecnologias e facilidades na comunicação, estão acontecendo transformações na sociedade, o que envolve o compartilhamento do conhecimento, aproximação e trocas entre pessoas com mesmos interesses.

Nesse contexto, o movimento *maker* tem ganhado força, com a formação de grupos de pessoas com interesses similares, que compartilham ideias para melhoria e aprofundamento dos conhecimentos sobre um produto qualquer, gerando facilidades em sua produção, melhorias e viabilidade. Desta forma, um produto pode ter diversos inventores, ou colaboradores, tornando mais rápido o processo de evolução das tecnologias.

Tendo a cultura *maker* e o compartilhamento do conhecimento como base, pode-se enfim chegar ao objeto de estudo de fato, que se trata de um *open source hardware* (OSHW), que pode ser completamente relacionado com a transformação pela qual a sociedade tem passado. De acordo Acosta R. (2009), existem muitas definições do que constitui OSHW, no entanto, há

o consenso de ser um design de hardware eletrônico que está "disponível gratuitamente em plataformas de código aberto reconhecidas legalmente". O OSHW inclui esquemas, diagramas e regras de design que podem ser usados, estudados e modificados, além de poderem ser copiados e redistribuídos na forma modificada ou não modificada, sem restrição ou com restrições mínimas apenas para garantir que outros destinatários possam fazer o mesmo.

Um dos *open source hardware*s mais conhecidos, são as plataformas Arduino, que estão cada vez mais presentes nos ambientes educacionais, pois com seu projeto livre, viabilizou tanto sua compra quanto sua montagem, universalizando o acesso aos recursos tecnológicos e transformando a comunidade, de consumidores para construtores e multiplicadores de tecnologia (DA SILVA e GIL, 2018).

Atualmente, placas similares ao Arduino estão cada vez mais viáveis, com suas arquiteturas baseadas em microcontroladores, possibilitando a criação de uma infinidade de projetos sem que haja um alto custo. Microcontroladores podem ser encontrados facilmente e com preços acessíveis.

Porém, como mencionado anteriormente, o presente trabalho se utiliza de um dispositivo diferente do microcontrolador, tendo como componente principal o CPLD - *Complex Programmable Logic Device* (Dispositivo Lógico Complexo Programável), dispositivo este pertencente a chamada Lógica Reconfigurável, assim como o FPGA - *Field Programmable Gate Array* (Arranjo de Portas Programáveis em Campo).

As placas de CPLD e FPGA encontradas no mercado, ainda possuem um custo elevado se comparadas às placas Arduino, por exemplo. O objetivo deste estudo é criar uma placa FPGA de hardware livre acessível para se construir ou modificar. Tendo uma placa de tamanho poder de criação disponível de forma acessível, haverá uma tendência de que o interesse na tecnologia FPGA cresça, contribuindo para o surgimento de novas placas, estudos relacionados, compartilhamento de informações sobre o assunto, etc.

Segundo Curvello A. (2017) as vantagens dos dispositivos lógicos reconfiguráveis sobre o microcontrolador, presente na plataforma Arduino, está principalmente na forma com que trabalham. Enquanto o microcontrolador contém um microprocessador que trabalha de forma sequencial, tendo que ser substituída dependendo do projeto a ser desenvolvido, o CPLD ou o FPGA se trata de um hardware reconfigurável, que realiza diversos processos concomitantemente, aumentando a velocidade e desempenho.

O uso do FPGA pode ser feito desde aplicações mais simples, como a construção de um circuito contador, como aplicações complexas que podem auxiliar no futuro tecnológico mundial, como pode ser visto no comunicado de imprensa publicado em 2018 no site da Intel: “Intel anuncia primeiro FPGA da indústria com foco em 5G e aplicações na nuvem”, o qual será responsável por facilitar o futuro das redes e do transporte óptico, dobrando o desempenho da largura de banda do transceptor quando comparado com soluções tradicionais.

Uma pesquisa de mercado realizada pelo site “embarcados.com.br” em 2019, aponta o crescimento do uso do FPGA em futuros projetos, que ainda não tem sido um dos sistemas mais utilizados atualmente, pois ainda como mostra a pesquisa, alguns pontos cruciais para a escolha de uma tecnologia para desenvolvimento de sistemas embarcados são o custo do chip, sua popularidade e a comunidade de desenvolvedores que trabalham e compartilham informações.

1.2 Objetivos

1.2.1 Objetivo Geral

O objetivo geral é projetar uma placa eletrônica *Open Source Hardware (OSHW)* para o estudo e o desenvolvimento em lógica reconfigurável e que seja acessível em termos de custo e complexidade construtiva.

1.2.2 Objetivos Específicos

Em decorrência do objetivo geral proposto são estabelecidos os seguintes objetivos específicos do trabalho:

- a) Fundamentar teoricamente com base na literatura, a importância, necessidade e viabilidade da construção de uma placa de hardware livre com um dispositivo de lógica reconfigurável e verificar o funcionamento e processos relacionados a licenças e direitos autorais;
- b) Estudar o funcionamento da tecnologia de lógica reconfigurável com o intuito de definir quais periféricos compatíveis poderão ser adicionados à placa, quais recursos serão interessantes de implantar no projeto, definir o chip a ser utilizado e tamanho da placa;
- c) Identificar as limitações do projeto, seja por parte do próprio hardware, seja financeira ou por parte de licenças e direitos autorais que possam impedir o projeto de ser compartilhado;

- d) Propor, partindo do estudo realizado, a utilização da plataforma em meio educacional, visto que se trata de uma tecnologia promissora, que na forma apresentada, tende a estimular atividades interdisciplinares, sendo base da criação de diversos projetos, em diferentes áreas da tecnologia;
- e) Estudar o funcionamento dos softwares que serão utilizados para prototipagem e teste da placa;
- f) Realizar a montagem e testes na placa;
- g) Disponibilizar a documentação com a devida licença de hardware livre.

1.3 Apresentação da Estrutura do Trabalho

O trabalho está estruturado em 6 capítulos, os quais estão apresentados com os seguintes conteúdos:

Capítulo 1: Introdução – Informações introdutórias sobre o tema a ser desenvolvido no trabalho, como contextualização, justificativa, problematização e objetivos;

Capítulo 2: Fundamentação Teórica – Levantamento de materiais em literatura que fundamentem de forma relevante o trabalho, descrevendo os temas de sistemas digitais reconfiguráveis, *open source hardware* e suas documentações, cultura *maker* e softwares que serão utilizados;

Capítulo 3: Método e Procedimentos Metodológicos – Descrição detalhada dos métodos de pesquisa e procedimentos adotados na realização do trabalho;

Capítulo 4: Desenvolvimento – Descrição de todos os processos realizados do início ao fim do projeto;

Capítulo 5: Resultados e discussões – Apresenta uma análise sobre os resultados obtidos, relaciona os resultados com os objetivos previstos e propõe discussões sobre o que foi tratado;

Capítulo 6: Conclusões e Considerações Finais – Conclui o problema e os objetivos gerais e específicos. Trata do cumprimento do trabalho estabelecido no primeiro capítulo e as considerações finais.

Ao final são apresentadas as referências utilizadas no desenvolvimento do trabalho e os apêndices.

2 FUNDAMENTAÇÃO TEÓRICA

2.1 Sistemas digitais reconfiguráveis

Vahid (2009), exalta que graças à era dos circuitos digitais, milhares de dispositivos úteis têm sido criados para que problemas sejam solucionados. Desde grandes problemas como a dificuldade de respirar, até as soluções cotidianas como identificadores de impressões digitais, controladores de *airbag*, câmeras com autofoco, etc. Num futuro previsível novos dispositivos continuarão a ser inventados e dispositivos já existentes tendem a se tornarem cada vez menores. As novas demandas tecnológicas serão supridas pelos novos engenheiros e projetistas, e é nesse contexto que este trabalho está inserido, visando estimular o interesse das pessoas por construir, projetar e aumentar a familiaridade com sistemas digitais através dos Dispositivos Reconfiguráveis, também chamados de Dispositivos Lógicos Programáveis (PLD).

Segundo Casillo (2006) a Computação Reconfigurável é a combinação da flexibilidade do software com a velocidade do hardware. O autor também explica que uma arquitetura reconfigurável processa suas funções por meio de unidades lógicas contidas em blocos internos dos dispositivos, diferente da arquitetura tradicional que realiza o processamento através de funções executadas de forma sequencial. “Assim, as arquiteturas reconfiguráveis substituem a computação temporal pela computação espacial, o que possibilita ganho de desempenho e menor consumo de energia”. (Casillo, 2006, p. 6)

“A evolução das metodologias de projeto de hardware, apoiadas em poderosas ferramentas EDA que aceleram o ciclo de desenvolvimento, e especialmente o surgimento de dispositivos reconfiguráveis como os FPGAs, abriram novas possibilidades.” (Noronha et al., 2005, p. 1).

Seguindo esse caminho, Costa (2013) explica que o desenvolvimento de projetos de circuitos digitais tem apresentado grande evolução nas últimas décadas, e o avanço dos Dispositivos Lógicos Programáveis, classe na qual os FPGAs estão inseridos, tem simplificado o ciclo de projeto. A principal característica desses dispositivos é dar ao usuário o poder de reprogramar as funções lógicas, o que simplifica o processo caso existam possíveis mudanças no projeto.

Em sua obra, Vahid (2009) classifica os circuitos digitais em “processador de propósito único”, que são os circuitos projetados para executar uma única tarefa de processamento, e “processador programável” ou “processador de propósito geral”, que são os quais tem a capacidade de atender uma ampla variedade de aplicações. Pelo fato de os processadores programáveis atenderem essa variedade de aplicações, eles são produzidos em massa, e essa

produção em massa gera redução dos custos por conta da amortização. Desta forma, se faz interessante o estudo dos circuitos programáveis, por apresentarem menor custo se comparados aos de propósito único.

Cruz et al. (2022) explica que os PLDs são dispositivos cujo hardware pode ser configurado eletronicamente. Os primeiros da categoria podiam ser configurados somente uma única vez, além de possuírem baixa capacidade, contendo algumas centenas de portas lógicas. Com a evolução da tecnologia, os PLDs foram adquirindo cada vez mais capacidade lógica e aumentando sua complexidade. A concepção de projetos de sistemas digitais foi inovada com a utilização dessa tecnologia.

Conforme evidenciado na figura 2.1, os autores explicam que os PLDs podem ser divididos em dois grupos: os SPLDs (*Simple Programmable Logic Devices*) e os HCPLDs (*High Complex Programmable Logic Devices*). Os SPLDs são dispositivos mais simples, de baixa capacidade, geralmente com menos de 600 portas lógicas, enquanto os HCPLDs são dispositivos mais complexos, de alta capacidade, com mais de 600 portas lógicas, com os mais modernos podendo superar as centenas de milhares de portas lógicas. Os HCPLDs englobam os dispositivos CPLDs (*Complex Programmable Logic Devices*) e FPGAs (*Field Programmable Gate Arrays*).

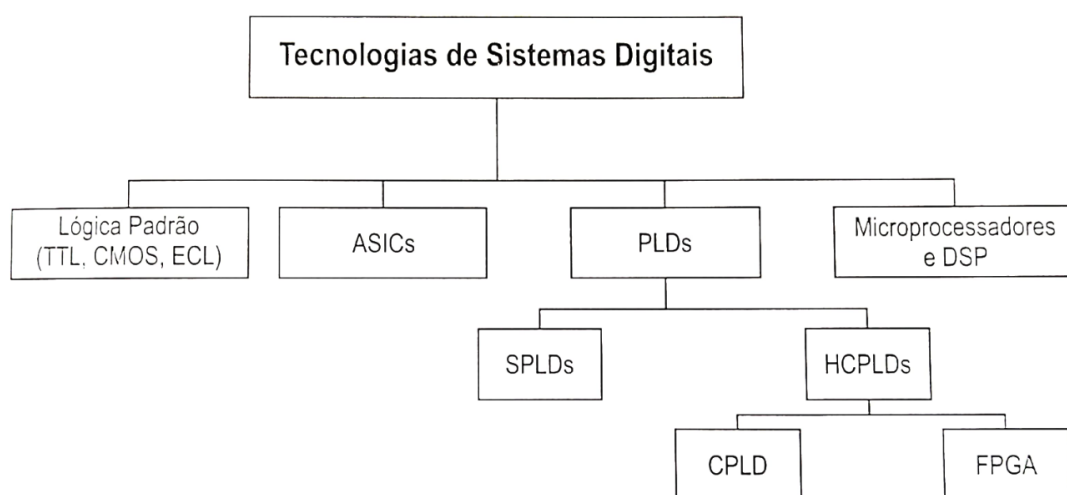


Figura 2.1 - Classificações das Tecnologias de Sistemas Digitais
Fonte: (CRUZ et al. 2022)

Um sistema microcontrolado é composto basicamente de três componentes: memória, microprocessador e elementos lógicos. A memória é utilizada para o armazenamento de informações, os microprocessadores são responsáveis por executar as instruções e a unidade lógica executa quase todas as operações, como processamento de sinal, exibição de dados, comunicação entre dispositivos, entre outras. (KRISHNA, 2017). Apesar de possuírem

diferenças em suas arquiteturas, o FPGA e o CPLD trabalham de forma semelhante e são ferramentas interessantes para o estudo de sistemas digitais. Esses dispositivos possuem memória, elementos lógicos e podem executar aplicações como Processamento de Sinal Digital (DSP), conforme é relatado por Codá (2014) em seu artigo. Outro exemplo de aplicação desses dispositivos pode ser visto no trabalho de Guimarães Dutra (2016), que realiza a implementação de um microprocessador em FPGA. A figura 2.2 abaixo, mostra um tipo de encapsulamento destes dispositivos reconfiguráveis.



Figura 2.2 - Encapsulamento FPGA/CPLD

Fonte: <<https://br.rsdelivers.com/product/xilinx/xc3s50an-4tqg144i/xilinx-fpga-xc3s50an-4tqg144i-spartan-3an-1584-144/7275992>> . Acesso em: jul. 2022.

2.1.1 Os dispositivos: CPLD e FPGA

Nas literaturas podem ser encontradas diversas definições sobre CPLDs e FPGAs. Por pertencerem à mesma categoria de dispositivos, ambos compartilham de diversas características em comum. De Oliveira (2011) e Silva Araújo (2019), ao discorrerem sobre CPLD e FPGA, respectivamente, apresentam essas características que podem ser atribuídas às duas tecnologias. Os dispositivos CPLD e FPGA são semicondutores de alto desempenho e capacidade lógica extensa. Ambos podem ser utilizados para a implementação de circuitos digitais e exigem um menor consumo de energia por serem produzidos com a tecnologia CMOS. A principal característica compartilhada entre as tecnologias é a reconfigurabilidade, que permite que os dispositivos possam receber novas configurações sem a necessidade de troca do chip.

Apesar das características em comum, as tecnologias apresentam algumas particularidades que as diferenciam. De Oliveira (2011), destaca em seu artigo que quanto maior o número de portas lógicas, maior a complexidade do PLD, e essa é uma das diferenças entre o CPLD e o FPGA, sendo o último de maior complexidade por possuir maior quantidade de portas. Além do número de portas lógicas, os dois também se diferenciam por suas estruturas internas de ligação das células.

De acordo com Floyd (2009), basicamente, um CPLD é um dispositivo que contém múltiplos SPLDs, conforme mostra a figura 2.3, na qual veremos um PIA (Arranjo de Interconexões Programáveis) e quatro LABs (Blocos de Arranjo Lógico) que equivalem cada um, aproximadamente, a um SPLD:

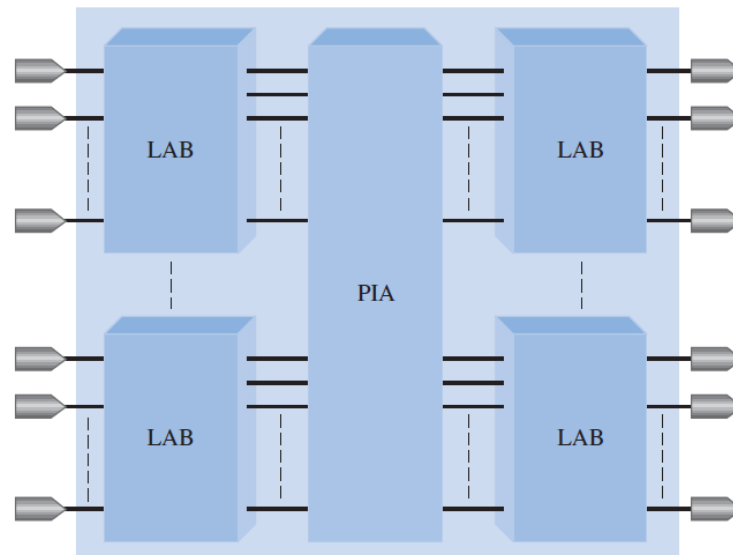


Figura 2.3 – Arquitetura de um CPLD
Fonte: (FLOYD, 2009)

Já a arquitetura interna do FPGA é composta pelos blocos de I/O (entrada e saída), blocos lógicos e interconexões programáveis. Segundo Cruz et al. (2022) a diferença do FPGA para CPLD está em sua constituição e tamanho dos blocos lógicos. No FPGA o roteamento é feito de forma mais eficiente, seu roteamento programável é formado por canais que conectam os blocos lógicos formando uma matriz bidimensional.

A matriz de interconexões programáveis distribuída dos FPGAs permite a interconexão de blocos lógicos e as conexões para entradas e saídas, como mostra a figura 2.4:

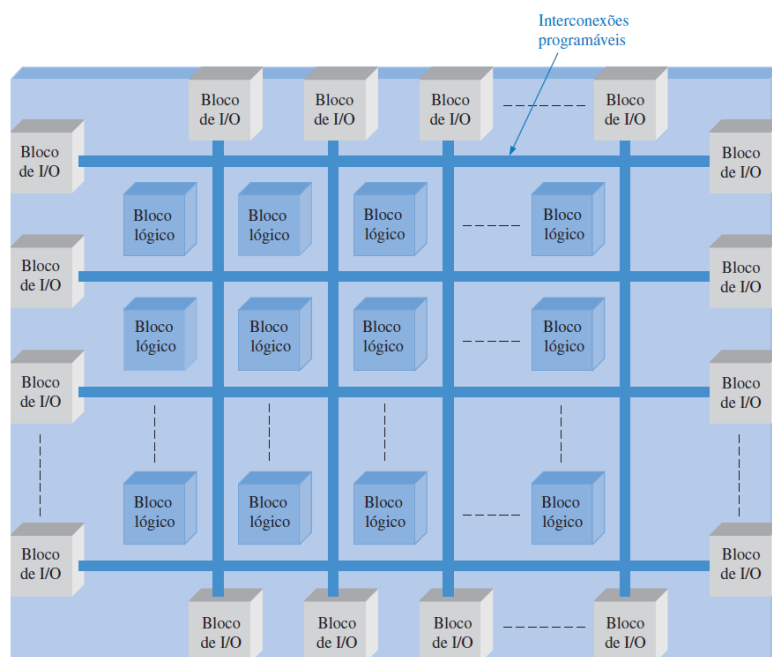


Figura 2.4 - Arquitetura de um FPGA
 Fonte: (FLOYD, 2009)

Seguindo com as informações de Floyd (2009), os blocos lógicos do FPGA não são complexos como os LABs do CPLD, porém existem em maior número. Outra característica do FPGA que é apresentada por Silva de Araújo (2019) e que o diferencia do CPLD, é que os mesmos são fabricados com memória volátil, ou seja, perdem suas configurações assim que deixam de ser alimentados, geralmente utilizando uma memória não volátil externa para algumas aplicações e para programação.

Tratando particularmente do FPGA, pesquisas apontam que o mercado dessa tecnologia atingirá US\$25,85 bilhões em uma taxa de crescimento anual composta de 11,2% até 2030 (MARKET RESEARCH FUTURE, 2022). Apesar desse avanço mercadológico, Nogueira de Melo et al. (2011), afirma em seu artigo que as instituições de ensino nacionais não têm conseguido formar profissionais suficientemente qualificados para atender a demanda para desenvolvimento de soluções nessa área, pois a maioria dos cursos de engenharia da área elétrica ou eletrônica aborda o assunto de forma superficial.

Ballerini Bruno (2021), expõe que uma dificuldade para as universidades trabalharem com kits de desenvolvimento que contam com a presença de um FPGA, tem sido os altos custos, pois mesmo com esses kits sendo utilizados em pelo menos cinco unidades curriculares de alguns cursos, a aquisição desses por parte dos alunos é impraticável. Enquanto a solução do autor do trabalho foi facilitar o acesso a esses kits através de uma plataforma que permite que sejam feitas conexões remotas entre os alunos e os kits, a solução presente neste trabalho é

possibilitar que os alunos montem seus próprios kits, utilizando componentes simples, sem que haja custos adicionais oriundos de marcas, patentes e serviços.

Um exemplo de kit disponível no mercado é o DE10-Lite, mostrado na figura 2.5, encontrado com valores próximos a R\$1000,00 em lojas chinesas (considerando a cotação atual do dólar de R\$5,42).

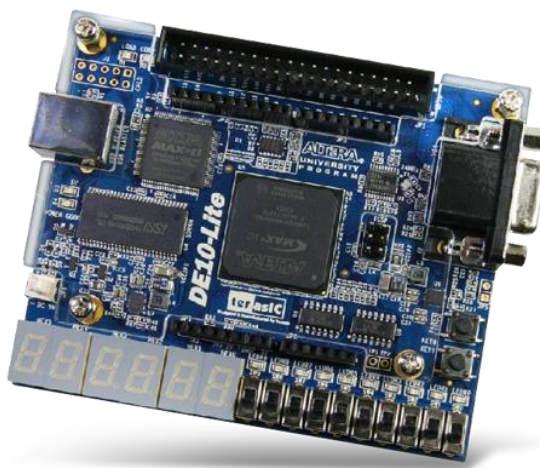


Figura 2.5 - Placa de desenvolvimento DE10-Lite

Fonte: <https://br.mouser.com/new/terasic-technologies/terasic-de10-lite-board/> >. Acesso em ago. 2022.

Vale mencionar, que quando se trata de placas para o estudo e desenvolvimento em lógica reconfigurável, tanto o CPLD quanto o FPGA podem ser utilizados como elementos centrais, pois são tecnologias que podem ser configuradas (ou programadas) utilizando dos mesmos conceitos e linguagens de descrição de hardware, tais como Verilog e VHDL.

2.2 Hardware Livre

Para Ferreira e Pinto (2021, p. 4), “as condições sociais desiguais afetam a maneira como as classes sociais têm acesso aos mais variados recursos tecnológicos” e para que pessoas pertencentes a classes de menor renda tenham acesso a recursos tecnológicos, é necessário que essas tecnologias se tornem acessíveis. Um dos meios de aumentar essa acessibilidade, no caso desse projeto, é torná-lo um hardware livre, ou *open source hardware*, que basicamente seria um projeto com uma licença aberta, que permite que objetos físicos possam ser produzidos a partir dos documentos do projeto que estarão disponíveis gratuitamente, dispensando os custos de patentes.

Dentre os exemplos de redução de custos utilizando OSHW estão os projetos de acessibilidade para pessoas com deficiência. Segundo Schmidt (2016), a utilização de

ferramentas de OSHW como impressoras 3D, placas Arduino e Raspberry Pi na criação de projetos, possibilita a comercialização de próteses e cadeiras de rodas robóticas de baixo custo. O conceito de hardware livre é inspirado no movimento de software livre, que possibilita que qualquer pessoa tenha acesso ao modo de criação de equipamentos e ainda faça uso em outros projetos, pois tem em sua base licenças livres que disponibilizam as informações dos objetos e não aplicam restrições em suas utilizações.

O termo *Open Source*, ou, código livre, teve origem na classificação de softwares disponíveis na forma de código-fonte, os quais podem ser usados, estudados, copiados, modificados e redistribuídos sem restrição, ou com restrições específicas que garantem que os novos usuários possuam os mesmos direitos pelos quais o código foi obtido (PEARCE, 2014). Partindo desses mesmos princípios, o termo *Open Source* também passou a ser utilizado para hardwares, nos quais os códigos-fontes publicados passam a ser os esquemáticos, os layouts, os design de peças, etc.

Gibb (2014), relata em seu livro, um pouco da história dos OSHW, que foram influenciados por diversos casos em que importantes tecnologias foram desenvolvidas de forma colaborativa e aberta. Alguns exemplos de seus antecedentes, são os movimentos de softwares livres, de onde floresceram tradições como o *Homebrew Computer Club*, onde entusiastas da computação se reuniam para trocar informações sobre projetos de computadores, assim como peças e diagramas; outro movimento foi a comunidade de rádio amadores, do qual foi herdado a tradição de engenharia amadora e práticas de compartilhamento de conhecimento. Mas apesar de existirem essas influências históricas distantes, o *open source hardware* se tornou conhecido apenas com a ascensão da Internet, por volta dos anos 2000, o que deu visibilidade pública e facilitou o compartilhamento de projetos de hardware. A partir deste momento, começaram a crescer o número de projetos, assim como a comunidade interessada e organizações que ajudaram a solidificar o hardware livre.

Segundo a definição da *Open Source Hardware Assossiation*, o projeto a ser disponibilizado deve estar de acordo com alguns critérios, relacionados a documentação, neutralidade, escopo, software necessário, produtos derivados, além de: livre redistribuição, atribuição, não discriminação de pessoas ou grupos, não discriminação de campos de utilização, distribuição da licença, especificação da licença e restrições por parte da licença.

Gibb (2014) baseando-se na *Open Source Hardware Assossiation*, afirma que assim que algo que se enquadre no escopo de direitos autorais é criado, ele está protegido automaticamente, independente da vontade do autor de querer ou não proteger seu trabalho. Pensando em projetos públicos, é necessário que haja uma licença, explicitando que pessoas

que reproduzam esse trabalho não estejam infringindo os direitos autorais do criador. As licenças abertas também podem ser vistas como oportunidade de incentivo ao compartilhamento de informações e contribuição no desenvolvimento colaborativo de projetos, pois no caso dos hardwares, por exemplo, as licenças permitirão a cópia, distribuição, construção, modificação e venda dos projetos e hardwares baseados nos arquivos publicados pelo autor.

Sendo assim, uma licença que valide o projeto como um OSHW se faz importante para que o conhecimento seja disseminado entre a comunidade que poderá trabalhar sobre ele e ter garantido a distribuição de projetos derivados com a mesma licença, fazendo com que o conhecimento não se centralize somente entre fabricantes e donos de patentes, reduzindo os custos dos projetos, facilitando o acesso às tecnologias e promovendo desenvolvimento coletivo.

2.3 Cultura *Maker*

Anderson (2012), afirma que todas as pessoas são e nascem *makers*, desde a pessoa que gosta de cozinhar (*maker* culinário) ao fascinado por jardinagem (*maker* botânico), todos são *makers*, cada um com sua bancada de trabalho específica. Por muito tempo, a maioria das obras desses criadores nunca saíam de seu local de criação, porém, como um dos efeitos das mudanças trazidas pela era da *web*, foi desenvolvido um novo padrão de compartilhamento de informações. Com a facilidade de compartilhamento de projetos via internet, estes se transformaram em fonte de inspiração para outros, assim como em oportunidades de colaboração. A conexão global de criadores individuais se converteu em um movimento social, fazendo com que adeptos do movimento “faça você mesmo”, passassem a trabalhar de forma colaborativa.

Samagaia (2015), explica que o movimento *maker* se fundamenta na tradição do “Faça você mesmo” traduzido do “*Do it Yourself*” (DiY) e que tem sido complementado pelo conceito do “Faça com outros” traduzido do “*Do it withothers*” (DiWO). Os *makers* se caracterizam por um movimento organizado, baseado em mínimos recursos e máxima partilha de ideias, projeto e concepções, procurando criar mais em um ambiente colaborativo com a menor quantidade de recursos possíveis, baseando-se em trocas de informações para a resolução de problemas de forma coletiva.

Pesquisadores já trabalhavam no conceito da cultura *maker* voltada ao uso na educação de crianças e jovens antes mesmo desse termo ser criado. Conceitos como Construtivismo, Pedagogia Crítica, Construcionismo e Aprendizagem Baseada em Projetos, foram integrados

no ambiente de educação e apoiados pela criação de ferramentas tecnológicas como as linguagens de programação Logo e *Scratch*, integração de peças de montagem Lego com sensores e atuadores para o ensino de robótica, fabricação digital de baixo custo, etc. (SOSTER et al., 2020; BLIKSTEIN; WORSLEY, 2016). Para Soster, os espaços *maker* nas escolas, preveem um ambiente colaborativo entre alunos e professores, que contribui para a criação, concepção, desenvolvimento de protótipos e soluções para desafios reais, por meio de trocas, descobertas e ações que relacionam a teoria e a prática, em um espaço dotado desde ferramentas convencionais como martelo, chaves, ferros de solda, a equipamentos como impressoras 3D, computadores, placas eletrônicas, entre outros.

Além da importância da cultura *maker* nos ambientes educacionais, Anderson (2012), trata esse movimento como a “A Nova Revolução Industrial”. Em seu livro, diz que por muito tempo a indústria tem sido dominada por empresas e profissionais treinados, por conta de capacitação, equipamentos e custos de produção em grande escala, desta forma, sendo restrita à determinados grupos. No entanto isso estava prestes a mudar, devido a digitalização da indústria. Anderson segue dizendo que com a digitalização da indústria, os objetos físicos começam com projetos em telas, os quais podem ser compartilhados como arquivos, por meio da rede de internet. Dessa forma, as mesas e porões dos consumidores começavam a se tornar os novos escritórios de desenho e projeto industrial com qualquer pessoa sendo capaz de produzir ou projetar para que outra pessoa ou organização produza.

Nesse contexto, está inserido a proposta deste trabalho, que é estimular a cultura *maker* através da disponibilização na internet, dos arquivos de projeto da placa, de forma a ser um hardware livre, que tornará possível a reprodução da mesma por entusiastas e estudantes em laboratórios *makers*, relacionando o estudo teórico da eletrônica reconfigurável com a prática.

2.4 Softwares

Para o desenvolvimento prático do trabalho serão utilizados o software Eagle para produção do esquemático e layout da placa de circuito impresso e o software Quartus Prime Lite Edition para a programação, compilação e teste nos dispositivos reconfiguráveis.

2.4.1 Eagle

O Eagle é um software da Autodesk e foi escolhido para a realização desse trabalho por conta de suas ferramentas e por possuir licença educacional (não comercial). Para Mehl (2012) o software Eagle tem se destacado entre os projetistas de circuitos impressos e também entre

estudantes e entusiastas de eletrônica, por conta de suas facilidades de utilização e por possuir uma versão gratuita com algumas funções limitadas.

Se trata de um software de desenho de placas de circuito impresso que permite que sejam criados o esquema elétrico pretendido e o desenho da placa em si para posterior confecção da placa física. Krug (2010) explica em seu guia sobre o software, que o projeto de uma placa de circuito impresso no Eagle é composto por dois arquivos, sendo um deles o esquema elétrico (arquivo de extensão .sch) e o outro o desenho da placa para futura confecção (extensão .brd).

O software possui bibliotecas de componentes para que sejam utilizados na criação de esquemas elétricos, que serão base para o projeto da placa. É importante a seleção correta dos componentes para que não haja divergência entre tamanho da impressão na placa com o tamanho do componente real. Para que os componentes sejam selecionados corretamente recomenda-se que sejam consultados seus *datasheets*, de modo a confirmar suas reais dimensões e outras características que possam interferir no processo de soldagem. Tendo suas características confirmadas, basta que a biblioteca do componente selecionado apresente os mesmos valores, para enfim ser utilizada.

Após a montagem do esquemático, o programa gera uma visualização do layout, onde é possível posicionar os componentes da maneira mais adequada para a impressão do circuito na placa, além de possuir ferramentas como o autorroteamento, que sugerem rotas para as trilhas de conexão entre os componentes, e também permitir que essa função seja feita manualmente. A figura 2.6 mostra a interface de trabalho no Eagle para confecção do esquemático.

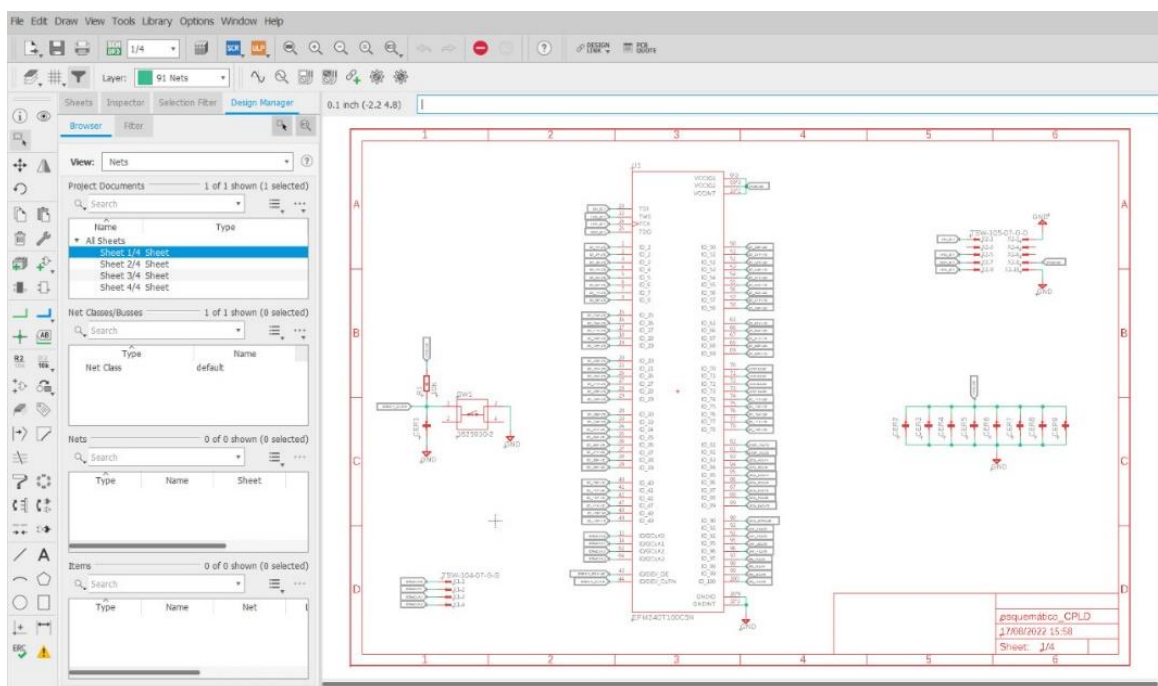


Figura 2.6 – Interface Software Eagle
Fonte: (Próprio Autor, 2022).

2.4.2 Quartus Prime

A utilização do Quartus Prime, da Intel, uma das maiores fabricantes de hardwares reconfiguráveis do mundo, se deu pelo fato do CPLD selecionado ser do mesmo fabricante, além do software possuir a versão gratuita, a Lite Edition.

O Quartus Prime é uma ferramenta que permite a análise e síntese de códigos em linguagem de descrição de hardware, seja VHDL, Verilog ou, até mesmo, por diagrama de blocos. Ele permite que o desenvolvedor faça a compilação de seus códigos, realize simulações e efetue a gravação dos circuitos criados em dispositivos como FPGAs e CPLDs.

A figura 2.7 a seguir mostra a interface de trabalho do Quartus Prime para a síntese do circuito em diagrama de blocos.

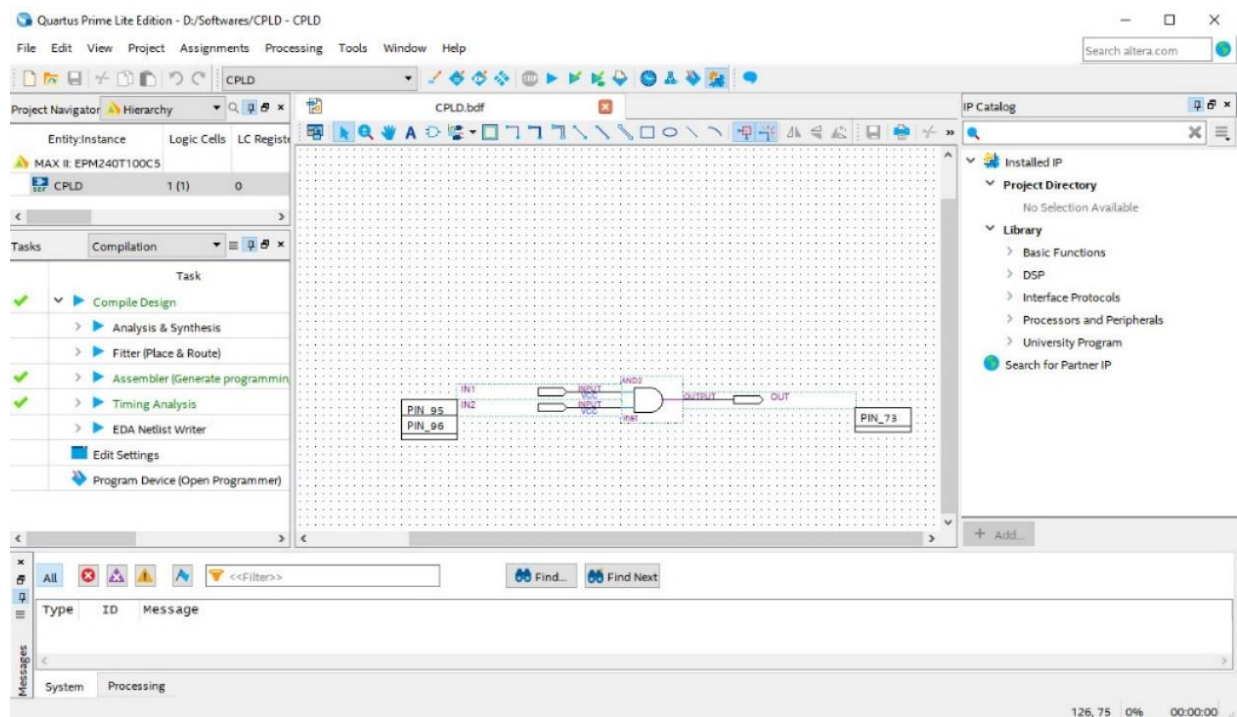


Figura 2.7 – Interface Software Quartus Prime
Fonte: (Próprio Autor, 2022)

3 MÉTODO E PROCEDIMENTOS METODOLÓGICOS

3.1 Classificação da Pesquisa

Para o desenvolvimento da pesquisa foi utilizado como base lógica à investigação, o método indutivo, que segundo Lakatos e Marconi (2003, p.86), “Indução é um processo mental por intermédio do qual, partindo de dados particulares, suficientemente constatados, infere-se uma verdade geral ou universal, não contida nas partes examinadas”.

O que pode ser visto no propósito deste trabalho, onde, a partir da observação da trajetória de sistemas semelhantes já existentes no mercado, objetiva-se desenvolver uma placa com uma importante tecnologia que atualmente ainda é pouco difundida no meio acadêmico por motivos tais como: a falta de conhecimento, acessibilidade e preparo profissional. Também se faz presente neste trabalho a Cultura *Maker*, pois as documentações do projeto estão compartilhadas para estimular a construção e desenvolvimento de novas placas e projetos, além de facilitar o acesso aos hardwares reconfiguráveis e aumentar a troca de conhecimento sobre o assunto. Ou seja, por meio de dados particulares, deseja-se chegar a uma conclusão mais ampla do que as premissas que deram base à pesquisa.

A forma de abordagem do problema em questão foi qualitativa, visto que não há dados estatísticos a serem estudados, sendo descritiva e tendo como base o método indutivo, com pressupostos teóricos norteando a investigação (GIL, 2008).

Quanto aos procedimentos técnicos, foram adotadas as estratégias de pesquisa bibliográfica e documental. Na pesquisa bibliográfica utilizou-se de levantamento dos conceitos sobre a Cultura *maker*, *Open Source Hardware (OSHW)*, Lógica Reconfigurável, além de fazer o levantamento sobre os periféricos que constituirão a placa a ser montada, por meio de literaturas disponibilizadas nas bases científicas. A pesquisa documental compõe-se de documentações técnicas fornecidas por fabricantes, assim como da análise de patentes e direitos autorais, que podem influenciar no projeto, visto que este será compartilhado de forma livre. (GIL, 2008)

Do ponto de vista da natureza da pesquisa, fêz-se uma pesquisa aplicada, visto que as descobertas serão utilizadas para as práticas envolvendo interesses locais, sendo assim definida por Silva e Menezes (2005).

Da classificação por objetivo, será uma pesquisa exploratória, que segundo Lakatos e Marconi (2003, p.188): “são investigações de pesquisa empírica cujo objetivo é a formulação de questões ou de um problema, com tripla finalidade: desenvolver hipóteses, aumentar a

familiaridade do pesquisador com um ambiente, fato ou fenômeno, para a realização de uma pesquisa futura mais precisa ou modificar e clarificar conceitos”.

3.2 Procedimentos

A figura 3.1 mostra a divisão dos procedimentos adotados na elaboração do projeto em 7 etapas, sendo elas: tratativas, estudo das ferramentas, esquemático, layout, protótipos e validação, fabricação da placa final e compartilhamento como OSHW.

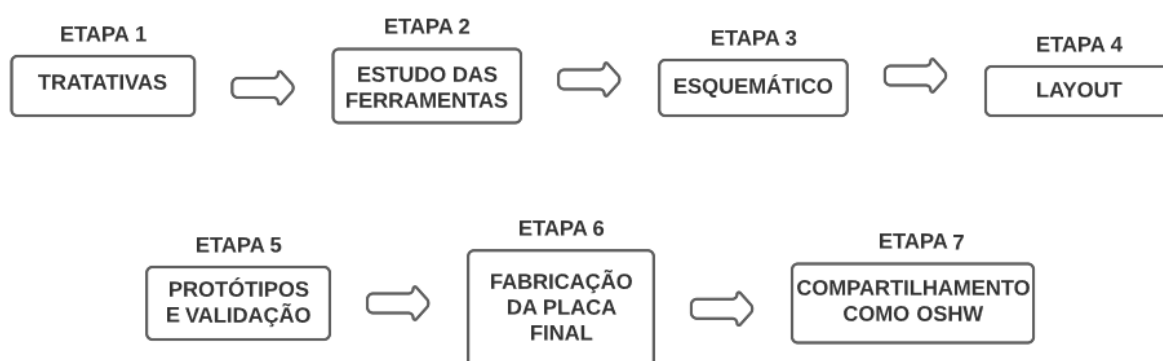


Figura 3.1 - Etapas da elaboração do projeto
Fonte (Próprio Autor, 2022)

- **Etapa 1** – Etapa de tratativas, na qual foi definido o objeto de estudo do presente trabalho;
- **Etapa 2** – Estudo das ferramentas utilizadas na elaboração do trabalho, como softwares para projetos de placas eletrônicas e programação em lógica reconfigurável e ferramentas de compartilhamento de projeto;
- **Etapa 3** – Etapa de elaboração do esquemático, na qual o primeiro documento necessário para a fabricação da placa é gerado. Nesse momento são realizadas e registradas todas as conexões entre os componentes utilizando o software Eagle;
- **Etapa 4** – Elaboração do layout da placa a partir das informações do esquemático. A montagem do layout gera, basicamente, a documentação sobre o posicionamento dos componentes na superfície da placa;
- **Etapa 5** – Fabricação e validação dos protótipos aprovados nas etapas anteriores. Essa etapa se dá por meio de testes de funcionamento da placa;
- **Etapa 6** – Fabricação da placa final. Com os testes realizados nos primeiros protótipos, erros são corrigidos e modificações são realizadas até que se obtenha como resultado uma placa que apresente pleno funcionamento;

- **Etapa 7** – Compartilhamento do projeto como OSHW. Esta é a etapa final do projeto, na qual após se obter uma placa com pleno funcionamento, seu projeto é compartilhado como hardware livre.

3.3 Objeto de estudo

O objeto de estudo deste trabalho se trata da construção de uma placa física baseada em lógica reconfigurável que seja acessível para estudantes, profissionais e entusiastas da área e que tenha seu projeto compartilhado de forma livre e gratuita, caracterizando-a como hardware livre.

Visto que as tecnologias têm se renovado em um ritmo cada vez mais acelerado e o potencial crescimento da lógica reconfigurável, acredita-se que a concepção de uma placa que atenda as premissas mencionadas facilite o acesso a esta tecnologia, contribuindo para a disseminação do conhecimento e aumento da comunidade interessada.

Justamente por serem reconfiguráveis, estes chips trazem extraordinária flexibilidade aos projetos além de possuírem a capacidade de trabalhar com paralelismo das instruções, com os dados sendo processados de forma simultânea e em tempo real, o que aumenta consideravelmente o desempenho de processamento nas aplicações.

4 DESENVOLVIMENTO

4.1 Tratativas iniciais e definição de recursos

Como mencionado, a iniciativa de construir uma placa de hardware livre para o desenvolvimento em Lógica Reconfigurável se deu a partir do acordo de cooperação firmado entre IFSP - Bragança Paulista e Exsto Tecnologia, o qual prevê a mútua cooperação dos partícipes em atividades de caráter educacional e tecnológico, sem fins comerciais.

Dentre estas atividades, a empresa propôs o desenvolvimento desta placa junto a um aluno orientado por professores do IFSP. A partir de um esquema elétrico inicial fornecido pela empresa, este aluno deveria propor modificações e incrementar recursos para possibilitar mais aplicações.

Tal placa deve apresentar um baixo custo para construção, além de não necessitar de máquinas nem de grande habilidade técnica para ser montada. O projeto deve ser disponibilizado de forma livre e não comercializado, para que pessoas interessadas em eletrônica digital e lógica reconfigurável tenham um acesso mais facilitado à tecnologia.

Além de apoio técnico e fornecimento de componentes para o início dos trabalhos, a empresa se comprometeu com a doação de algumas unidades para os laboratórios da instituição após validação do modelo da placa final e conclusão dos trabalhos.

A primeira tarefa do trabalho foi uma reunião com os orientadores para a definição dos caminhos a serem percorridos e o esboço do cronograma (quadro 4.1).

Quadro 4.1- Cronograma inicial do projeto

Atividade	Período															
	Jun/21	Jul/21	Ago/21	Set/21	Out/21	Nov/21	Dez/21	Jan/22	Fev/22	Mar/22	Abr/22	Mai/22	Jun/22	Jul/22	Ago/22	Set/22
Definição do tema	X	-----					-----	-----						-----		
Pesquisa e revisão bibliográfica	X	-----					-----	-----			X	X		-----		
Definição dos recursos na placa		-----	X				-----	-----						-----		
Estudo do software Eagle		-----	X				-----	-----						-----		
Concepção do layout da PCI		-----		X	X		-----	-----						-----		
Compra dos componentes		-----			X	X	-----	-----						-----		
Montagem do protótipo		-----				X	-----	-----	X	X				-----		
Testes / Correções		-----					-----	-----	X	X				-----		
PCI - versão final		-----					-----	-----			X			-----		
Documentação do TCC		-----					-----	-----			X	X	X	-----		
Revisão do trabalho		-----					-----	-----						-----	X	X
Compartilhamento do projeto		-----					-----	-----					X	-----	X	
Entrega Final		-----					-----	-----						-----		X

Fonte: (Próprio Autor, 2022)

Com a definição do tema e premissas do projeto estabelecidas, foi realizada a pesquisa bibliográfica para fundamentar o trabalho a ser desenvolvido, justificando o projeto principalmente do ponto de vista da pertinência, aplicação, relevância e viabilidade.

A seguir, tendo como princípio o esquemático fornecido pela empresa, deu-se início ao estudo e definição dos recursos que seriam agregados ao projeto para a elaboração da nova placa de circuito impresso.

Inicialmente, o componente central do projeto foi o FPGA 10M02SCE144C8G, da família Max 10 da Intel.

Conforme mostra a figura 4.1, a placa pode ser segmentada em 4 circuitos:

- Alimentação: O circuito de alimentação tem como componente principal um regulador de tensão DC, alimentado com 5V em sua entrada, tensão fornecida por uma fonte USB e terá 3,3V em sua saída, tensão que será utilizada para alimentar o chip FPGA.
- Gravação: O circuito de gravação, tem como componente principal um microcontrolador, que é o responsável por fazer a comunicação do código a ser desenvolvido em linguagem de descrição de hardware com o FPGA.
- Módulo FPGA: O módulo FPGA é o circuito no qual são realizadas virtualmente as ligações adequadas para os terminais do componente principal que é o FPGA, alimentando seus blocos e realizando as conexões necessárias com os outros circuitos.
- Periféricos: Por fim, previu-se o circuito dos periféricos, que poderão ser utilizados para a montagem de protótipos sem a necessidade da utilização de componentes externos, como display de 7 segmentos, chaves, LEDs, pinos de entrada e de saída disponibilizados para o uso de componentes externos.

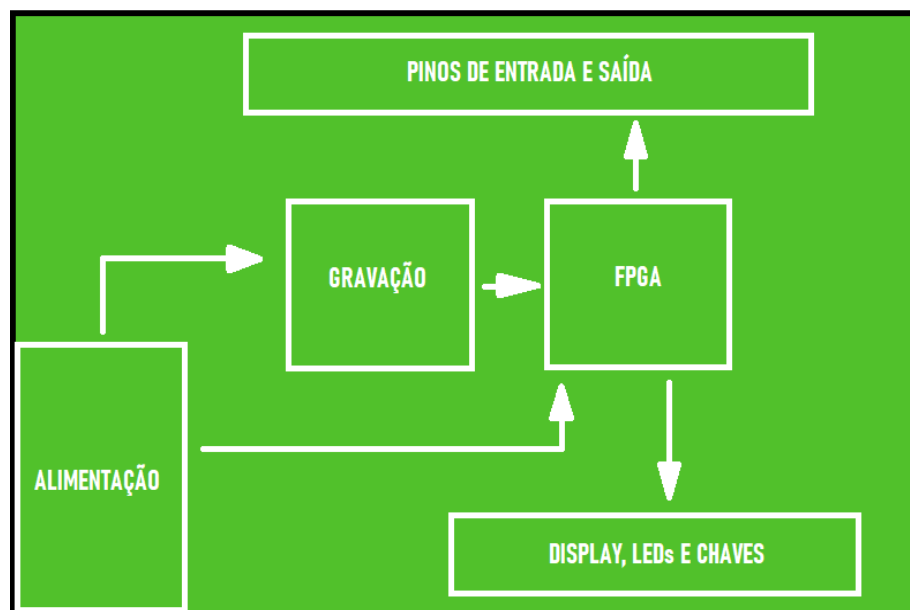


Figura 4.1- Circuitos do protótipo inicial em blocos
 Fonte: (Próprio Autor, 2022)

Ao analisar o circuito descrito e representado na figura 4.1, foram tomadas algumas decisões:

- a) Visando a fácil reprodução da placa serão utilizados o máximo possível de componentes PTH (*Pin Through Hole*), ou seja, componentes cujos pinos atravessam a placa perfurada, pois esses apresentam menor complexidade para realização da solda;
- b) Para reduzir o tamanho e quantidade de componentes da placa, e, conseqüentemente seu custo, os resistores utilizados entre os terminais de I/O do FPGA e a barra de pinos dispostos no protótipo inicial não serão utilizados, caso necessário, esses resistores devem ser adicionados externamente para a aplicação desejada;
- c) A chave de 8 vias será substituída por um *dip switch* de 4 vias e 4 botões pulsantes;
- d) O display de 7 segmentos cátodo comum será de 2 dígitos, para estimular a prática de aplicações como a multiplexação, portanto também serão adicionados dois transistores para tal tarefa;
- e) Serão adicionados 4 LEDs conectados aos terminais de entrada e saída do FPGA, para que outras práticas possam ser realizadas internamente no circuito;
- f) O conector *Box Header* de alimentação será eliminado, ficando essa função somente para o conector USB;
- g) E por fim também foi definido que a montagem do esquemático e layout da placa seria feita por meio do software Eagle da Autodesk.

4.2 Construção do esquemático e layout da placa - Protótipos

Tendo os recursos para a elaboração da placa definidos, assim como o software a ser utilizado, a próxima atividade foi realizar um estudo sobre o software Eagle, para que obtivesse maior familiaridade com a plataforma.

Como nem todos os componentes utilizados na placa em questão estavam presentes nas bibliotecas originais do software, foi necessário que bibliotecas externas fossem utilizadas. As bibliotecas faltantes, foram localizadas no site “snapeda.com”. A figura 4.2 apresenta os elementos contidos na biblioteca de um componente para a utilização no software.

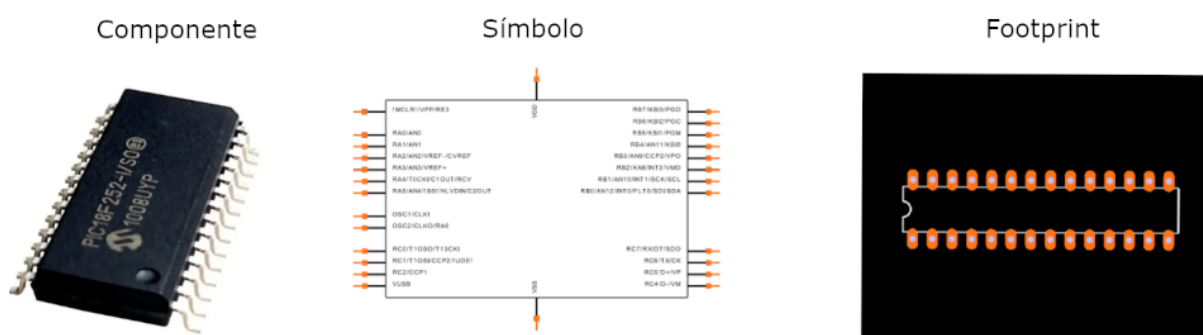


Figura 4.2 - Elementos contidos na biblioteca de um componente

Fonte: <<https://www.snapeda.com/parts/PIC18F2550/Microchip%20Technology%202F%20Atmel/view-part/?ref=search&t=pic18f2550>> . Acesso em set. 2022

É importante destacar que deve sempre ser feita uma análise do componente para saber se a biblioteca encontrada é compatível com o componente real a ser utilizado. Recomenda-se que o *datasheet* do componente seja consultado e que as informações sejam comparadas com as disponíveis na biblioteca. Atentar ao nome do componente, seu encapsulamento, suas dimensões e quantidades de terminais, para que não haja problemas de compatibilidade no momento de soldá-los.

Com as bibliotecas devidamente localizadas e baixadas, deve-se seguir um roteiro para adicioná-las ao software, para então seguir com a montagem do esquemático.

Para a montagem dos primeiros protótipos foram adicionadas todas as bibliotecas de componentes necessárias ao Eagle. Em seguida, foi iniciada a elaboração do esquemático, que foi evoluindo conforme as alterações se mostravam necessárias no decorrer do projeto.

Com o esquemático definido, deu-se início a elaboração o layout pensando na melhor maneira de posicionar os componentes para otimizar o espaço da placa e facilitar o roteamento das trilhas. Conforme foram feitas as alterações nos esquemáticos, os layouts consequentemente também foram se alterando, com acréscimos, substituições e/ou remoções de componentes até

que o produto final fosse satisfatório. As figuras 4.3 e 4.4 apresentam as etapas de produção de um dos protótipos elaborados.

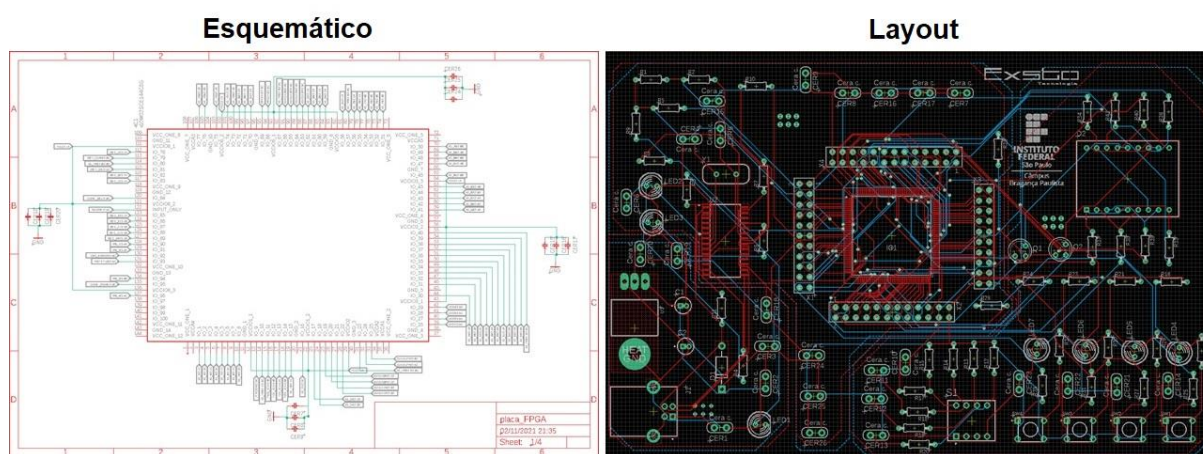


Figura 4.3 – Protótipo: etapas do projeto
Fonte: (Próprio Autor, 2022)

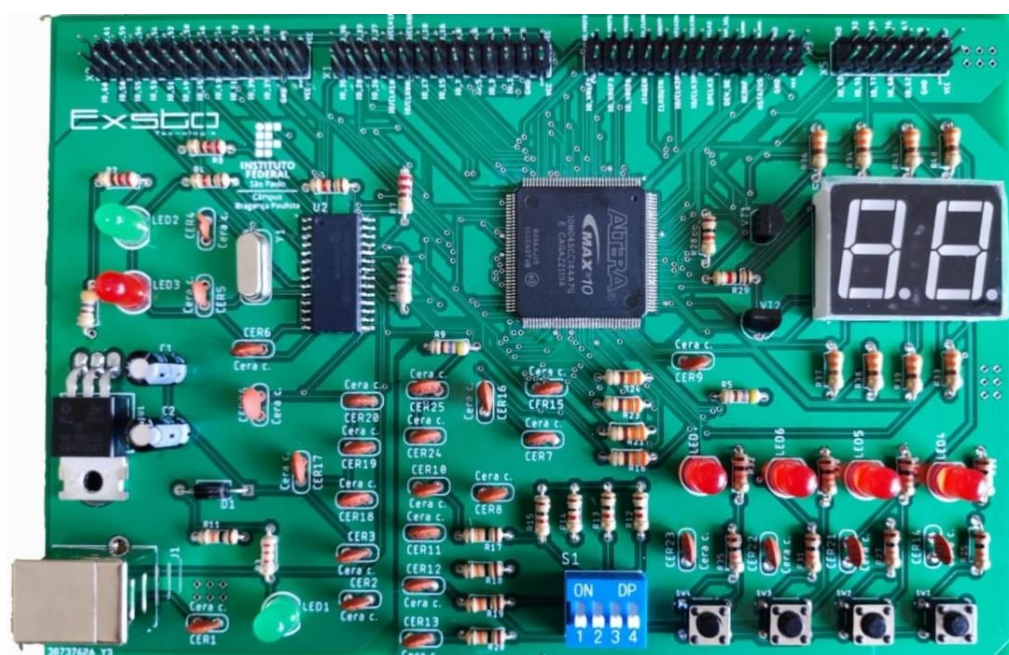


Figura 4.4 – Protótipo: Placa Física
Fonte: (Próprio Autor, 2022)

Como foi dito, no processo de criação da placa, foram surgindo algumas necessidades de mudanças no projeto, sendo as principais delas a troca do chip principal e a remoção do circuito de gravação, que resultaram na redução dos custos de produção da placa.

Durante o desenvolvimento deste trabalho se deparou com um momento de escassez mundial de componentes eletrônicos devido a pandemia, ocasionando, por exemplo, a modificação do componente central do projeto para outro FPGA, uma vez que o primeiro modelo não foi encontrado. E por fim, a adoção do CPLD.

4.3 Placa final

Produzidos os primeiros protótipos, detectou-se uma falha de comunicação entre o gravador embutido na placa e o software Quartus Prime. Após modificar o projeto da placa e realizar vários testes, algumas opções de possíveis causas da falha de comunicação foram eliminadas, porém o problema persistiu. Então foi decidido realizar um teste a partir de um gravador externo, eliminando o circuito de gravação da placa. Nesse momento foi realizado com sucesso a comunicação do hardware com o software.

Tendo em vista o tempo dedicado para solucionar esta questão e a economia que a retirada do gravador embutido poderia beneficiar no custo final da placa, uma vez que o gravador externo é mais barato de ser obtido e o tamanho da placa também seria reduzido, optou-se pela construção da placa sem gravador.

O quadro 4.2 exibe a comparação de valores entre o gravador externo e os componentes necessários para implementar um gravador na placa. O gravador externo utilizado foi o USB Blaster (figura 4.5), da Intel.

Quadro 4.2 – Comparativo de preço entre gravadores embutido e externo

Tipo de gravador	Componentes	Preço un.	Qtd.	Preço comp.	Preço total	Preço total em US\$
Embutido	Resistores diversos 1/4W	R\$0,15	10	R\$1,50	R\$63,95	US\$11,80
	Capacitor 22pF	R\$0,25	2	R\$0,50		
	Capacitor 100nF	R\$0,15	1	R\$0,15		
	LED 5mm	R\$0,50	2	R\$1,00		
	Cristal 20MHz	R\$2,90	1	R\$2,90		
	PIC 18F2550	R\$56,90	1	R\$56,90		
	Soquete PIC 18F2550	R\$1,00	1	R\$1,00		
Externo	USB BLASTER Altera	R\$39,49	1	R\$39,49	R\$39,49	US\$7,29

Fonte: (Próprio Autor, 2022)



Figura 4.5 – Gravador USB BLASTER Altera

Fonte: <https://www.filipeflop.com/produto/gravador-para-altera-usb-blaster/?utm_source=google&utm_medium=organic&utm_campaign=shopping&utm_content=surfaces_across_google&gclid=Cj0KCQiA37KbBhDgARIsAIzce17_wCQVCZ6RpLWcMPZUsATjguo2N-_Omv-X65wpmFNdBs5mkzoxr8kaArJYEALw_wcB>. Acesso em set. 2022

Nesse momento de readequação do projeto, decidiu-se que o FPGA seria substituído por um CPLD, que mesmo tendo menor capacidade lógica em relação ao FPGA, satisfaria todos os propósitos deste desenvolvimento. O chip escolhido foi o EPM240T100C5N, um CPLD da família Max II da Intel, o qual resultou em outra redução no valor do projeto. Desta forma, a placa ficou particionada nos seguintes circuitos de acordo com figura 4.6:

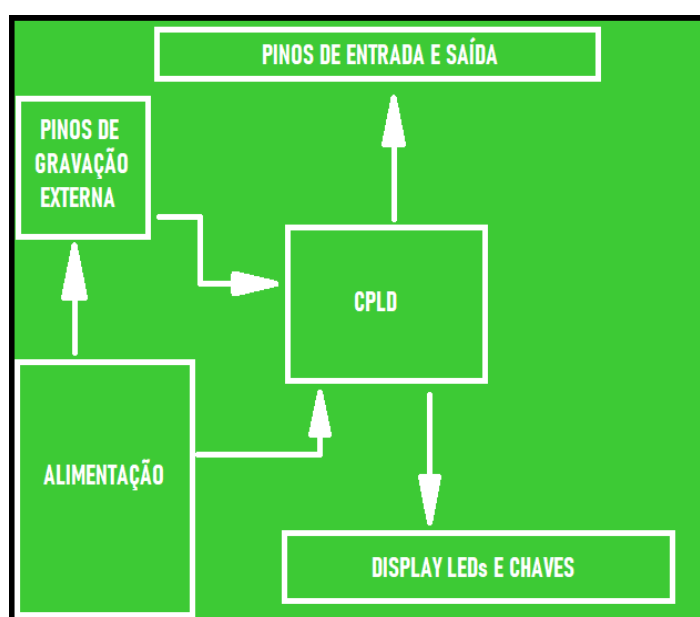


Figura 4.6 – Circuitos da Placa final em blocos
(Fonte: Próprio Autor, 2022)

Toda a documentação referente ao esquemático final da placa está disponível no apêndice A.

4.3.1 Lista de componentes:

Após as alterações realizadas no projeto original da placa, foi definido que seriam utilizados os seguintes recursos, conforme mostra a tabela 4.1:

Tabela 4.1- Lista de componentes e preços

Componente	Quantidade	Preço unitário (R\$)	Preço total (R\$)	Preço total (US\$)
CPLD EPM240T100C5N	1	R\$ 35,99	R\$ 35,99	US\$ 6,64
USB BLASTER (externo)	1	R\$ 29,99	R\$ 29,99	US\$ 5,53
Placa de circuito impresso	5	R\$ 2,06	R\$ 10,30	US\$ 1,90
Capacitor cerâmico 100nF	20	R\$ 0,15	R\$ 3,00	US\$ 0,55
Capacitor eletrolítico 10uF	2	R\$ 0,40	R\$ 0,80	US\$ 0,15
Diodo 1N4007	1	R\$ 0,30	R\$ 0,30	US\$ 0,06
Resistor 10K Ω 1/4W \pm 5%	9	R\$ 0,15	R\$ 1,35	US\$ 0,25
Resistor 1K Ω 1/4W \pm 5%	10	R\$ 0,15	R\$ 1,50	US\$ 0,28
Resistor 330 Ω 1/4W \pm 5%	12	R\$ 0,15	R\$ 1,80	US\$ 0,33
Resistor 2,2K Ω 1/4W \pm 5%	1	R\$ 0,15	R\$ 0,15	US\$ 0,03
Regulador de tensão AMS1117 3V3	1	R\$ 5,50	R\$ 5,50	US\$ 1,01
Conector USB B dip 90	1	R\$ 3,90	R\$ 3,90	US\$ 0,72
LED 5mm difuso verde	1	R\$ 0,50	R\$ 0,50	US\$ 0,09
LED5mm difuso vermelho	4	R\$ 0,50	R\$ 2,00	US\$ 0,37
Pushbutton 6x6x5mm	5	R\$ 0,50	R\$ 2,50	US\$ 0,46
Dip switch 4 vias 180°	1	R\$ 3,50	R\$ 3,50	US\$ 0,65
Transistor BC548	2	R\$ 0,40	R\$ 0,80	US\$ 0,15
Display 7 segmentos catodo comum 2 dígitos	1	R\$ 3,90	R\$ 3,90	US\$ 0,72
Barra de pinos macho 2x40 vias	2	R\$ 3,80	R\$ 7,60	US\$ 1,40
Cabo USB tipo B	1	R\$9,90	R\$9,90	US\$1,82
TOTAL			R\$ 125,28	US\$ 23,11

Fonte: (Próprio Autor, 2022)

Na tabela não estão inclusos os fretes, pois seus valores variam de acordo com a região de envio e fornecedores. Considerando as compras realizadas neste trabalho, para as cidades de Bragança Paulista e Americana (interior de São Paulo), o valor total do frete pago foi de R\$ 74,54.

Os valores apresentados em dólar americano foram convertidos sob a cotação de R\$ 5,42.

Com a redução do tamanho da placa, na quantidade de componentes e com a alteração do chip de FPGA para CPLD foi obtida uma economia de R\$125,70 (com fretes inclusos) em relação ao protótipo inicial.

4.3.2 Layout

A concepção do layout se inicia após a finalização do esquemático.

Com o layout definido, também foi possível gerar visualizações da placa pronta, de acordo com as figuras 4.7, 4.8 e 4.9.

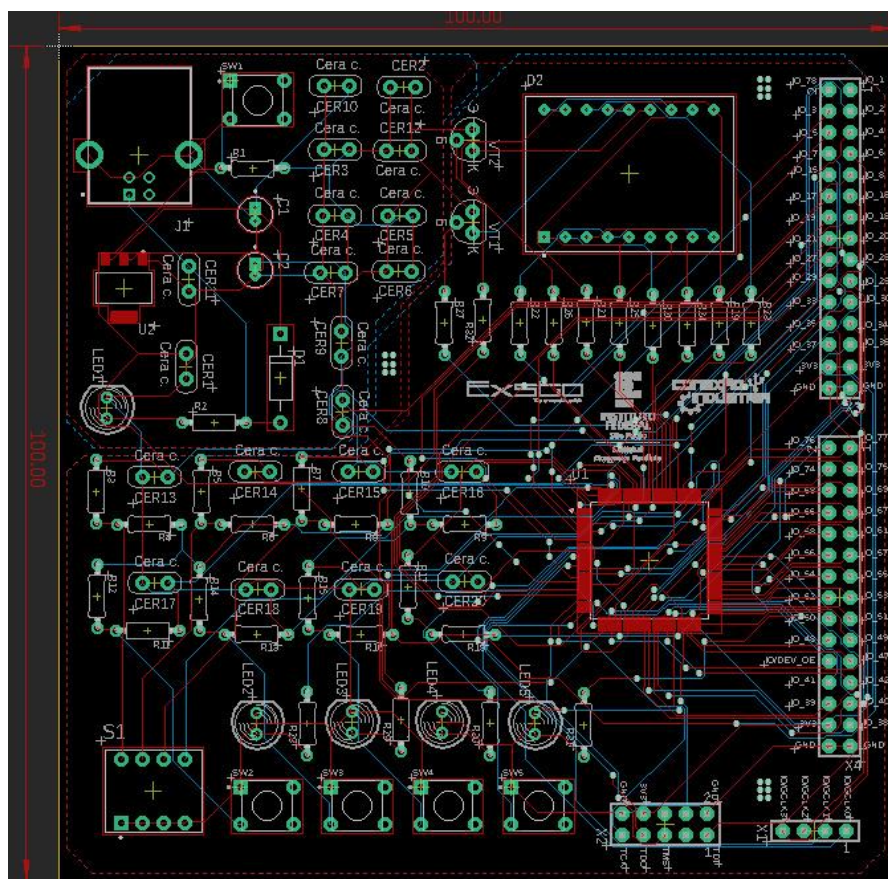


Figura 4.7 - Layout da placa
Fonte: (Próprio Autor, 2022)

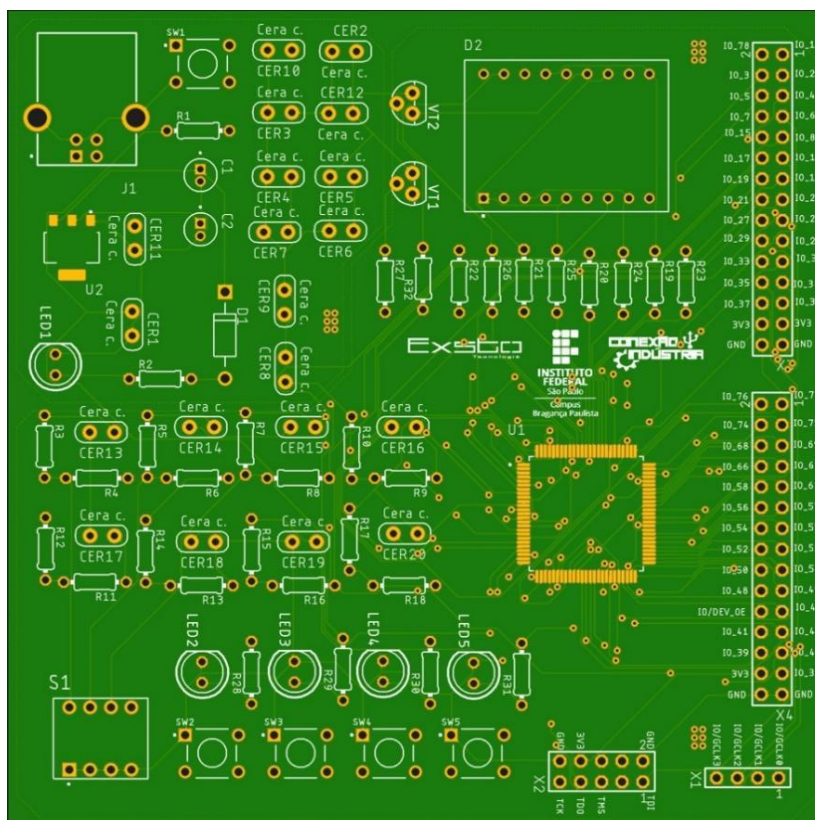


Figura 4.8 - Pré visualização da placa a ser fabricada
Fonte: (Próprio Autor, 2022)

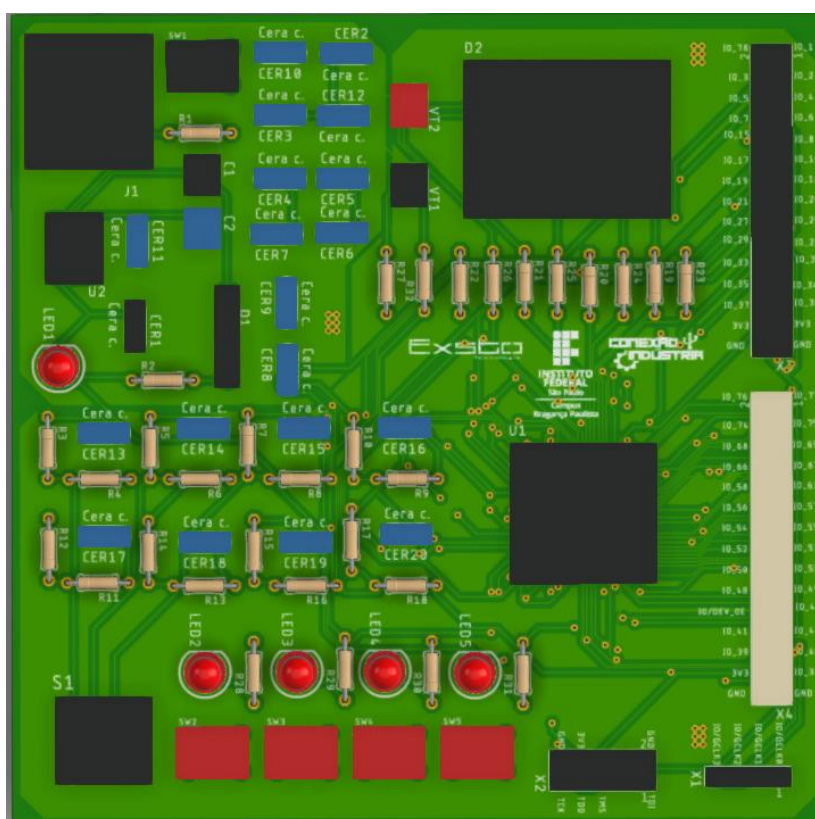


Figura 4.9 - Simulação em 3D da placa com componentes
Fonte: (Próprio Autor, 2022)

Nem todos os componentes estão presentes nessa última imagem pelo fato de suas bibliotecas não possuírem o design em 3D dos mesmos.

4.3.3 Fabricação da placa

Com o esquemático e layout da placa definidos, foi gerado o arquivo de extensão gerber (figura 4.10), que é um formato de arquivo padrão utilizado pela indústria de placas de circuito impresso para realizarem a produção destas. Esse tipo de arquivo, que é gerado no próprio Eagle, contém informações como tamanho da placa, furação, camadas de cobre, máscara de solda, etc. O gerber é gerado pela ferramenta “*CAM Processor*” do EAGLE.

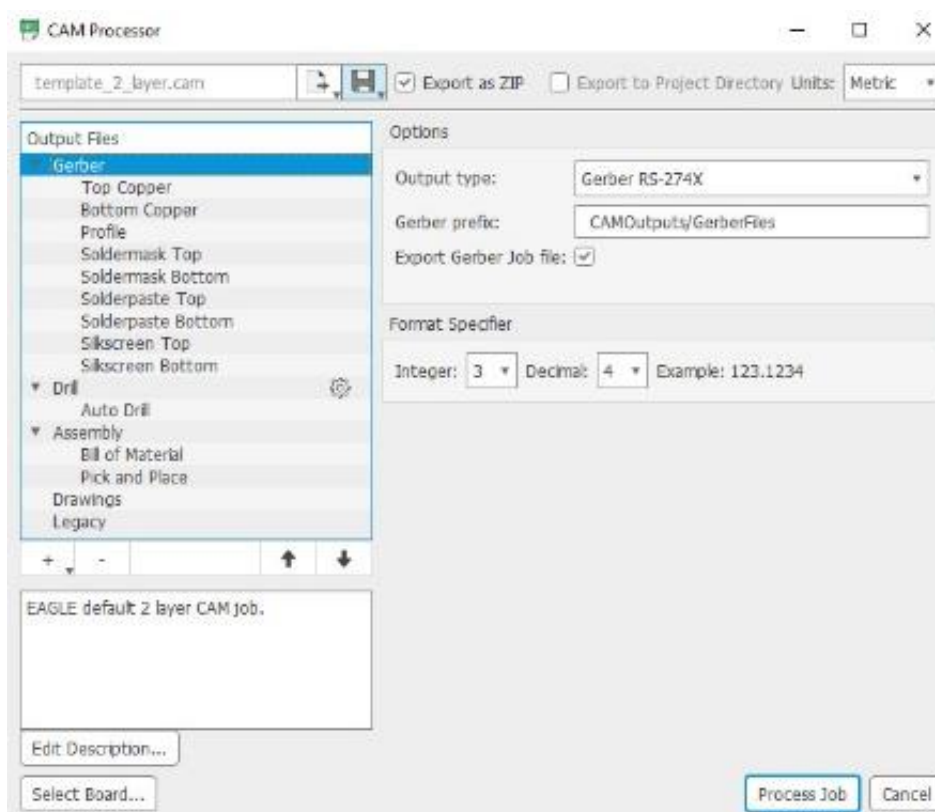


Figura 4.10 - Criação do gerber
Fonte: (Próprio Autor, 2022)

O gerber gerado é o arquivo enviado para a fabricação da placa. Após uma pesquisa realizada entre empresas fabricantes de placas de circuito impresso nacionais e estrangeiras, foi determinado que a placa seria produzida pela chinesa JLCPCB.

4.3.4 Solda

Após a fabricação da placa e a compra dos componentes, executou-se as soldas, na qual deve-se atentar ao layout da placa e ao esquemático para o posicionamento correto dos

componentes. Para a facilitar a localização dos componentes, os mesmos foram identificados pelo nome impresso na placa, como mostra o quadro 4.3.

Quadro 4.3 - Identificação dos componentes pelo nome impresso na placa

Componentes	Nome impresso
Chip CPLD	U1
Capacitor cerâmico 100nF	Todos com prefixo "CER"
Resistor 10K	R1, R3, R5, R7, R9, R11, R13, R15, R17
Resistor 1K	R4, R6, R8, R10, R12, R14, R16, R18, R27, R32
Resistor 2K2	R2
Resistor 330R	R19, R20, R21, R22, R23, R24, R25, R26, R28, R28, R30, R31
Pushbutton 6x6x5mm	SW1, SW2, SW3, SW4, SW5
DIP Switch 4 vias	S1
Conector USB	J1
Regulador AMS1117 3V3	U2
LED 5mm verde	LED 1
LED 5mm vermelho	LED 2, LED3, LED4, LED5
Diodo 1N4007	D1
Transistor BC548	VT1, VT2
Capacitor eletrolítico 10uF	C1, C2
Display 7 segmentos	D2
Barra de pinos	X1, X2, X3 e X4

Fonte: (Próprio Autor, 2022)

As figuras 4.11 e 4.12 mostram a placa já fabricada, porém sem os componentes soldados.

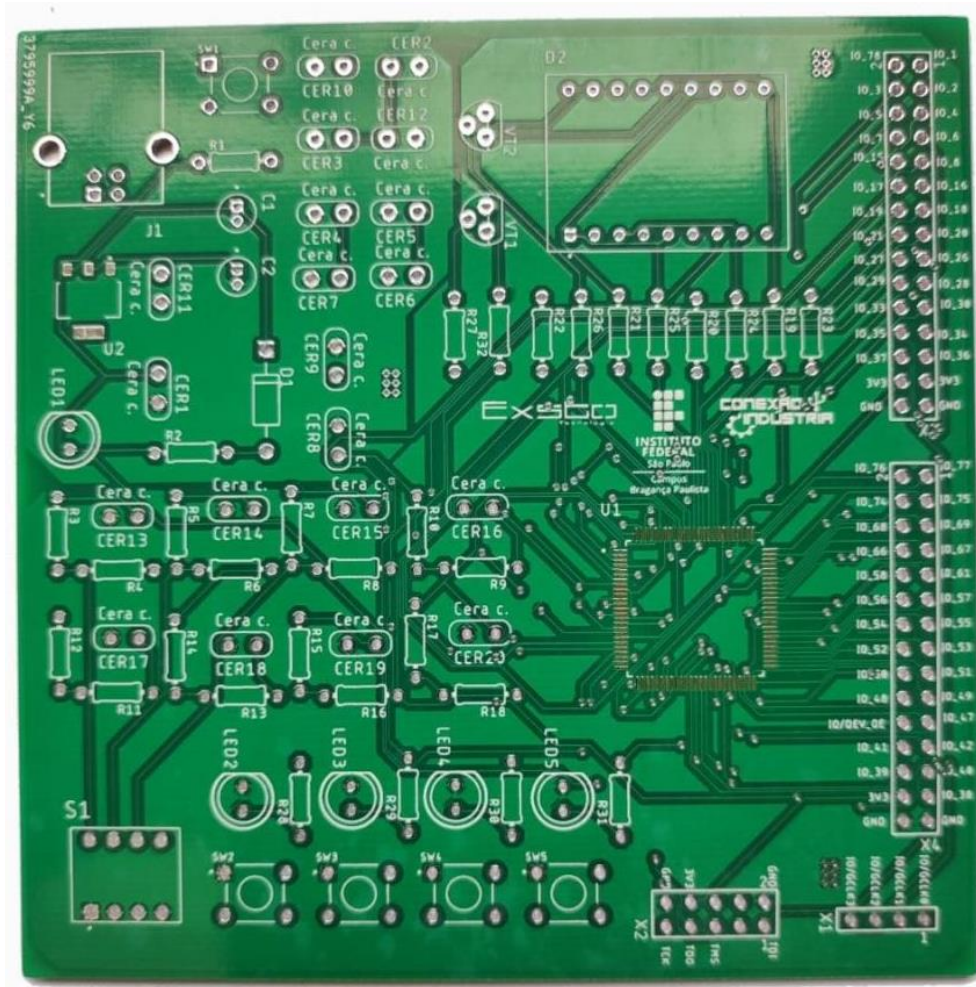


Figura 4.11 - Placa pré solda lado TOP
 Fonte: (Próprio Autor, 2022)

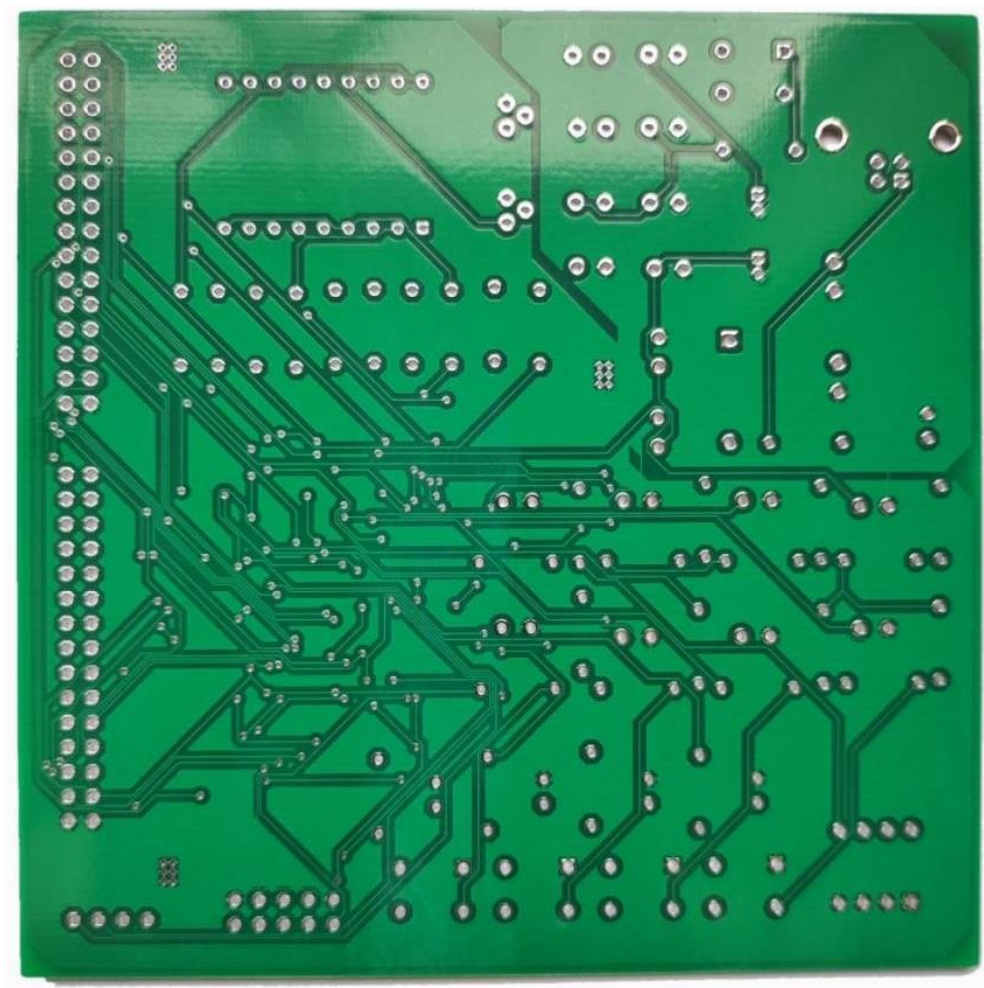


Figura 4.12 - Placa pré solda lado BOTTOM
Fonte: (Próprio Autor, 2022)

Outro ponto a se destacar foi a opção pelo uso dos componentes eletrônicos da placa serem do tipo PTH, exceto o chip CPLD, o que tornou possível realizar a soldagem somente com um ferro de solda, sem a necessidade de máquinas especiais. Um facilitador para a soldagem do chip é o soprador térmico, por sua capacidade de aquecer todos os terminais do CPLD ao mesmo tempo, porém, sua falta pode ser compensada com certa perícia com o ferro de solda. O soprador térmico e o ferro de solda estão representados na figura 4.13.



Figura 4.13 - Estação de retrabalho: ferro de solda e soprador térmico

Fonte: <https://http2.mlstatic.com/D_NQ_NP_697198-MLB49351829201_032022-O.webp>. Acesso em ago. 2022

As figuras 4.14 e 4.15 mostram os lados da placa após a solda dos componentes:

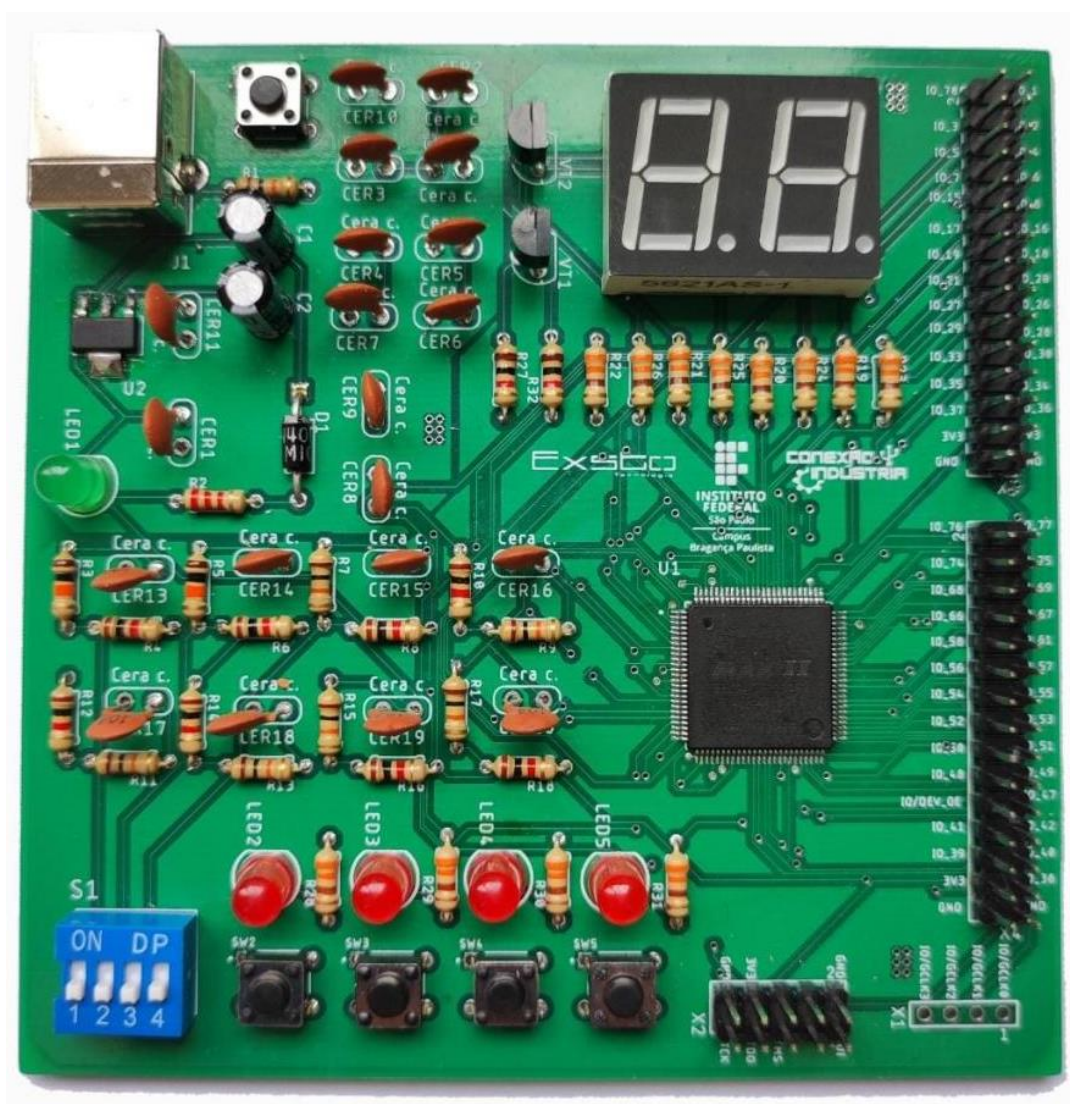


Figura 4.14 - Placa pós solda lado TOP

Fonte: (Próprio Autor, 2022)

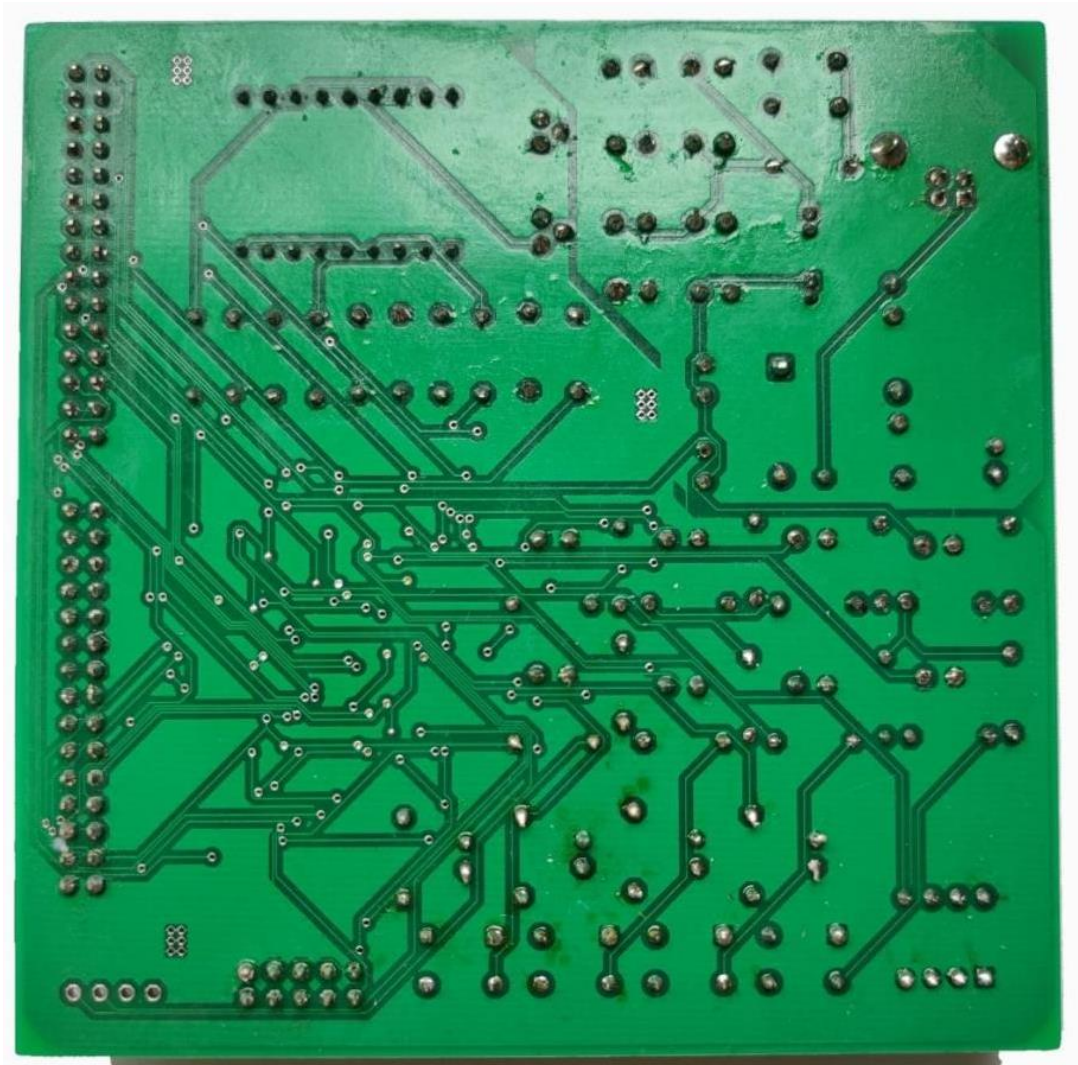


Figura 4.15 - Placa pós solda lado BUTTOM
Fonte: (Próprio Autor, 2022)

Para testes e validações da placa, verificar o apêndice B e seguir as instruções.

4.4 Recursos da placa final e disposição dos pinos do CPLD

Com os componentes soldados na placa é necessário ter o conhecimento da localização de seus terminais em relação ao CPLD **EPM240T100C5**, da família MAX II.

A identificação dos componentes na placa é importante para que as aplicações no software de programação sejam conduzidas de forma correta. A figura 4.16 apresenta os nomes adotados para os recursos da placa.

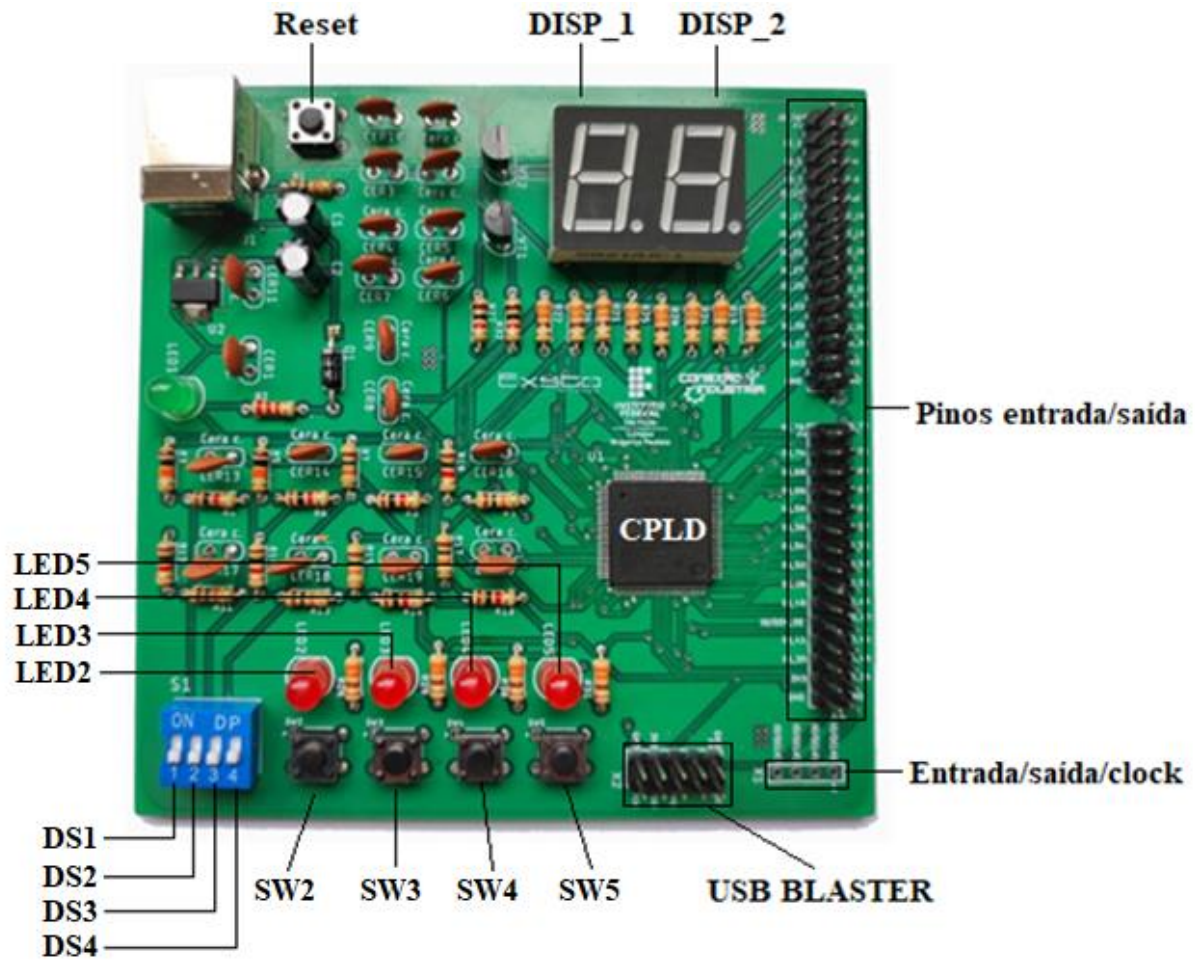


Figura 4.16 – Identificação dos componentes periféricos
 Fonte: (Próprio Autor, 2022)

Os componentes da figura acima estão conectados nos pinos do CLPD conforme mostra a figura 4.17:

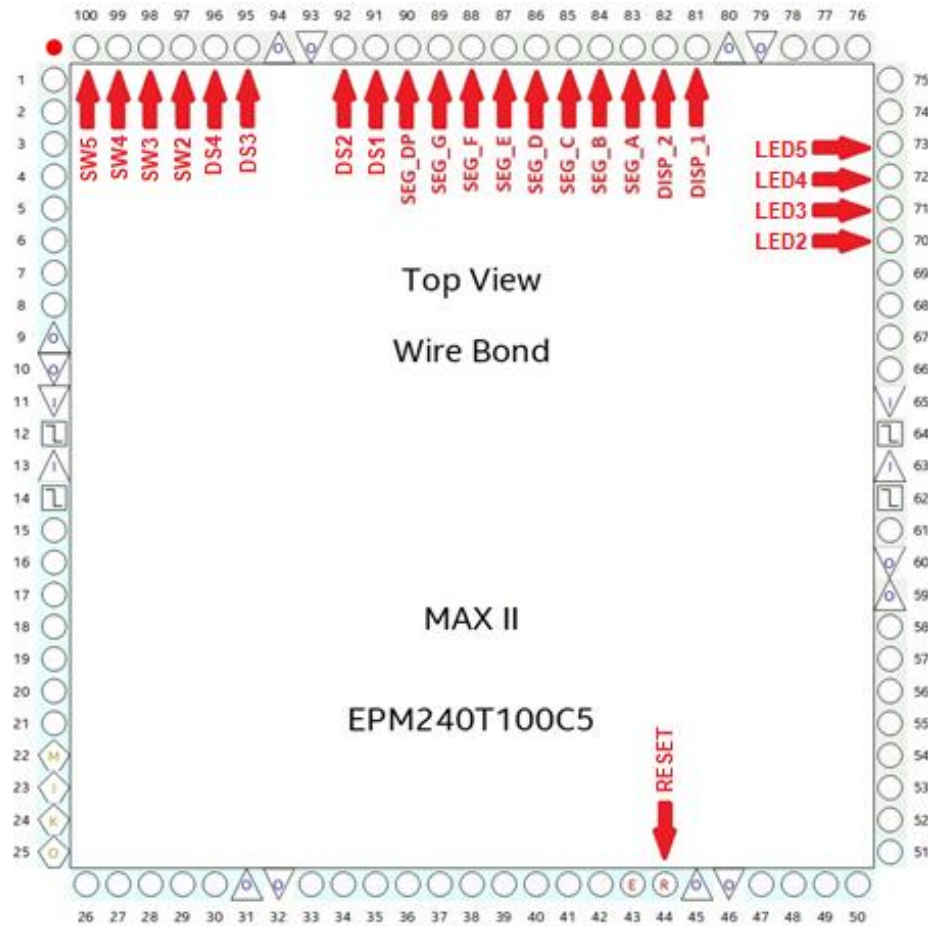


Figura 4.17 - Disposição dos pinos do CPLD e localização dos componentes
 Fonte: (Próprio Autor, 2022)

4.4.1 Configuração dos botões

A placa conta com quatro botões pulsantes, os quais são conectados conforme apresentam a figura 4.18 e o quadro 4.4:

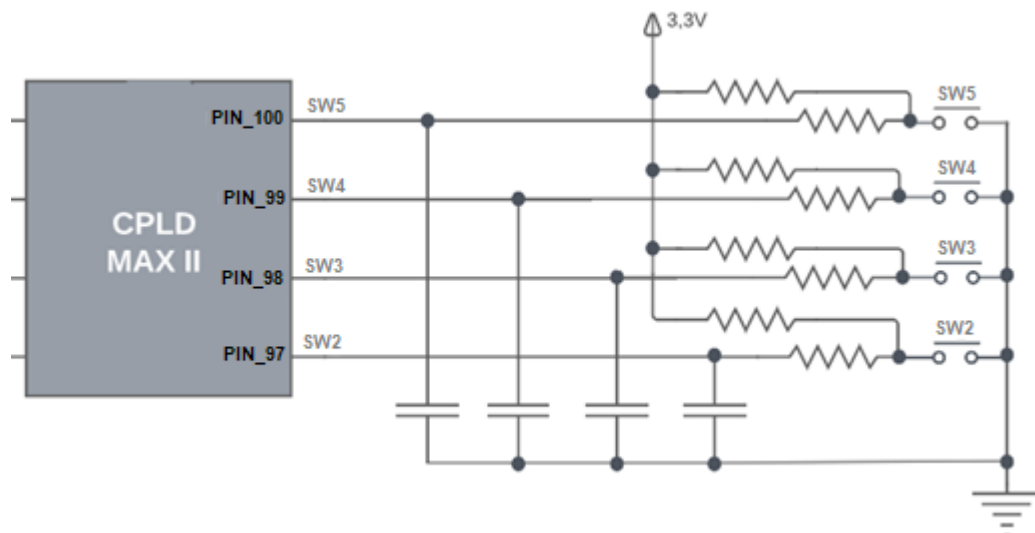


Figura 4.18 - Diagrama dos Push Buttons
 Fonte: (Próprio Autor, 2022)

Quadro 4.4 - Conexão dos botões

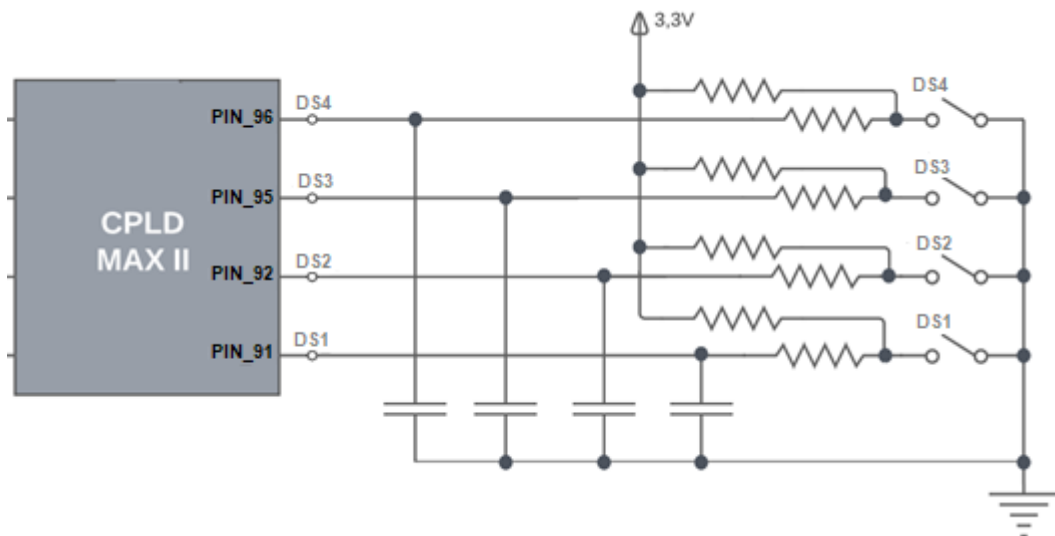
Nome do Sinal	Pino do CPLD	Padrão E/S
SW2	PIN_97	3.3-V LVTTTL
SW3	PIN_98	3.3-V LVTTTL
SW4	PIN_99	3.3-V LVTTTL
SW5	PIN_100	3.3-V LVTTTL

Fonte: (Próprio Autor, 2022)

Os botões estão ligados a resistores de *pull-up*, portanto, no momento em que os contatos estiverem fechados será enviado um sinal de nível lógico baixo para o circuito. Os demais capacitores e resistores são utilizados para função de *debounce*, que se trata da eliminação de sinais indesejáveis gerados pelas imperfeições das chaves mecânicas.

4.4.2 Configuração da chave *dip switch*

Outro componente disposto na placa é uma chave *dip switch* de 4 vias. Sua configuração pode ser consultada na figura 4.19 e no quadro 4.5.

**Figura 4.19** - Diagrama do Dip Switch

Fonte: (Próprio Autor, 2022)

Quadro 4.5 - Conexão das chaves

Nome do Sinal	Pino do CPLD	Padrão E/S
DS1	PIN_91	3.3-V LVTTTL
DS2	PIN_92	3.3-V LVTTTL
DS3	PIN_95	3.3-V LVTTTL
DS4	PIN_96	3.3-V LVTTTL

Fonte: (Próprio Autor, 2022)

Assim como os botões, as chaves do *dip switch* estão ligadas a resistores de *pull-up*, portanto, cada chave fechada enviará nível lógico baixo para o circuito. A figura 4.20 exibe as posições em que a chave enviará nível lógico 1 e nível lógico 0. Os demais capacitores e resistores são utilizados para função de *debounce*.

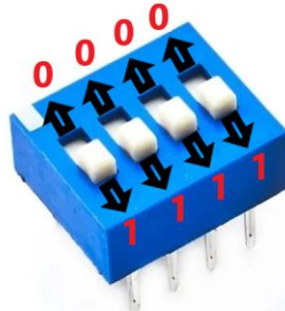


Figura 4.20 - Posições dip switch
Fonte: (Próprio Autor, 2022)

4.4.3 Configuração do display de 7 segmentos

O display contido na placa é um display de 7 segmentos de dois dígitos e catodo comum. A configuração dos pinos do display está representada pela figura 4.21 e o quadro 4.6.

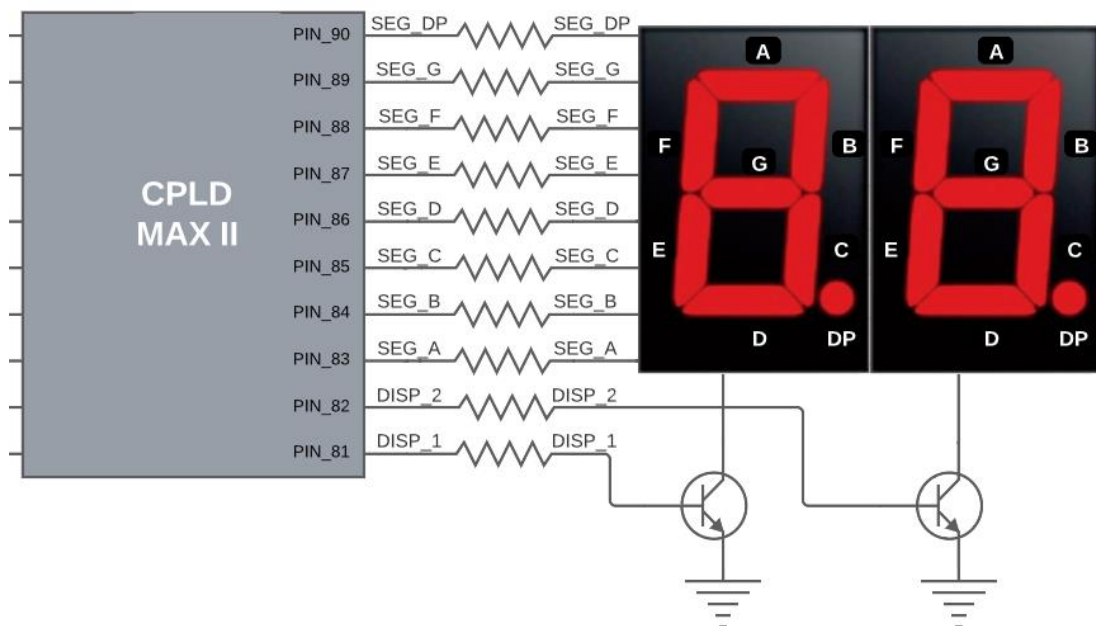


Figura 4.21 – Diagrama do display de 7 segmentos
Fonte: (Próprio Autor, 2022)

Quadro 4.6 - Conexão do display

Nome do Sinal	Pino do CPLD	Padrão E/S
DISP_1	PIN_81	3.3-V LVTTTL
DISP_2	PIN_82	3.3-V LVTTTL
SEG_A	PIN_83	3.3-V LVTTTL
SEG_B	PIN_84	3.3-V LVTTTL
SEG_C	PIN_85	3.3-V LVTTTL
SEG_D	PIN_86	3.3-V LVTTTL
SEG_E	PIN_87	3.3-V LVTTTL
SEG_F	PIN_88	3.3-V LVTTTL
SEG_G	PIN_89	3.3-V LVTTTL
SEG_DP	PIN_90	3.3-V LVTTTL

Fonte: (Próprio Autor, 2022)

Cada segmento do display catodo comum é ativado com nível lógico alto em suas entradas.

Na placa os segmentos dos dois dígitos estão conectados a pinos comuns entre eles, por exemplo: o sinal SEG_A conectado ao segmento A do primeiro dígito é o mesmo sinal ligado ao segmento A do segundo dígito. Desta forma, para reproduzir números diferentes nos dois dígitos do display, é necessário trabalhar com multiplexação e para isso foi adicionado dois transistores NPN no circuito, que ao serem excitados permitem a passagem de sinal para seus respectivos dígitos.

O sinal DISP_1 excita o transistor que acionará o dígito 1 do display e o sinal DISP_2 excita o transistor que acionará o dígito 2 do display.

4.4.4 Configuração dos LEDs

A placa disponibiliza quatro LEDs para serem utilizados na montagem de circuitos. A configuração dos pinos dos LEDs é apresentada pela figura 4.22 e pelo quadro 4.7.

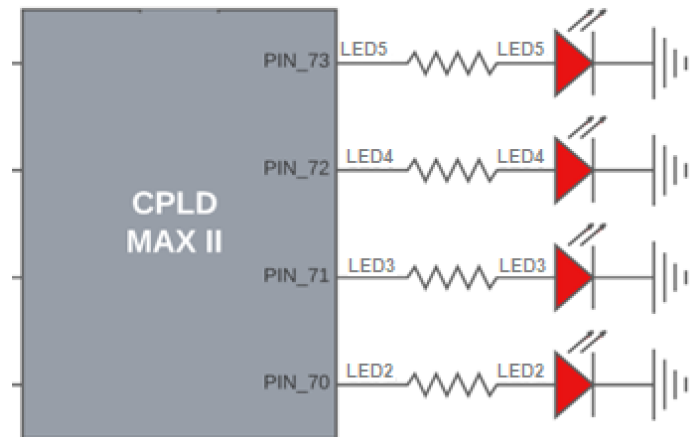


Figura 4.22 – Diagrama dos LEDs
Fonte: (Próprio Autor, 2022)

Quadro 4.7 - Conexão dos LEDs

Nome do Sinal	Pino do CPLD	Padrão E/S
LED2	PIN_70	3.3-V LVTTTL
LED3	PIN_71	3.3-V LVTTTL
LED4	PIN_72	3.3-V LVTTTL
LED5	PIN_73	3.3-V LVTTTL

Fonte: (Próprio Autor, 2022)

4.4.5 Barramentos de entradas e saídas

Outros acessórios da placa são os barramentos de pinos. Esta placa possui dois barramentos com um total de cinquenta e três pinos de entrada e saída, três pinos de alimentação DC em 3,3V e quatro pinos de aterramento. A figura 4.23 e o quadro 4.8 apresentam a disposição dos pinos em relação ao CPLD.

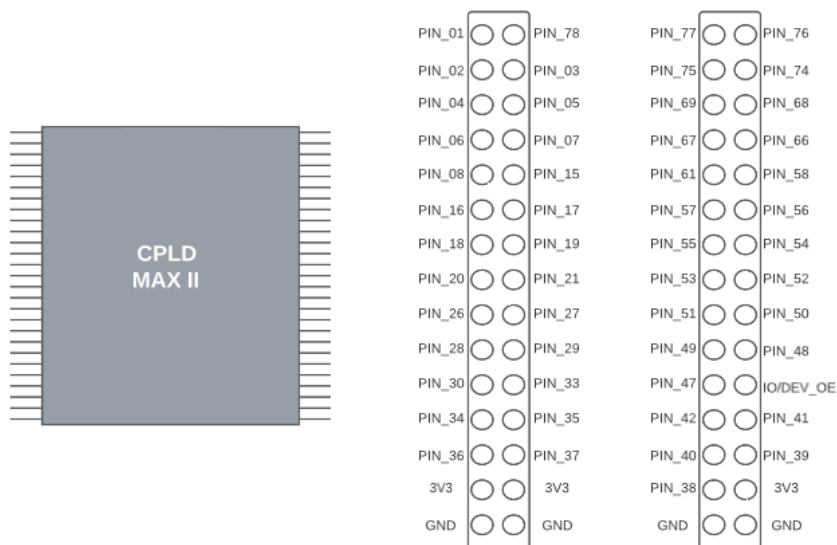


Figura 4.23 Barramento de pinos
Fonte: (Próprio Autor, 2022)

Quadro 4.8 - Conexão do barramento de pinos

Nome do Sinal	Pino do CPLD	Padrão E/S
PIN_01	PIN_01	3.3-V LVTTTL
PIN_02	PIN_02	3.3-V LVTTTL
PIN_03	PIN_03	3.3-V LVTTTL
PIN_04	PIN_04	3.3-V LVTTTL
PIN_05	PIN_05	3.3-V LVTTTL
PIN_06	PIN_06	3.3-V LVTTTL
PIN_07	PIN_07	3.3-V LVTTTL
PIN_08	PIN_08	3.3-V LVTTTL
PIN_15	PIN_15	3.3-V LVTTTL
PIN_16	PIN_16	3.3-V LVTTTL
PIN_17	PIN_17	3.3-V LVTTTL
PIN_18	PIN_18	3.3-V LVTTTL
PIN_19	PIN_19	3.3-V LVTTTL
PIN_20	PIN_20	3.3-V LVTTTL
PIN_21	PIN_21	3.3-V LVTTTL
PIN_26	PIN_26	3.3-V LVTTTL
PIN_27	PIN_27	3.3-V LVTTTL
PIN_28	PIN_28	3.3-V LVTTTL
PIN_29	PIN_29	3.3-V LVTTTL
PIN_30	PIN_30	3.3-V LVTTTL
PIN_33	PIN_33	3.3-V LVTTTL
PIN_34	PIN_34	3.3-V LVTTTL
PIN_35	PIN_35	3.3-V LVTTTL
PIN_36	PIN_36	3.3-V LVTTTL
PIN_37	PIN_37	3.3-V LVTTTL
PIN_38	PIN_38	3.3-V LVTTTL
PIN_39	PIN_39	3.3-V LVTTTL
PIN_40	PIN_40	3.3-V LVTTTL
PIN_41	PIN_41	3.3-V LVTTTL
PIN_42	PIN_42	3.3-V LVTTTL
IO/DEV_OE	PIN_43	3.3-V LVTTTL
PIN_47	PIN_47	3.3-V LVTTTL
PIN_48	PIN_48	3.3-V LVTTTL
PIN_49	PIN_49	3.3-V LVTTTL
PIN_50	PIN_50	3.3-V LVTTTL
PIN_51	PIN_51	3.3-V LVTTTL
PIN_52	PIN_52	3.3-V LVTTTL
PIN_53	PIN_53	3.3-V LVTTTL
PIN_54	PIN_54	3.3-V LVTTTL
PIN_55	PIN_55	3.3-V LVTTTL
PIN_56	PIN_56	3.3-V LVTTTL
PIN_57	PIN_57	3.3-V LVTTTL
PIN_58	PIN_58	3.3-V LVTTTL

PIN_61	PIN_61	3.3-V LVTTTL
PIN_66	PIN_66	3.3-V LVTTTL
PIN_67	PIN_67	3.3-V LVTTTL
PIN_68	PIN_68	3.3-V LVTTTL
PIN_69	PIN_69	3.3-V LVTTTL
PIN_74	PIN_74	3.3-V LVTTTL
PIN_75	PIN_75	3.3-V LVTTTL
PIN_76	PIN_76	3.3-V LVTTTL
PIN_77	PIN_77	3.3-V LVTTTL
PIN_78	PIN_78	3.3-V LVTTTL

Fonte: (Próprio Autor, 2022)

4.4.6 Botão de Reset

Além dos botões convencionais conectados nos pinos de I/O, a placa disponibiliza um quinto botão para ser utilizado como reset. O circuito é apresentado pela figura 4.24 e pelo quadro 4.9.

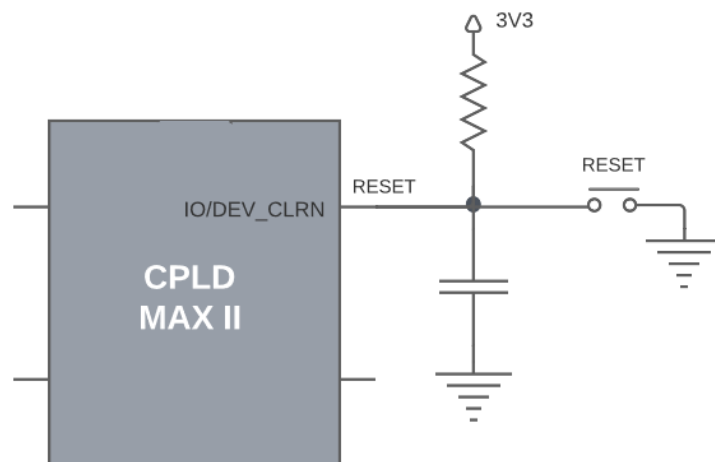


Figura 4.24 – Diagrama botão reset

Fonte: (Próprio Autor, 2022)

Quadro 4.9 - Conexão pino do botão reset

Nome do Sinal	Pino do CPLD	Padrão E/S
RESET	PIN_44	3.3-V LVTTTL

Fonte: (Próprio Autor, 2022)

Seguindo o padrão dos botões e chave já apresentados, o botão reset ao ser pressionado envia um sinal de nível lógico baixo para a entrada do CPLD, que sendo configurado no software, poderá resetar o circuito. Este circuito contém um resistor de *pull-up* e um capacitor de *debounce*.

4.4.7 Barramento de clock

Quatro pinos da placa estão disponíveis para entrada com sinal de *clock*. A configuração desses pinos é representada pela figura 4.25 e pelo quadro 4.10.

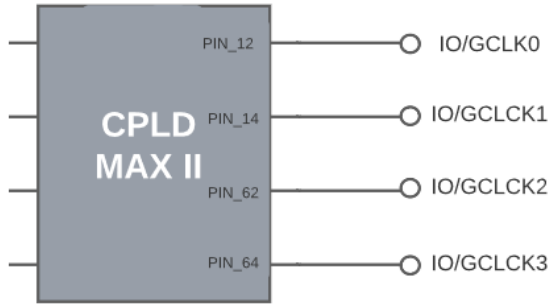


Figura 4.25 - Diagrama pinos de clock
Fonte: (Próprio Autor, 2022)

Quadro 4.10 - Conexão dos pinos de clock

Nome do Sinal	Pino do CPLD	Padrão E/S
IO/GCLK0	PIN_12	3.3-V LVTTTL
IO/GCLK1	PIN_14	3.3-V LVTTTL
IO/GCLK2	PIN_62	3.3-V LVTTTL
IO/GCLK3	PIN_64	3.3-V LVTTTL

Fonte: (Próprio Autor, 2022)

4.4.8 Circuito de alimentação

A alimentação da placa é realizada basicamente por meio de uma porta USB e um regulador de tensão. A conexão dos pinos é realizada conforme a imagem 4.26.

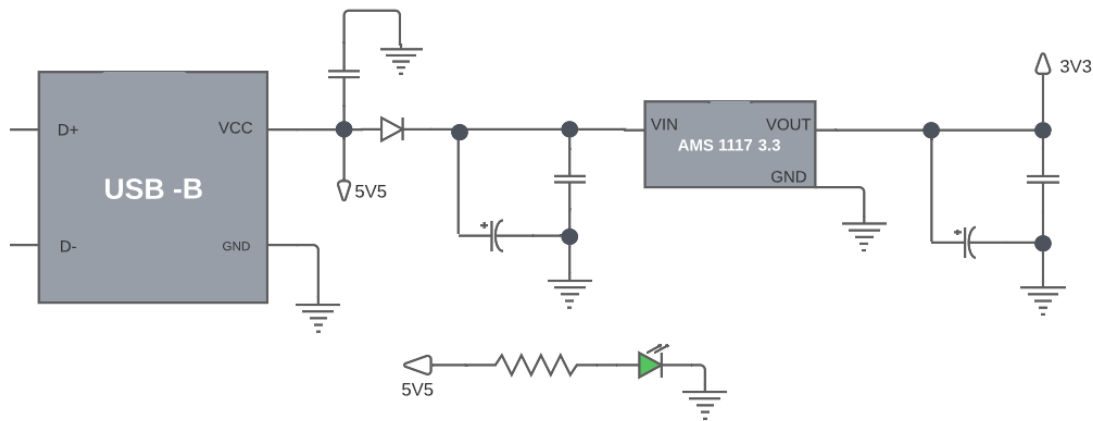


Figura 4.26 - Diagrama circuito de alimentação
Fonte: (Próprio Autor, 2022)

4.4.9 Conexão USB Blaster

Para a realização das gravações dos projetos na placa, o USB Blaster deve ter seu conector USB ligado ao computador e seu plug fêmea ligado a placa. A figura 4.27 apresenta a numeração das conexões do gravador e o quadro 4.11 apresenta a descrição dos pinos de conexão.

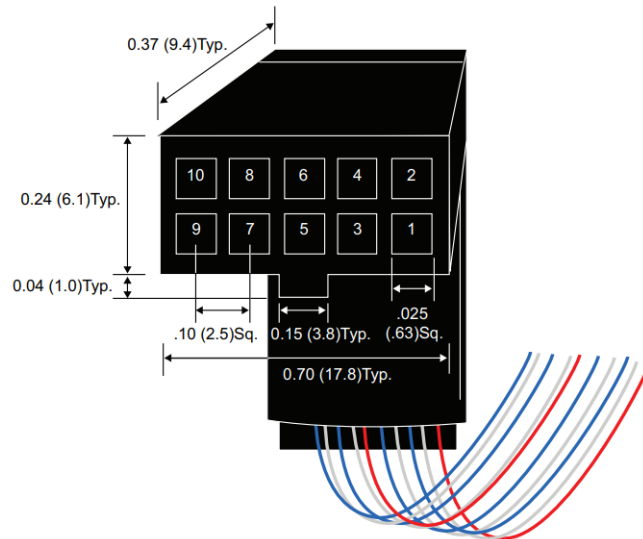


Figura 4.27 - Pinos de conexão do USB Blaster e dimensões do conector

Fonte: < <https://www.intel.com/content/dam/support/jp/ja/programmable/support-resources/bulk-container/pdfs/literature/ug/ug-usb-blstr-ii-cable.pdf>>. Acesso em dez. 2022.

Quadro 4.11 – Descrição dos pinos de conexão do USB Blaster

Pin	AS Mode		PS Mode		JTAG Mode	
	Signal Name	Description	Signal Name	Description	Signal Name	Description
1	DCLK	Clock signal	DCLK	Clock signal	TCK	Clock signal
2	GND	Signal ground	GND	Signal ground	GND	Signal ground
3	CONF_DONE	Configuration done	CONF_DONE	Configuration done	TDO	Data from device
4	VCC (TRGT)	Target power supply	VCC (TRGT)	Target power supply	VCC (TRGT)	Target power supply
5	nCONFIG	Configuration control	nCONFIG	Configuration control	TMS	JTAG state machine control
6	nCE	Cyclone chip enable	—	No connect	—	No connect
7	DATAOUT	Active serial data out	nSTATUS	Configuration status	—	No connect
8	nCS	Serial configuration device chip select	—	No connect	—	No connect
9	ASDI	Active serial data in	DATA0	Data to device	TDI	Data to device
10	GND	Signal ground	GND	Signal ground	GND	Signal ground

Fonte: < https://www.mouser.com/datasheet/2/598/g_usb_blstr_v2.5-876789.pdf>. Acesso em dez. 2022.

Para a conexão na placa em questão, deve-se adotar o modo JTAG. A figura 4.28 mostra os pinos de conexão do USB Blaster na placa:

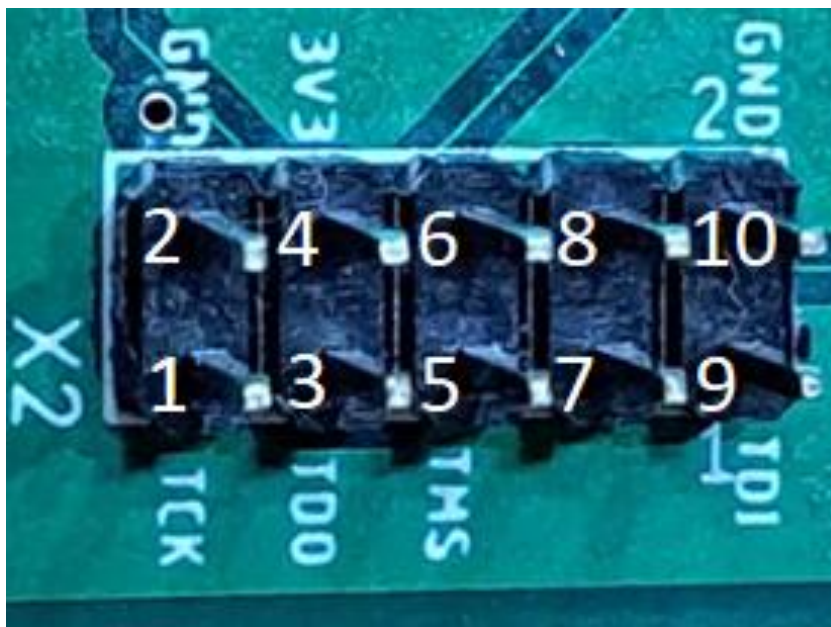


Figura 4.28 - Disposição dos pinos de gravação na placa
Fonte: (Próprio Autor, 2022)

4.5 Compartilhamento do projeto como *Open Source Hardware* (OSHW)

Com a placa devidamente montada e seus processos documentados foi feito o compartilhamento do projeto.

Levando em consideração o viés educacional e de fomentação da cultura *Maker* no qual este projeto está inserido, a forma mais adequada de compartilhamento é a publicação como OSHW.

Nesta etapa, foram analisados alguns tipos de licenças para o compartilhamento de OSHW. As principais existentes são:

- *Creative Commons Attribution, Share-Alike* (BY-SA);
- *Creative Commons Attribution* (BY);
- *GNU General Public License* (GPL);
- *Hardware-Specific Licenses*: TAPR OHL, CERN OHL;
- *FreeBSB license*;
- *MIT license*.

Cada licença possui suas particularidades, e no caso deste projeto foi decidido que a licença utilizada seria a *Creative Commons Attribution, Share-Alike 4.0 International* (CC BY-SA 4.0), a qual concede, resumidamente, o direito de:

- Compartilhar – copiar e redistribuir o material em qualquer suporte ou formato;
- Adaptar - remixar, transformar e criar a partir do material para qualquer fim, mesmo que comercial;

Desde que sejam respeitados os seguintes termos:

- Atribuição – Deve ser dado o crédito apropriado, prover um link para licença e indicar as mudanças que eventualmente foram feitas.
- Compartilhamento Igual – Caso um projeto seja remixado, transformado ou criado a partir de um outro, este deve ser distribuído com a mesma licença do original.

Para o compartilhamento do projeto foi criado um diretório no “*github.com*” onde estará presente todos os documentos necessários para a produção da placa, sendo estes, arquivos de esquemático, layout, lista de componentes, bibliotecas utilizadas, entre outros. Neste diretório também deve estar incluída a licença de compartilhamento do projeto.

Em seguida o projeto foi cadastrado na *Open Source Hardware Association*, para enfim ser validado como um OSHW.

5 RESULTADOS E DISCUSSÕES

5.1 Importância do projeto a partir da fundamentação teórica

Como já era esperado, a pesquisa teórica comprovou a importância do desenvolvimento da placa, que além de propor o estudo de hardwares reconfiguráveis e promover o interesse à essa tecnologia, estimula a cultura de construir com as próprias mãos e do compartilhamento de informações para que a tecnologia se popularize e tenha cada vez mais informações disseminadas com uma comunidade interessada que tende a crescer. Com o número de entusiastas na área crescendo e com informações disponibilizadas de forma livre na rede, novos projetos podem ser criados em conjunto, projetos existentes podem ser melhorados e dessa forma a tecnologia tende a evoluir com mais velocidade, partindo da facilidade de acesso a ela e do aumento de interessados no assunto.

A literatura mostrou o meio no qual os hardwares reconfiguráveis estão inseridos e a gama de aplicações que estes podem atender, além do fato de diversos chips serem projetados a partir de protótipos em hardwares reconfiguráveis, o que torna o estudo sobre esse tipo de tecnologia atrativo para quem deseja seguir em diversas áreas de engenharia e “*makers*”, uma vez que os sistemas digitais estão cada vez mais presentes na vida das pessoas.

5.2 Resultados esperados quanto a viabilidade de montagem da placa

Analisando a perspectiva do projeto de montar uma placa de desenvolvimento acessível para trabalhar com lógica reconfigurável, foi obtido sucesso, visto que placas semelhantes com preços parecidos são encontradas somente no mercado internacional, sendo a grande maioria chinesa, o que impede que essas placas sejam montadas, alteradas ou personalizadas pelo usuário. No mercado nacional, são encontradas poucas placas de desenvolvimento baseadas em lógica reconfigurável, com elas apresentando altos preços ou menos recursos se comparadas a placa desenvolvida por meio deste trabalho ou até mesmo com as internacionais, além da impossibilidade de alteração em seu projeto.

No início do trabalho a placa teria um circuito adicional para gravação dos programas no chip. Ao ser tomada a decisão de retirar esse circuito, as dimensões da placa foram reduzidas, resultando na diminuição dos custos e simplificação da montagem. Além da redução do tamanho, o chip principal foi alterado, o que no início seria um FPGA, mais complexo, caro e difícil de encontrar no mercado em pandemia, mas que apesar de possuir uma quantidade menor de blocos lógicos, tem um preço menor que o FPGA e é mais facilmente encontrado no mercado

nacional. Por fim, como mostra a Tabela 4.1, o valor total da placa desenvolvida foi de R\$125,28 ou US\$23,11.

O quadro 5.1 e as figuras a seguir apresentam alguns exemplos comparativos de placas de desenvolvimento que funcionam com lógica reconfigurável:

Quadro 5.1 - Comparativo entre placas de desenvolvimento com lógica reconfigurável

Placa	LEDs	Chaves	Display	Gravador na placa	Gravador externo incluso	OSHW	Custo	Custo em US\$
Placa 1 (figura 5.1)	X						R\$198,91	US\$36,69
Placa 2 (figura 5.2)	X	X	X				R\$216,10	US\$39,87
Placa 3 (figura 5.3)					X		R\$169,00	US\$31,18
Placa 4 (figura 5.4)	X	X	X	X			R\$1183,90	US\$218,43
Placa 5 (figura 5.5)	X						R\$488,36	US\$90,10
Placa 6 (figura 5.6)	X	X	X		X	X	R\$125,28	US\$23,11



Figura 5.1 - CPLD Xilinx XC9572XL
Fonte: (Mercado Livre, 2022)

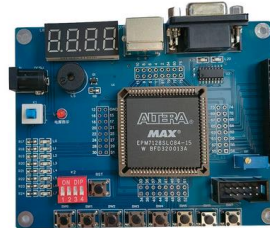


Figura 5.2 - CPLD Altera MAX II EPM7128SLC84
Fonte: (AliExpress, 2022)



Figura 5.3 – Kit Altera MAX II EPM240
Fonte: (Mercado Livre, 2022)

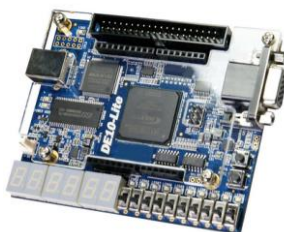


Figura 5.4 - Kit DE10-Lite
Fonte: (AliExpress, 2022)

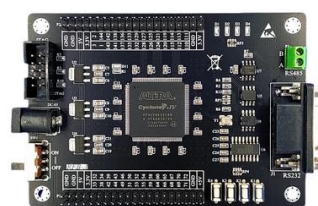


Figura 5.5 - FPGA Cyclone IV EP4CE6E22C8
Fonte: (AliExpress, 2022)



Figura 5.6 - OSHW com CPLD
Fonte: (Próprio Autor, 2022)

5.3 Resultados esperados quanto ao funcionamento da placa

Após todas as etapas de montagem a placa apresentou o funcionamento esperado, com suas entradas e saídas funcionando conforme a programação, com display e LEDs ligando e

desligando quando solicitados, com os botões e a chave interagindo com o circuito, enviando ou não sinal para o chip e com os pinos de entrada e saída recebendo os sinais esperados e respondendo de forma a atender as solicitações. Portanto a placa se tornou apropriada para o desenvolvimento de circuitos e aprendizado da lógica reconfigurável.

5.4 Compartilhamento do projeto

O projeto foi compartilhado na plataforma “*github.com*” e se encontra disponível para manipulações de acordo com os termos previstos na licença *Creative Commons Attribution, Share-Alike 4.0 International (CC BY-SA 4.0)*.

A documentação da placa, arquivos necessários para a elaboração do projeto e o arquivo da licença sob a qual o mesmo foi compartilhado, estão disponíveis no endereço “<https://github.com/pviniciusmeira/oshwpld>”.

O projeto foi certificado pela *Open Source Hardware Association* (figura 5.7) e pode ser encontrado no site da organização.

DEVELOPMENT BOARD WITH RECONFIGURABLE LOGIC

PAULO VINICIUS DA SILVA MEIRA ✉

OSHWA UID
BR000011

PROJECT WEBSITE

CERTIFICATION DATE
November 21, 2022

COUNTRY
Brazil

The project is a development board for works with reconfigurable logic. The component used as the basis for the project is a CPLD (Complex Programmable Logic Device). The board has I/O pins and peripherals such as LEDs, 7-segment display, switches and buttons, so that different applications can be implemented without the need for external components. So that there are no difficulties in making the board, most PTH (Pin Through Hole) components were used, which facilitates the soldering process.

VERSION
1.0

Licenses

HARDWARE
CC-BY-SA-4.0

SOFTWARE
NO SOFTWARE

DOCUMENTATION
CC-BY-SA-4.0
VIEW DOCUMENTATION

Figura 5.7 - Certificação de OSHW pela OSHWA

Fonte: <<https://certification.oshwa.org/br000011.html>>. Acesso em nov. 2022

6 CONCLUSÕES E CONSIDERAÇÕES FINAIS

Este capítulo apresenta as conclusões obtidas com o desenvolvimento do projeto e sugere trabalhos futuros relacionados ao que foi tratado neste trabalho.

6.1 Conclusões

Neste trabalho foram tratados os conceitos de *open source hardware*, lógica reconfigurável e Cultura *Maker*, que sustentaram o objetivo principal do trabalho de produzir uma placa eletrônica de desenvolvimento, para trabalhos com lógica reconfigurável.

Foi produzida uma placa utilizando um chip CPLD, que é responsável por controlar o funcionamento de um display de 7 segmentos com dois dígitos, LEDs, chaves e botões já presentes na placa. Como o CPLD possui uma grande quantidade de blocos lógicos, não é interessante limitar suas funcionalidades à somente alguns componentes soldados na placa. Portanto, seus demais pinos de entrada e saída também foram disponibilizados em barramentos para serem utilizados nas mais diversas aplicações com componentes externos, estando limitadas à criatividade do desenvolvedor.

Por se tratar de um projeto hardware livre, ele foi publicado na plataforma “*github.com*” e licenciado, tornando-o livre de patentes e promovendo a facilitação de acesso à tecnologia. A placa torna as experiências práticas com a lógica reconfigurável mais acessíveis à comunidade interessada, estimula o crescimento do público *Maker* e a produção de projetos semelhantes a este. Na condição de hardware livre as pessoas podem reproduzir o projeto com as próprias mãos, modificá-lo ou criar outros projetos derivados deste, respeitando os termos estabelecidos pela licença escolhida.

Baseado nos resultados obtidos com a produção da placa pode-se concluir que, mesmo em um momento adverso para a aquisição de chips eletrônicos, foi possível trabalhar com desenvolvimento em hardware reconfigurável sem a necessidade de grandes investimentos. Além de que, a forma como o projeto se encontra disponibilizado, estimula a aprendizagem desde os métodos de concepção de uma placa de circuito impresso, do funcionamento dos componentes eletrônicos e softwares de desenvolvimento até da própria lógica digital reconfigurável, que pode ser trabalhada por meio de blocos lógicos e linguagens de descrição de hardware.

Desta forma, o presente trabalho não se limita a uma única área de atuação, com seu desenvolvimento podendo ser utilizado, por exemplo, para trabalhar em atividades práticas de diferentes componentes curriculares ao longo de um curso, como matérias relacionadas a

projetos, circuitos eletrônicos, eletrônica digital, sistemas digitais programáveis, linguagens de descrição de hardware, etc. Além de induzir o desenvolvimento de competências e habilidades como trabalho em conjunto, técnicas de solda de componentes eletrônicos e criatividade para solução de problemas.

6.2 Proposta de Trabalhos Futuros

Neste tópico serão apresentadas algumas sugestões para futuros trabalhos:

- Estudo dos impactos do projeto da placa de desenvolvimento baseada em lógica reconfigurável disponibilizada como *open source hardware* quanto ao interesse da comunidade *maker* e propagação do conhecimento nesta área.
- Desenvolvimento de placas periféricas para comunicação em diferentes protocolos, como wi-fi, bluetooth e RFID, compatíveis com a placa de hardware reconfigurável disponibilizada neste trabalho.

Referências

- ACOSTA, Roberto. **Open source hardware**. 2009. Tese de Doutorado. Massachusetts Institute of Technology.
- ANDERSON, Chris. Makers: a nova revolução industrial. **Tradução de: SERRA, ACC Rio de Janeiro: Elsevier**, 2012.
- ARAÚJO, Luan Talles da Silva. **Sistema FPGA controlável remotamente**. 2019. 46p. Trabalho de Conclusão de Curso – Universidade de Brasília, Brasília,DF
- BLIKSTEIN, Paulo; WORSLEY, Marcelo. **Children are not hackers: Building a culture of powerful ideas, deep learning, and equity in the maker movement**. In: Makeology. Routledge, 2016.
- BROCKVELD, Marcos Vinícius Vanderlinde; TEIXEIRA, Clarissa Stefani; SILVA, Mônica Renneberg da. A Cultura Maker em prol da inovação: boas práticas voltadas a sistemas educacionais. In: **Anais da Conferência ANPROTEC**. 2017.
- BRUNO, João Pedro Ballerini; OLIVEIRA, Tiago; DE OLIVEIRA, André Marcorin. **Desenvolvimento de um laboratório remoto de FPGA: Indo em direção a um laboratório híbrido**. RENOTE, v. 19, n. 1, p. 309-319, 2021.
- CASILLO, Leonardo Augusto. **Projeto e implementação em FPGA de um processador com conjunto de instrução reconfigurável utilizando VHDL**. 2006. Dissertação de Mestrado. Universidade Federal do Rio Grande do Norte.
- CODÁ, Luiza Maria Romeiro. Dispositivos lógicos programáveis. **Departamento de Engenharia Elétrica e de Computação (EESC)–USP**, 2014.
- COSTA, Cesar da. **Projeto de Circuitos Digitais com FPGA**. Editora Érica, 2013
- CRUZ, Eduardo; GAUDINO, Enzo; ADRIANO, Domingos; JÚNIOR, Salomão. **Sistemas digitais reconfiguráveis: FPGA e VHDL**. Alta Books, 2022.

CURVELLO, André. **Primeiros passos de FPGA com a Papilio One**. 2017. Disponível em: <<https://www.filipeflop.com/blog/fpga-no-modo-spartan-com-papilio-one/>>. Acesso em 7 ago. 2022.

DA SILVA, Cristiane Samária Gomes; GIL, María del Carmen Sforza. Criando Material educacional: inovação, Arduino e movimento maker. **Revistas Científicas Complutenses**. 2018.

DE OLIVEIRA, Caio Augusto; DE AGUIAR, Jéssica Azevedo; FONTANINI, Mateus Galvão. Dispositivos Lógicos Programáveis. 2011. **Universidade Estadual Paulista - UNESP, Campus Guaratinguetá**. Disponível em: <<https://www.feg.unesp.br/Home/PaginasPessoais/ProfMarceloWendling/logica-programavel.pdf>> Acesso em: 10 ago. 2022.

DUTRA, Nayara Guimarães. **Estudo e Implementação em FPGA de um Microprocessador**. 2016. 77p. Trabalho de Conclusão de Curso – CEFET-MG (Centro Federal de Educação Tecnológica de Minas Gerais), Belo Horizonte-MG

FERREIRA, Fabrício da Silva; PINTO, Augusto Coimbra. **A contribuição Open Hardware no desenvolvimento tecnológico**. Trabalho de Conclusão de Curso - Instituto Federal de Educação, Ciência e Tecnologia do Sertão Pernambucano, Campus Salgueiro, Salgueiro, PE, 2021.

FLOYD, Thomas. **Sistemas digitais: fundamentos e aplicações**. Bookman Editora, 2009.

GAVASSA, Regina; MUNHOZ, Gislaine B; DE MELLO, Luci; CAROLEI, Paula. Cultura maker, aprendizagem investigativa por desafios e resolução de problemas na SME-SP (Brasil). **Fablearn Brazil**, v. 2016, 2016.

GIBB, Alicia. **Building open source hardware: DIY manufacturing for hackers and makers**. Pearson Education, 2014.

GIL, A. C. **Métodos e Técnicas de Pesquisa Social**. 6. Ed. São Paulo: Atlas, 2008.

Intel anuncia primeiro FPGA da indústria com foco em 5G e aplicações na nuvem. Intel, 2018. Disponível em: < <https://newsroom.intel.com.br/news-releases/intel-anuncia-primeiro-fpga-da-industria-com-foco-em-5g-e-aplicacoes-na-nuvem/#gs.j4p818>>. Acesso em 13 jun. 2022.

KANT, Krishna. **Microprocessors and Microcontrollers: Architecture, Programming and System Design 8085, 8086, 8051, 8096.** PHI Learning Pvt. Ltd., 2007.

KRUG, Rodrigo. **CadSoft Eagle 5.10 Uma Aplicação Prática.** Pontifícia Universidade Católica do Rio Grande do Sul, Faculdade de Engenharia. Porto Alegre, RS. 2010.

MARCONI, Marina de Andrade; LAKATOS, Eva Maria. **Fundamentos de metodologia científica.** 5. Ed. São Paulo: Atlas, 2003.

Market Research Future. **Field Programmable Gate Array Market.** Disponível em: <<https://www.marketresearchfuture.com/reports/field-programmable-gate-array-market-1019>>. Acesso em: 24 ago. 2022.

MEHL, Ewaldo Luiz de Mattos. **Projeto de placas de circuito impresso com o software EAGLE.** Apostila da UFPR, s/d. Disponível em: <<http://www.eletrica.ufpr.br/mehl/pci/apostila1cc.pdf>>. Acesso em 14 jul. 2022.

MÉLO, Francisco Édson Nogueira, DIAS, Roberto Alexandre; STEINBACH, Reginaldo. **FPGA para Todos: Um projeto para a disseminação da tecnologia de lógica programável.** In: **XXXIX Congresso Brasileiro de Educação em Engenharia**, 2011, Blumenau, SC.

NORONHA, Diego Barbosa; FONTOURA, Kleber Lopes; JÚNIOR, João Batista Vieira. **UMA VISÃO GERAL SOBRE DISPOSITIVOS LÓGICOS RECONFIGURÁVEIS (FPGA) E SUAS APLICAÇÕES.** Universidade Federal de Uberlândia, Uberlândia, MG. 2005.

PEARCE, Joshua M. **Open-source lab: how to build your own hardware and reduce research costs.** Newnes, 2013.

SAMANGAIA, Rafaela; NETO, Demétrio Delizoicov. Educação científica informal no movimento “Maker”. **X Encontro nacional de pesquisa em educação em ciências**. São Paulo, SP. 2015.

SCHMIDT, Sarah. Pesquisadores apostam no open hardware para criar tecnologias de acessibilidade de baixo custo. **Revista Eletrônica De Jornalismo Científico**, n. 184, 2016.

SILVA. E. L; MENEZES. E. M. **Metodologia da pesquisa e elaboração de dissertação**. 4. ed. rev. atual. Florianópolis: UFSC, 2005.

SOSTER, Tatiana Sansone; DE ALMEIDA, Fernando José; SILVA, Maria da Graça Moreira. **Educação Maker e compromisso ético na sociedade da cultura digital**. Revista e-Curriculum, v. 18, n. 2, p. 715-738, 2020.

USB-Blaster II Download Cable: User Guide. Intel, 2014. Disponível em: <<https://www.intel.com/content/dam/support/jp/ja/programmable/support-resources/bulk-container/pdfs/literature/ug/ug-usb-blstr-ii-cable.pdf>>. Acesso em 20 dez. 2022.

VAHID, Frank. **Sistemas Digitais**. Bookman Editora, 2009.

APÊNDICE A – Esquemático da placa final

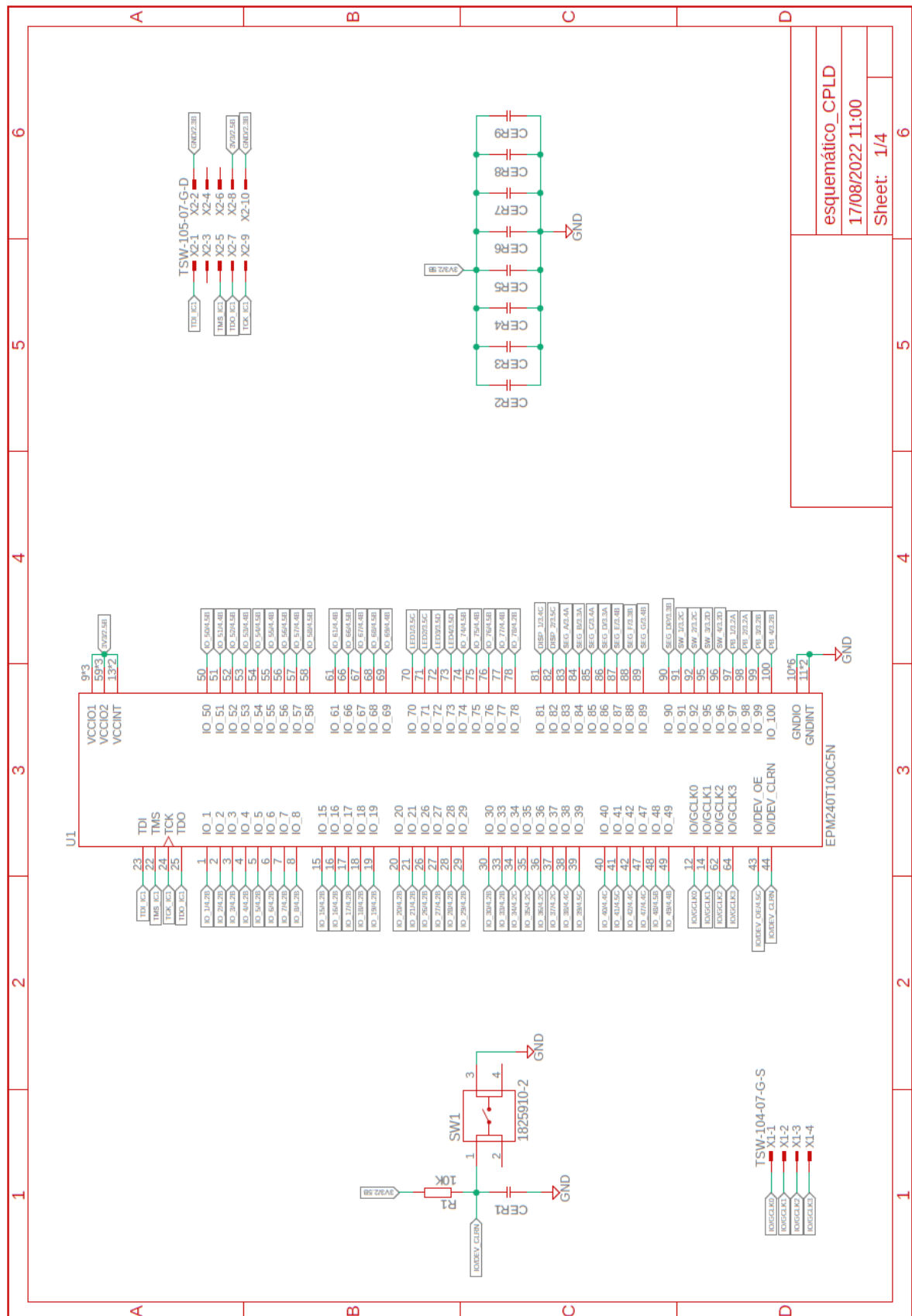


Figura A.1 – Folha número 1 do esquemático
Fonte: (Próprio Autor, 2022)

esquemático_CPLD	
17/08/2022 11:00	
Sheet: 3/4	

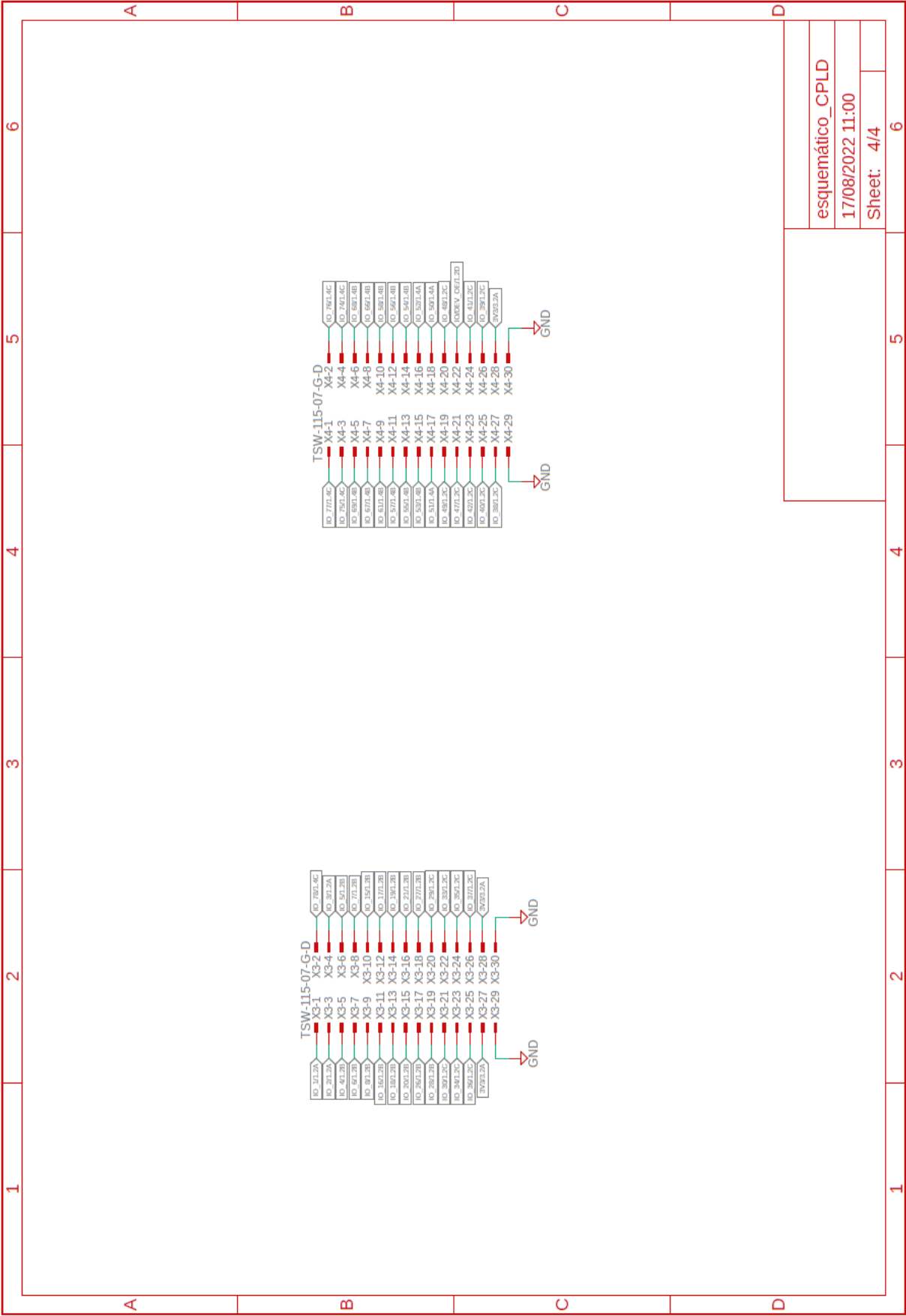


Figura A.4 – Folha número 4 do esquemático
Fonte: (Próprio Autor, 2022)

APÊNDICE B – Teste e validação da placa

Para teste e validação dos recursos da placa, foi montada uma aplicação envolvendo os botões, LEDs, displays de 7 segmentos e chaves. Um vídeo demonstrativo do funcionamento dessa aplicação e o arquivo de gravação (“.pof”) para carregá-la na placa estão disponíveis no diretório do trabalho, que pode ser acessado através do link:

[https://github.com/pviniciusmeira/oshwpld/tree/main/Projeto placa CPLD/Aplicações/Teste](https://github.com/pviniciusmeira/oshwpld/tree/main/Projeto%20placa%20CPLD/Aplica%C3%A7%C3%B5es/Teste).

1. Funcionamento:

1.1 Acionamento dos LEDs pelos botões:

Ao pressionar os botões SW2, SW3, SW4 e SW5 os LEDs acendem conforme abaixo:

- SW2 pressionado: LED2 acende;
- SW3 pressionado: LED2 e LED3 acendem;
- SW4 pressionado: LED2, LED3 e LED4 acendem;
- SW5 pressionado: LED2, LED3, LED4 e LED5 acendem.

Os pinos do CPLD referentes aos botões e LEDs estão representados nos quadros 4.4 e 4.7 respectivamente. Verificar numeração dos botões e LEDs na figura 4.17.

1.2 Acionamento do display pelo dip switch e alteração dos dígitos pelo botão RESET:

Nesta aplicação os displays de 7 segmentos mostrarão os números de 0 a 4, conforme o acionamento do botão RESET e posicionamento das vias (chaves) do dip switch.

A posição do botão RESET define qual dígito do display estará acionado e as posições das chaves (DS1, DS2, DS3 e DS4) do dip switch definem o número mostrado.

Ao ligar a placa, o dígito 2 (DISP_2) estará ligado mostrando os números. Para que os números sejam mostrados no dígito 1 (DISP_1) do display, o botão RESET deve se manter pressionado. Verificar as numerações das chaves, do display e do botão na figura 4.17.

- Todas as chaves posicionadas para baixo: display mostra o número 0;
- DS1 posicionada para cima: display mostra o número 1;
- DS1 e DS2 posicionadas para cima: display mostra o número 2;
- DS1, DS2 e DS3 posicionadas para cima: display mostra o número 3;
- DS1, DS2, DS3 e DS4 posicionadas para cima: display mostra o número 4;

Os pinos do CPLD referentes ao dip switch estão representados no quadro 4.5, os pinos referentes ao display de 7 segmentos estão representados no quadro 4.6 e o pino referente ao botão RESET está representado no quadro 4.9.

2. Carregar aplicação na placa através do software Quartus Prime Lite Edition:

- Ao abrir o software selecionar a opção **Tools > Programmer** e então clicar em **Add File...** para carregar o arquivo de gravação. Veja a figura B.1.

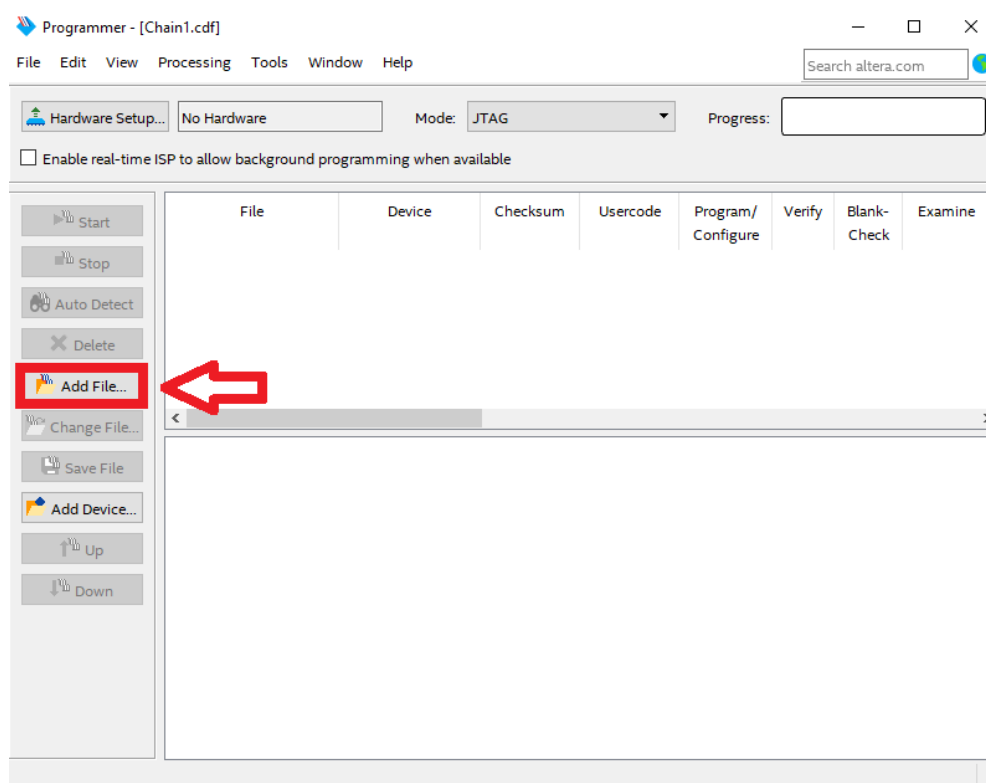


Figura B.1 – Carregamento do arquivo de gravação
Fonte: (Próprio Autor, 2022)

- Carregar o arquivo de extensão “.pof” que está disponível no diretório do projeto;
- Alimentar a placa e realizar a conexão do USB Blaster seguindo a orientação dos pinos disponível no item 4.4.9 do trabalho.
- Conforme mostrado na figura B.2, verifique se a opção **Hardware Setup** está em USB-Blaster.
- Marcar as caixas de seleção da coluna **Program/Configure**.
- Pressionar o **Start** para realizar a gravação.

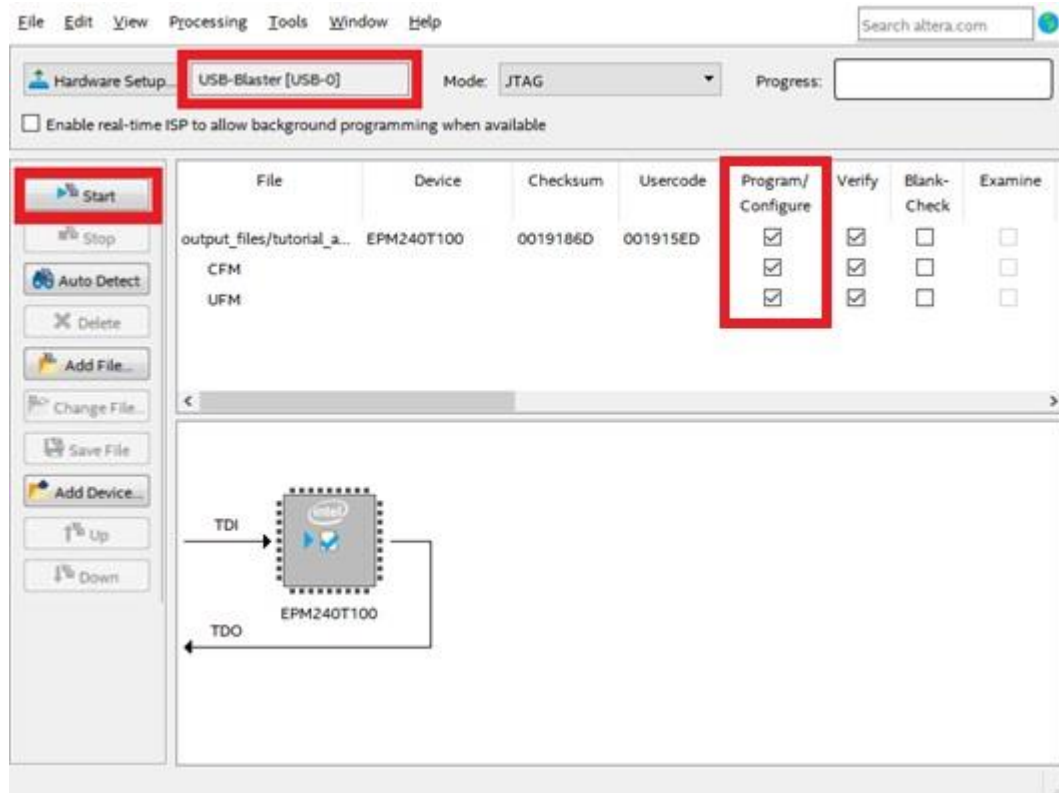


Figura B.2 – Processo de gravação
Fonte: (Próprio Autor, 2022)