Logika układów cyfrowych lab.

Prowadzący: Mgr inż. Antoni Sterna (E02-38m, wtorek 17:05)

sprawozdanie 4 - 2017.11.07

Jakub Dorda 235013 Marcin Kotas 235098

> 14 listopada 2017 LATEX

1 Wprowadzenie/cel ćwiczeń

Celem ćwiczenia było zaprojektowanie licznika synchronicznego 3 bitowego rewersyjnego oraz licznika asynchronicznego modulo 4/11. W modelowaniu licznika modulo należało wykorzystać asynchroniczne wejście reset.

2 Licznik synchroniczny 3 bitowy rewersyjny

2.1 Tabela prawdy i tablice Karnaugh:

Tabela 1: Tabela Prawdy

$ \begin{array}{c ccccccccccccccccccccccccccccccccccc$	K_0	J_0	K_1	J_1	K_2	J_2	Q_0^+	Q_1^+	Q_2^+	Q_0	Q_1	Q_2	A
$ \begin{array}{c ccccccccccccccccccccccccccccccccccc$	_	1	-	0	-	0	1	0	0	0	0	0	0
$\begin{array}{c ccccccccccccccccccccccccccccccccccc$	1	-	-	1	-	0	0	1	0	1	0	0	0
$\begin{array}{c ccccccccccccccccccccccccccccccccccc$	-	1	0	_	-	0	1	1	0	0	1	0	0
0 1 0 1 1 1 0 - 0 1	1	-	1	-	-	1	0	0	1	1	1	0	0
	-	1	-	0	0	-	1	0	1	0	0	1	0
0 1 1 0 1 1 1 1 - 0 - 0 1	1	-	-	1	0	_	0	1	1	1	0	1	0
	-	1	0	-	0	_	1	1	1	0	1	1	0
0 1 1 1 0 0 0 - 1 - 1 -	1	-	1	-	1	_	0	0	0	1	1	1	0
1 0 0 0 1 1 1 1 - 1 - 1	_	1	-	1	-	1	1	1	1	0	0	0	1
1 0 0 1 0 0 0 0 - 0	1	-	-	0	-	0	0	0	0	1	0	0	1
$\begin{array}{c ccccccccccccccccccccccccccccccccccc$	-	1	1	-	-	0	1	0	0	0	1	0	1
1 0 1 1 0 1 0 0 0 -	1	-	0	-	-	0	0	1	0	1	1	0	1
1 1 0 0 0 1 1 - 1 1 - 1	_	1	-	1	1	-	1	1	0	0	0	1	1
1 1 0 1 1 0 0 - 0 0	1	-	-	0	0	_	0	0	1	1	0	1	1
1 1 1 0 1 0 1 - 0 - 1 1	-	1	1	-	0	_	1	0	1	0	1	1	1
1 1 1 1 1 0 - 0 - 0 -	1	-	0	-	0	-	0	1	1	1	1	1	1

Tabela 2: Tablica Karnaugh dla ${\cal J}_2$

Q_1Q_0 AQ_2	00	01	11	10
00	0	0	1	0
01	-	-	-	-
11	-	-	-	-
10	1	0	0	0

Tabela 3: Tablica Karnaugh dla ${\cal J}_1$

Q_1Q_0 AQ_2	00	01	11	10
00	0	1	-	-
01	0	1	-	-
11	1	0	-	-
10	1	0	-	-

Tabela 4: Tablica Karnaugh dla ${\cal J}_0$

Q_1Q_0 AQ_2	00	01	11	10
00	-	-	-	-
01	0	0	1	0
11	1	0	0	0
10	-	-	-	-

Tabela 5: Tablica Karnaugh dla ${\cal K}_2$

Q_1Q_0 AQ_2	00	01	11	10
00	0	0	1	0
01	-	-	-	-
11	-	-	-	-
10	1	0	0	0

Tabela 6: Tablica Karnaugh dla K_1

AQ_2 Q_1Q_0	00	01	11	10
00	-	-	1	0
01	-	-	1	0
11	-	-	0	0
10	-	-	0	1

Tabela 7: Tablica Karnaugh dla K_0

Q_1Q_0 AQ_2	00	01	11	10
00	-	1	1	-
01	-	1	1	-
11	-	1	1	-
10	-	1	1	-

2.2 Minimalizacje:

$$J_2 = K_2 = A\bar{Q}_1\bar{Q}_0 + \bar{A}Q_1Q_0 = \overline{A\bar{Q}_1\bar{Q}_0 \cdot \bar{A}Q_1Q_0}$$

$$J_1 = K_1 = \bar{A}Q_0 + A\bar{Q}_0 = \overline{\bar{A}Q_0 \cdot \bar{A}\bar{Q}_0}$$

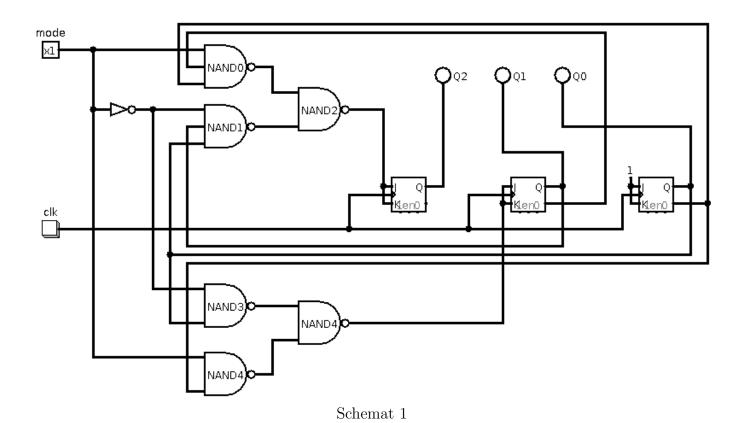
$$J_0 = K_0 = 1$$

2.3 Użyte wzory:

$$\overline{a \cdot b} = \overline{a} + \overline{b} \tag{1}$$

$$\overline{a+b} = \bar{a} \cdot \bar{b} \tag{2}$$

2.4 Schemat układu:



3 Licznik asynchroniczny modulo 4/11

3.1 Tabela prawdy i tablice Karnaugh:

Tabela 8: Tabela Prawdy cz.1

Μ	Q_3	Q_2	Q_1	Q_0	R
0	0	0	0	0	1
0	0	0	0	1	1
0	0	0	1	0	1
0	0	0	1	1	1
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	0
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	-
0	1	1	0	1	-
0	1	1	1	0	-
0	1	1	1	1	-

Tabela 9: Tabela Prawdy cz.2

M	Q_3	Q_2	Q_1	Q_0	R
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	0	1	0	1	1
1	0	1	1	0	1
1	0	1	1	1	1
1	1	0	0	0	1
1	1	0	0	1	1
1	1	0	1	0	1
1	1	0	1	1	0
1	1	1	0	0	_
1	1	1	0	1	_
1	1	1	1	0	_
1	1	1	1	1	-

Tabela 10: Tablica Karnaugh dla R

Q_1Q_0	000	001	011	010	110	111	101	100
00	1	0	-	0	1	-	1	1
01	1	0	-	0	1	-	1	1
11	1	0	-	0	0	-	1	1
10	1	0	-	0	1	-	1	1

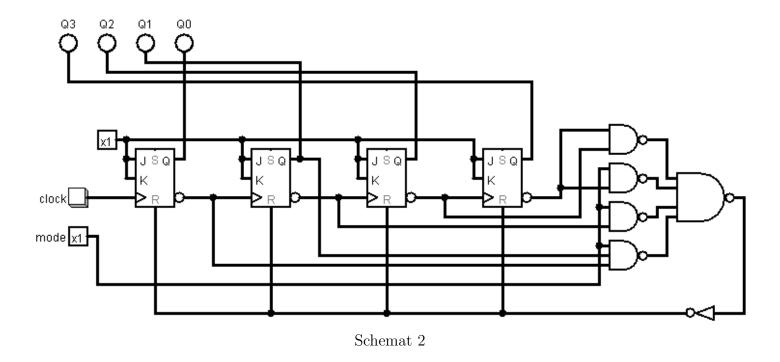
3.2 Minimalizacje:

$$R = \bar{Q}_3 \bar{Q}_2 + M \bar{Q}_3 + M \bar{Q}_1 + M Q_1 \bar{Q}_0 = \overline{\bar{Q}_3 \bar{Q}_2} \cdot \overline{M \bar{Q}_3} \cdot \overline{M \bar{Q}_1} \cdot \overline{M Q_1 \bar{Q}_0}$$

3.3 Użyte wzory:

$$\overline{a+b} = \bar{a} \cdot \bar{b} \tag{3}$$

3.4 Schemat układu:



4 Wnioski/podsumowanie

W celu sprawdzenia poprawności działania należało przeprowadzić testy dla wszystkich możliwych kombinacji wejść. Pierwsze ćwiczenie zostało wykonane poprawnie, natomiast drugie ćwiczenie zostało zaprojektowane bez pomocy tabeli prawdy, przez co uruchomienie układu się nie powiodło. Poprawny model układu został umieszczony w sprawozdaniu.