

Stefan Wezel	1	2	3	4	5	6	7	8	9	10	11	$\Sigma$
Lukas Günthner												

## Aufgabe 1

Moore's Law besagt, dass sich ca. alle zwei Jahre die Anzahl an Transistoren verdoppelt. Sie entstand durch Beobachtung der Vergangenheit und Projektion dieser Beobachtungen auf die Zukunft. Demnach ist Moore's Law nicht physikalisch begründet.

## Aufgabe 2

Sacling ist ein Begriff für die Weiterentwicklung elektronischer Bauelemente im Sinn von:

- Strukturverkleinerung
- Erhöhung der Komplexität
- Verringerung der Kosten pro implementierte Funktion
- Verringerung der Leistungsaufnahme pro Operation

Daraus folgt jedoch:

- Steigender Fertigungsaufwands für Wafer
- Höhere Anforderung an Fotolithographie
- Erhöhung des Entwurfsaufwands für ein Produkt

## Aufgabe 3

Pitch ist die Summe von minimaler Breite und minimalem Abstand der Masken-Ebene.

## Aufgabe 4

Kleiner IC's führt zu größerer Ausbeute. Desweiteren ist man durch kleinere Transistoren in der Lage im selben Platzverbrauch mehr Rechenleistung zu erreichen.

## Aufgabe 5

Hybridschaltungen sind Kombinationen aus (meist) mehreren Halbleiterbauelementen mit keramischen Trägerplatte. Die Komponenten werden teils gemeinsam hergestellt und teils auf das Keramiksubstrat montiert. Das heißt es werden beispielsweise auf einer Keramikträgerplatte IC's, Dioden und Einzeltransistoren aufgebracht, die die gewünschte Funktionsweise der Schaltung realisieren.

## Aufgabe 6

Monolithische Integration bedeutet, dass alle Komponenten eines IC's gemeinsam hergestellt werden. Es wird ein einzelner Halbleiter-Einkristall als Substrat verwendet auf dem der ganze IC realisiert ist.

## Aufgabe 7

Ein Fin-Fet ist eine dreidimensionale Bauweise für ein MOS-Transistor. Bei Fin-Fets wird das Gate um die Drain und Source "gewickelt", das heißt es nun, im Vergleich zur planaren Bauweise, nun drei Seiten durch das Gate abgedeckt. Dadurch ist man in der Lage den leitenden Kanal zu vergrößern. Ein nanowire-Transistor ist eine weitere dreidimensionale Bauweise für MOS-Transistoren. Hier ist man in der Lage das Gate komplett um Source und Drain zu "wickeln". Dementsprechend wird der geöffnete leitende Kanal noch größer als bei Fin-Fets. Durch Vergrößern des leitenden Kanals ist man in der Lage die Verlustleistung signifikant zu reduzieren.

## Aufgabe 8

## Aufgabe 9

Seit einigen Jahren ist nicht sicher wie weit die Skalierung noch gehen kann. Deshalb werden verschiedene Wege gegangen. Es wird deshalb versucht nicht mehr nur die geometrische Größe von Transistoren zu reduzieren, sondern wird auch versucht die Funktionalität und Effizienz von Chips (wie Sensoren und nichtflüchtigem Speicher) zu steigern.

## Aufgabe 10

Bei CMOS wird komplementär ein n-Kanal und p-Kanal (mit Pullup/Pulldown-Netzwerken) MOS-Fet aufgebaut.

## Aufgabe 11

- Geringere Leistungsaufnahme, da geringer Querstrom (nur Leckstrom)
- Großer Störabstand und dementsprechende günstige Übertragungskennlinie
- Hohe Unempfindlichkeit gegen Herstellungs-Parameterstreuungen. Pegel nicht von der Ratio der Leitfähigkeit von Treibtransistor zu Lasttransistor abhängig.