

Allegro 中的约束规则设置

Allegrophan

刚好五个字

修订记录

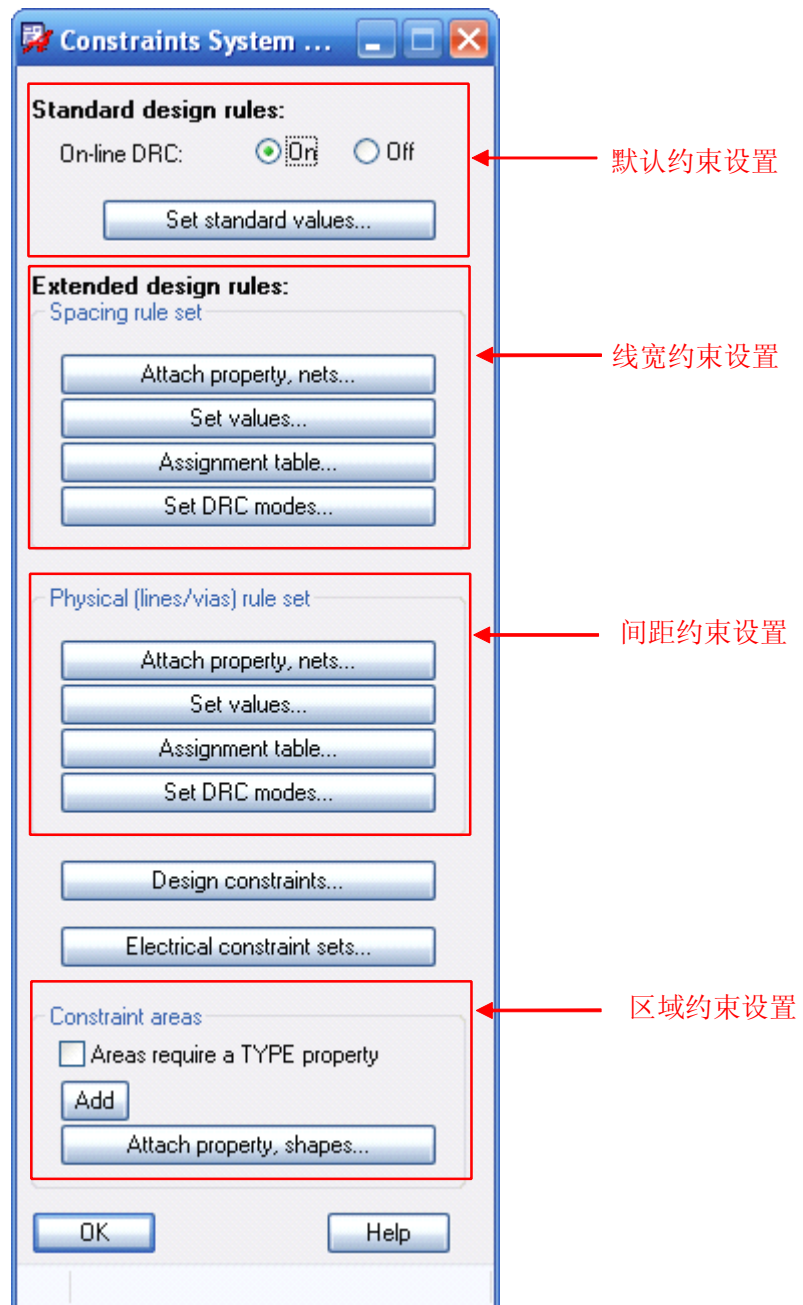
日期	版本	描述	作者
2008-12	V1.0	初版，学完的总结。适用于 Cadence 15.5 版本。	Allegrophan
2009-09-08	V1.1	小改，修改部分措辞	Allegrophan
2009-10-14	V1.2	小改，更正、修改几个错漏之处。添加一些说明性文字。 感谢群里的佳猪、梦姑娘等朋友的指正！	Allegrophan

目 录

一：Physical (Line/vias) rule 物理特性（线宽和过孔）约束设置：	4
1) “Set values”设置约束特征值.....	5
2) “Attach property” 绑定约束.....	6
3) “Assignment table” 约束规则分配.....	8
二 “Spacing rule”间距约束设置.....	9
1) “Set values” 设置约束特征值.....	9
2) “Attach property” 绑定约束.....	10
3) “Assignment table” 约束规则分配.....	11
三 Constraint areas 区域约束设置.....	12
四 Allegro 中走线长度的设置.....	13
1) 差分线等长设置.....	13
2) 一组 Net 等长.....	16
3) XNet 等长.....	17

线宽、线距、区域的约束主要在“Constraints Sys”中设置，点击“Setup/Constraints”

或点击图标打开“Constraints Sys”窗口，如下：



“Constraints Sys”窗口分两个级别，第一级别有两类：**Standard design rules** 和 **Extended design rules**。Standard design rules 仅有一级分类，点击“Set standard values”设置默认约束值，如下：

V1.1→V1.2
这里的 Same net DRC 应该打开，特别是绕等长的时候。我没用过，也就没有讲到，以后研究了再补充。

这里可以设置默认值，窗口中所有设置值各自分属于 spacing rule 和 Physical rule 中名为“Default”的约束集。

“**Extended design rules**”下一级分为三类不同约束设置：[Spacing rule](#) 间距约束设置、[Physical \(Line/vias\) rule](#) 物理特性（线宽和过孔）约束设置和 [Constraint areas](#) 区域约束设置。它们的下一级分类其实是具体约束设置的操作步骤，分别有：“Set values”、“Attach property”、“Assignment table”和“Set DRC modes”。

一：Physical (Line/vias) rule 物理特性（线宽和过孔）约束设置：

我们以以下的 DDR2 部分的线宽要求为例进行设置：

Layer	Name	单端线宽 W1(mil)	A)差分线宽 W1(mil)	A)差分间距 (mil)	B)差分线宽 W1(mil)	B)差分间距 (mil)
1	TOP	6.40	3.80	5.20	5.70	25.80
3	L3_MD1	4.50	3.80	5.80	3.50	4.50
5	L5_MD2	4.50	3.50	6.10	3.30	4.70
8	L8_MD3	4.50	3.70	5.90	3.40	4.60
10	L10_MD4	4.50	3.70	5.90	3.40	4.60
12	BOTTOM	6.40	3.80	5.20	5.70	25.80

单端阻抗 $50\ \Omega$ ，差分阻抗 $100\ \Omega$ 。表中的间距是指一对差分线 P 和 N 之间的 Air Gap 间距，其中 B) 的线宽线距可用于 Neck mode 在 BGA 区域的出线。

1) “Set values” 设置约束特征值

在窗口上方空白处填入新约束名称，然后点击“ADD”，新的约束就产生了，接下来就按部就班在相应栏填入需要的值。由于 DDR2 有单端线、差分线两种，我们可以相应的设置两种 Physical 特性如：DDR2_50OHM，DDR_100OHM。如下图所示：

Physical(Lines/Vias) Rule Set Etch Values

Constraint Set Name:

Subclass:

Physical property	Value
Min line width:	***
Max line width:	0 MIL
Min neck width:	***
Max neck length:	500 MIL
DiffPair primary gap:	4 MIL
DiffPair neck gap:	4 MIL
Does not support constraint areas.	
Allow on etch subclass:	Allowed
'T' junctions:	Anywhere
Min BBvia stagger:	5 MIL
Max BBvia stagger:	0 MIL
Pad/pad direct connect:	All Allowed

Via list property

Available database padstacks:

- AMC_ESD_SIGMENT1
- AMC_ESD_SIGMENT2
- AMC_ESD_SIGMENT3
- AMC_FIRST_MATE1
- AMC_FIRST_MATE1_B
- AMC_LAST_MATE1
- AMC_LAST_MATE2

Current via list:

- VIA20C_45C
- VIA30C_50C

Name:

*** Constraint set values not the same for all subclasses.

过孔规格在“Via list property”中设定，一般设定在默认约束规则下。在左侧数据库可用 via 列表中点击所需规格钻孔，右侧“Current via list”就会显示选中钻孔，可多选。

Physical property	Value
Min line width:	3.8 MIL
Max line width:	0 MIL
Min neck width:	3.5 MIL
Max neck length:	5000 MIL
DiffPair primary gap:	5.8 MIL
DiffPair neck gap:	4.5 MIL
Does not support constraint areas.	
Allow on etch subclass:	Allowed
'T' junctions:	Anywhere
Min BBvia stagger:	5 MIL
Max BBvia stagger:	0 MIL
Pad/pad direct connect:	All Allowed

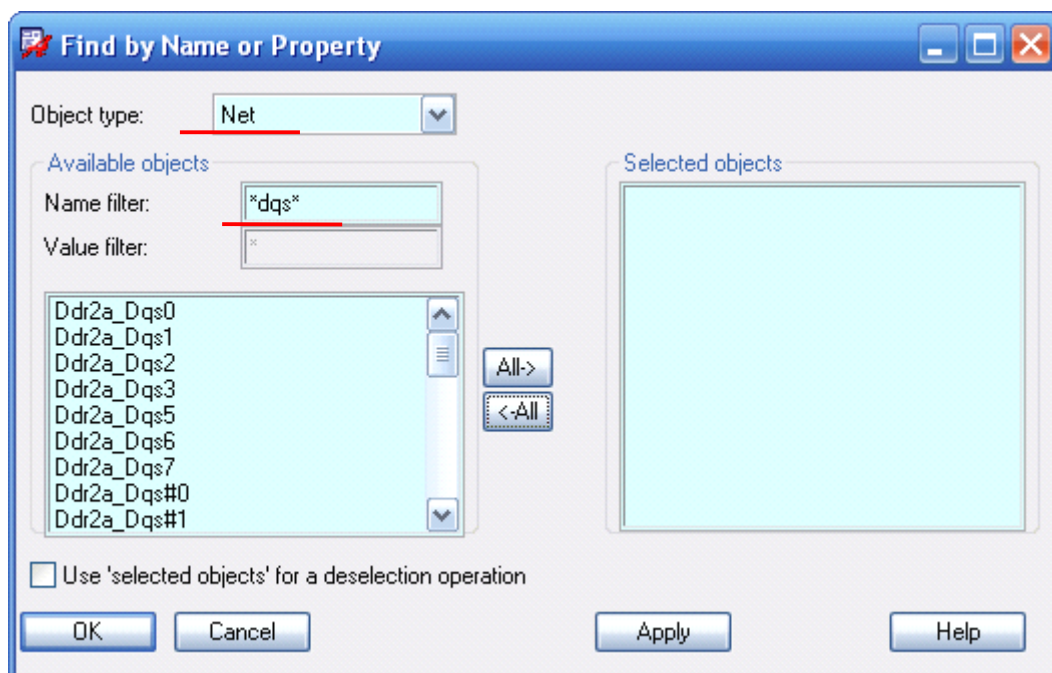
** Constraint set values not the same for all subclasses.

Min line width: 最小线宽
 Max line width: 最大线宽, 填 0= ∞
 Min neck width: Neck 模式最小线宽
 Max neck length: Neck 模式最大走线长度
 DiffPair primary gap: 首选差分间距 (单端线可不填)
 DiffPair neck gap: Neck 模式差分间距 (单端线可不填)

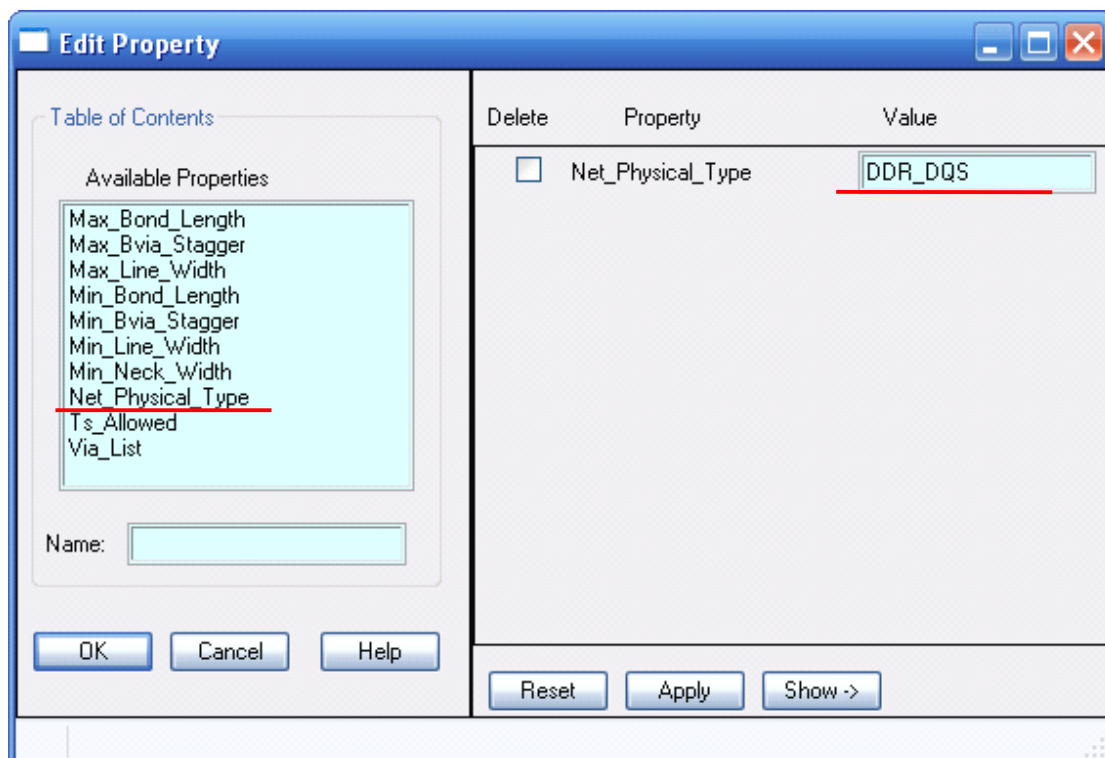
2) “Attach property” 绑定约束

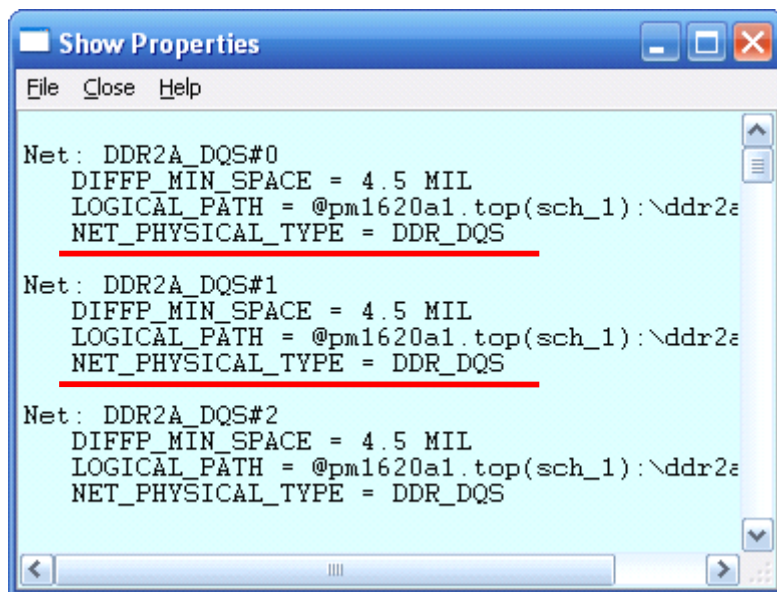
“Attach property” 是绑定约束的操作, 操作对象是信号 (以 net 名来区分), 将相应类别的约束名称与信号绑定, 该信号就会遵循绑定约束的设定。

点击后可以直接框选板上各 Net 选取, 也可以点击右侧的 more, 在弹出的“Find by Name or Preproperty”选择框中选取。“Name filter”处填写要绑定的 Net 名, “?”可以代替任意一个字符, “*”可以代替任意长字符, 如我们要给 DDR2 的 DQS 差分线添加“DDR_DQS”的“Net_Physical_Type”属性, 就可以输入“*dqs*”, 就可以将所有 DQS、DQS#的 Net 过滤出来, 如图:



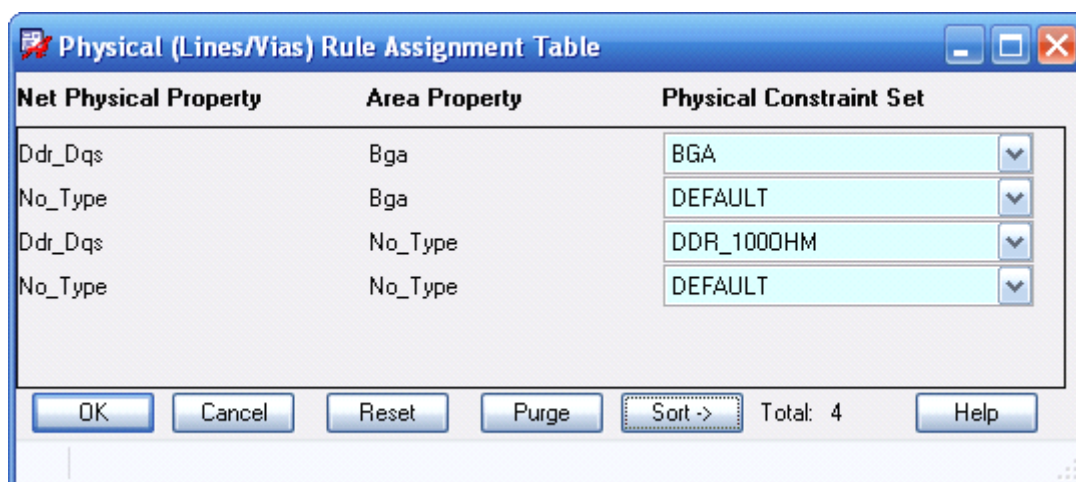
点击“**All**”选定 net，点击“**Apply**”，出现“**Edit Property**”窗后，在左侧下拉选项中选择约束类型“**Net_Physical_Type**”，然后在右侧相应内容后填入约束名称“**DDR_DQS**”，点击“**Apply**”，这样就完成了约束绑定，如图：





3) “Assignment table” 约束规则分配

“Assignment table” 是约束规则分配列表，分配不同情形下适用怎样的规则。Physical rule 的约束分配列表如下：



第一列 “**Net Physical Property**”：在 2) “Attach property” 中绑定的约束

第二列 “**Area Property**”：约束绑定区域

第三列 “**Physical Constraint Set**”：在 1) “Set values” 中设置的约束特征值

关于约束绑定区域我们以后再说，那么这四行的意思就是：

绑定约束 “DDR_DQS” 的信号在 “BGA” 区域内应用 Physical 约束 “BGA”

绑定约束 “NO_Type” 的信号在 “BGA” 区域内应用 Physical 约束 “DEFAULT”

绑定约束 “DDR_DQS” 的信号在 “NO_Type” 区域内应用 Physical 约束 “DDR_100OHM”

绑定约束 “NO_Type” 的信号在 “NO_Type” 区域内应用 Physical 约束 “DEFAULT”

二 “Spacing rule”间距约束设置

Spacing rule 的设置和 Physical rule 设置大同小异,方法基本形同。我们以 DDR2 一组 DQ 线的线距要求为例进行设置:

一组 DQ 线 DQSet00 包含以下信号:

DDR2A_DQ[7:0] : 8 根 DQ 线, 单端

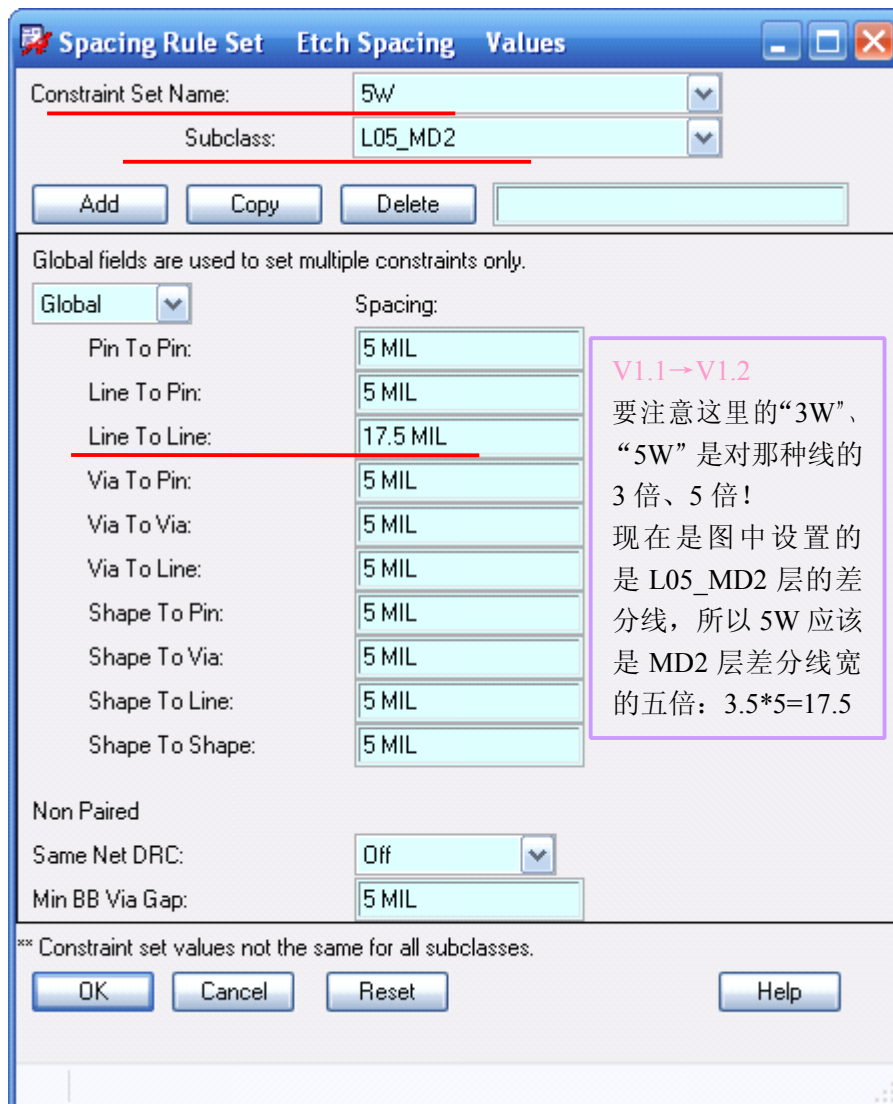
DDR2A_DM0 : 一根 DM, 单端

DDR2A_DQS0/DDR2A_DQS#0 : 一对 DQS, 差分线

要求: 组内间距 3 倍线宽, DQS/DQS#与其他信号间距不小于 5 倍线宽

1) “Set values” 设置约束特征值

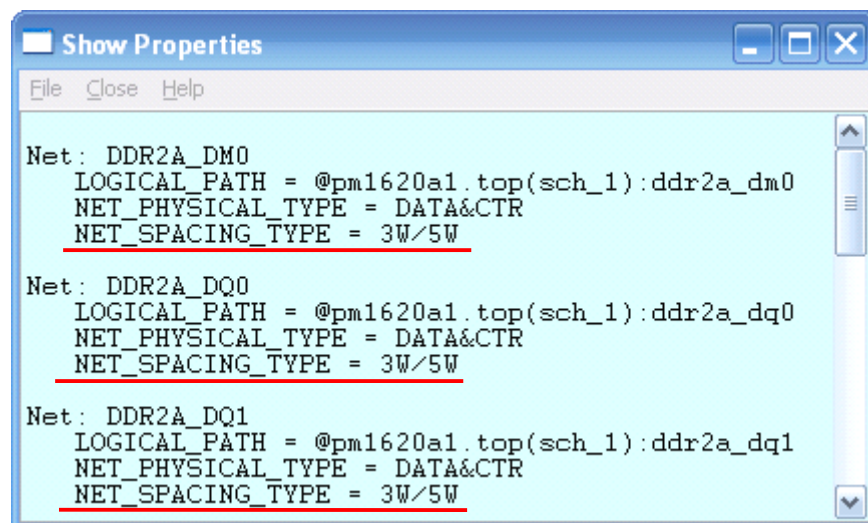
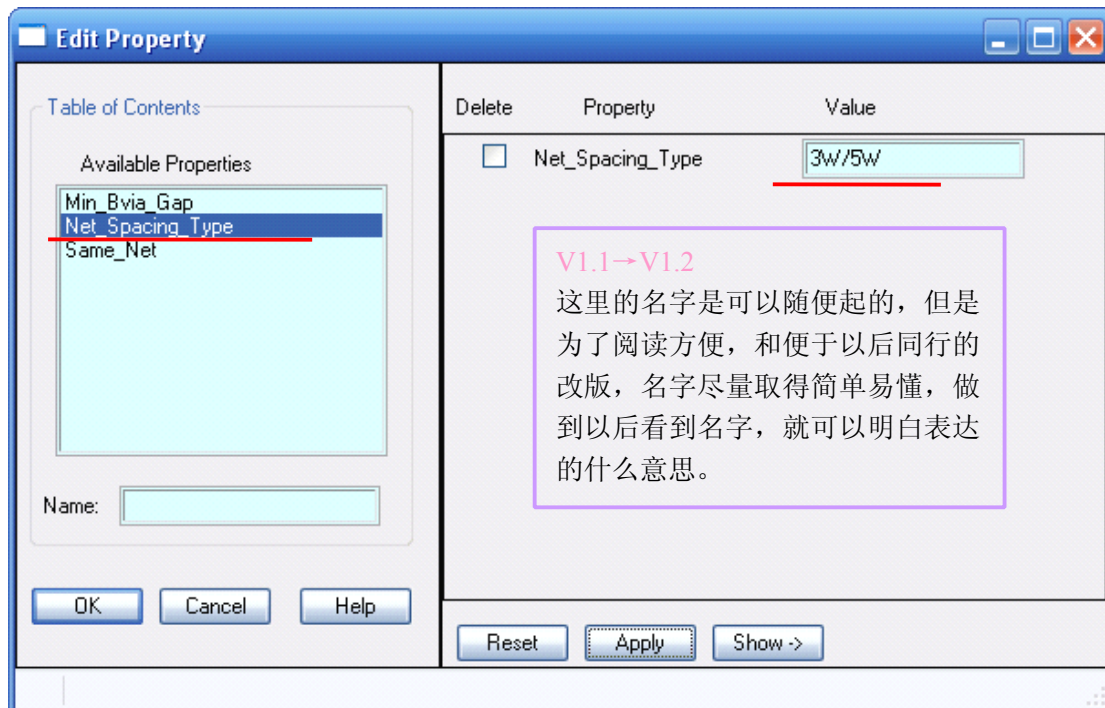
同样在窗口上方空白处填入新约束名称, 然后点击“ADD”, 新的约束就产生了。由于我们要设置的间距有 3 倍线宽、5 倍线宽两种, 我们可以相应的设置两种 Spacing 特性: “3W”, “5W”。如下图所示:



2) “Attach property” 绑定约束

Spacing rule 的绑定约束的操作和 Physical rule 设置基本相同。

选取 “DDR2A_DQ[7:0]”、“DDR2A_DM0” 绑定约束 “3W/5W”，如图：



同样的方法给 “DDR2A_DQS0/DDR2A_DQS#0” 绑定约束 “5W”。

3) “Assignment table” 约束规则分配

Spacing rule 的约束分配列表如下：

Net Spacing Type Properties		Area Property	Net Spacing Constraint Set
3W/5W	3W/5W	Bga	BGA
3W/5W	5W	Bga	BGA
5W	5W	Bga	BGA
No_Type	3W/5W	Bga	BGA
No_Type	5W	Bga	BGA
No_Type	No_Type	Bga	DEFAULT
3W/5W	3W/5W	No_Type	3W
3W/5W	5W	No_Type	5W
3W/5W	No_Type	No_Type	5W
5W	5W	No_Type	5W
5W	No_Type	No_Type	5W
No_Type	No_Type	No_Type	DEFAULT

举例，红色下划线的三行的意思是（关于约束绑定区域以后再说）：

绑定 Spacing 约束 “3W/5W” 的信号和绑定 Spacing 约束 “5W” 的信号在 “BGA” 区域内应用 Spacing 约束 “BGA”

绑定 Spacing 约束 “3W/5W” 的信号和绑定 Spacing 约束 “3W/5W” 的信号在 “No_Type” 区域内应用 Spacing 约束 “3W” ——即组内间距 3W

绑定 Spacing 约束 “5W” 的信号和绑定 Spacing 约束 “No_Type” 的信号在 “No_Type” 区域内应用 Spacing 约束 “BGA” “5W” ——即 DQS 和其他信号间距 5W

V1.1-->V1.2: 此处应为 5W

这里要说一下约束的起名，我开始学设置时，约束的起名比较乱，如 DDR 的 DATA 线，线宽约束值叫 DDR_DATA，绑定线宽约束名也叫 DDR_DATA，间距约束值也叫 DDR_DATA，绑定线距约束名还叫 DDR_DATA，到最后在约束分配表中分配的时候，我自己都被搞晕了。

后来总结了一下，优化了起名方式，如：

DDR 单端线阻抗 50Ω 的线宽约束值：DDR_50OHM

间距 3W、10Mil 的线距约束值：3W、10Mil

DDR 组内间距 3W 组外间距 5W 的绑定约束：DDR_3W/5W

这样约束分配起来就清晰明了了很多，如间距绑定 DDR_3W/5W 与 DDR_3W/5W 在 No_Type 区域，明显他们是同组，所以应用组内间距约束值 3W。

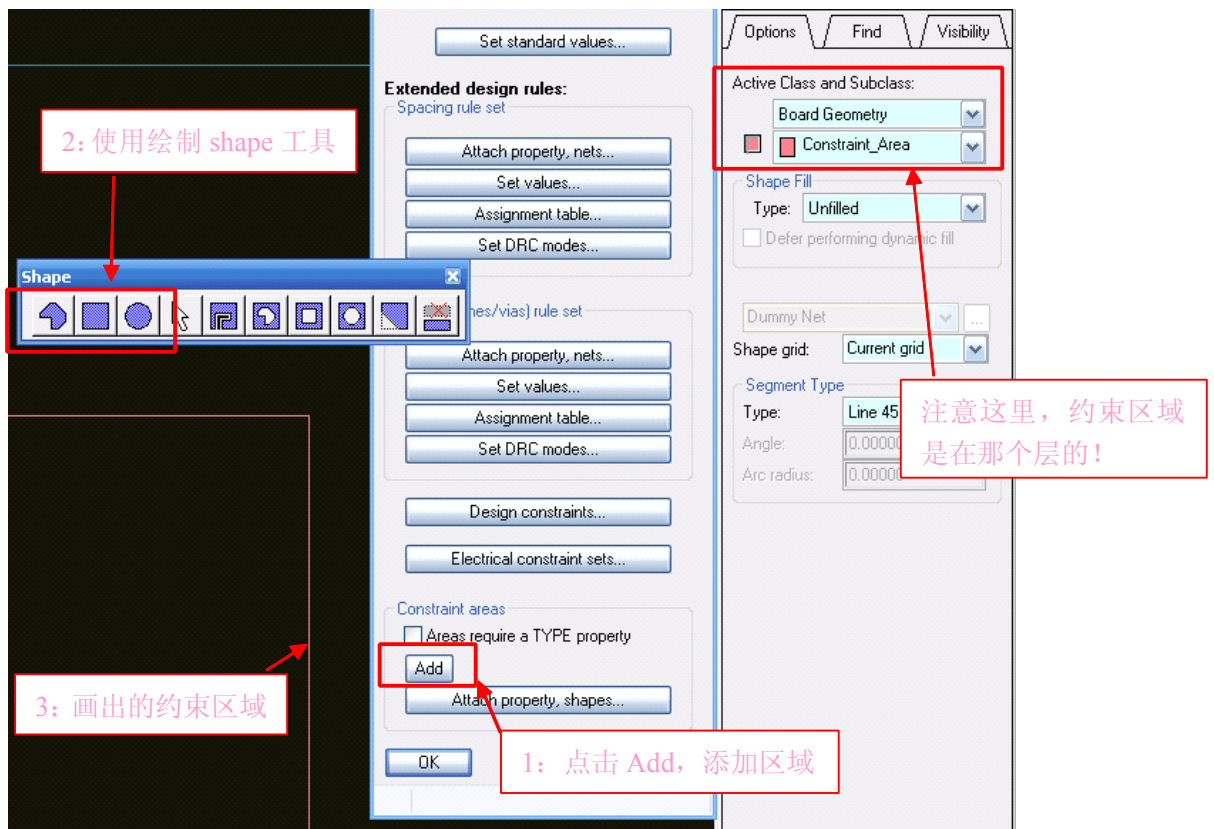
三 Constraint areas 区域约束设置

在前面的Physical 和Spacing设置分配表中，为什么有个区域“No_Type”和“BGA”？这是因为有些区域约束是不可能达到的，比如在BGA 封装的CPU内，引线出来，线间距不可能达到30, 20 甚至10个mil。在这些地方，如果你也按照这个约束那么你的PCB中的DRC 就不可能消的掉。这时一个解决办法就是把这些地方划为一个Area，然后给它加上

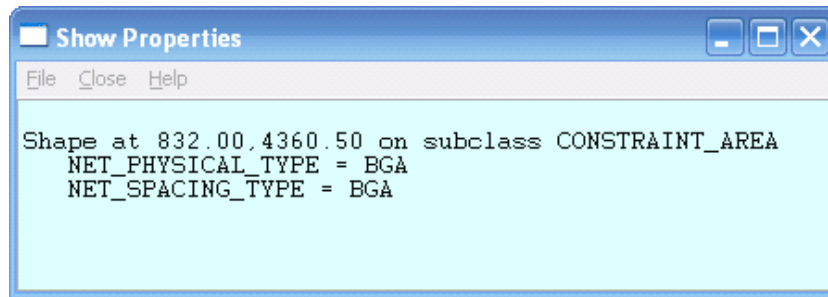
Net_Physical_Type和Net_Spacing_Type属性。针对这些Area 内，设定合适的、比较宽松的约束值。如果不设置，也就是没有区域约束的地方，就是No-Type。提示：约束区域是shape。

具体做法是先在“Set values”中各添加 Physical 和 Spacing 的约束值“BGA”，填上相对比较宽松的、合理的值。

Constraint areas 中选 Add，（注意这时的绘图层），选择好画 shape 的工具，在工作区绘制 shape。如图：



点击“Attach property, shapes”选刚才画的shape，绑定约束Net_Physical_Type和Net_Spacing_Type。绑定后shape属性如图：



另外，也可以直接用画shape的工具添加约束区域，工作层应选： **BOARD GEOMETRY**
→ **CONSTRAINT_AREA**。

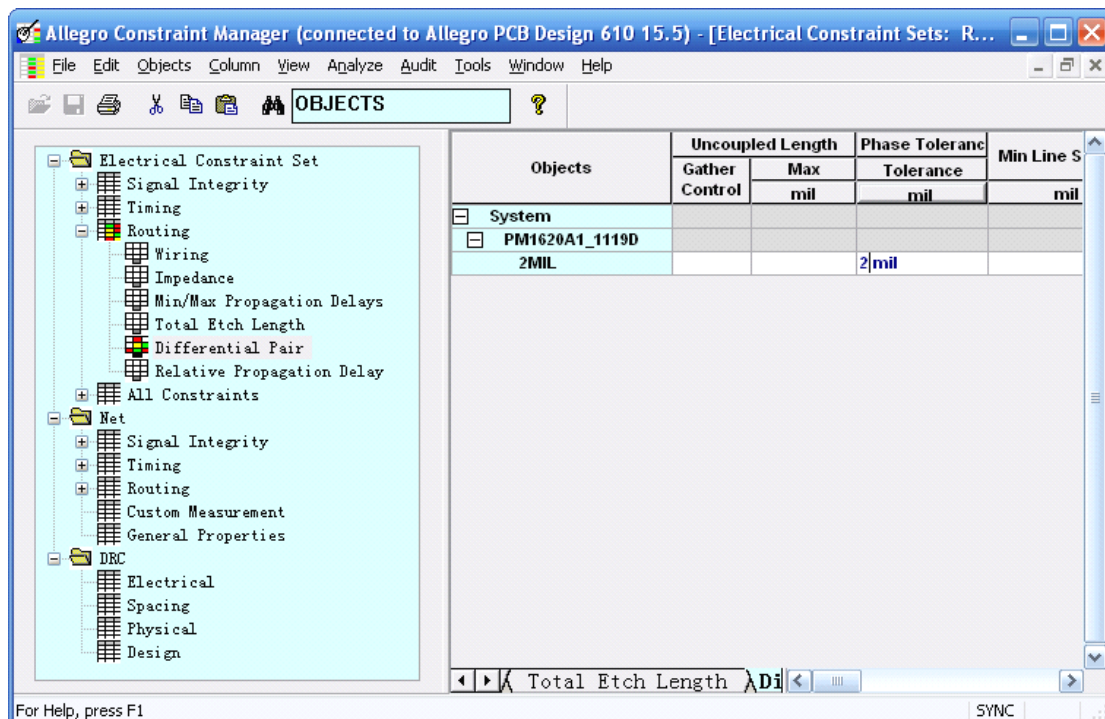
绑定约束也可以用“Edit/Properties”（默认快捷键Ctrl+P）。出现“Edit Property”窗后，操作对象（Find）视情况选net或shapes。

以上约束设置也可以在约束管理器（Constraint Manager）中设置，我没用过，感兴趣的朋友可以自己研究下。

四 Allegro 中走线长度的设置

1) Allegro中走线长度一般在约束管理器（Constraint Manager）中设置。

约束管理器（Constraint Manager）主界面如下：



左边是工作窗体选择区(Worksheet Selector)，以3个阶层的方式来呈现工作窗体。工作窗体选择区目前有 Electrical Constraint Set(简称ECSets)、Net及DRC3种，在每一种活页夹之下各若干个工作名册(Workbooks)，在每一种工作名册之下有不同的工作窗体(Worksheet)，可以进行各种约束的设置、绑定。我们以前设置的Physical和Spacing约束也可

以在这里找到并设置。

按照等长的主要类型我将等长设置分为三类：差分线等长、一组Net等长、XNet等长。下面分别作一介绍。

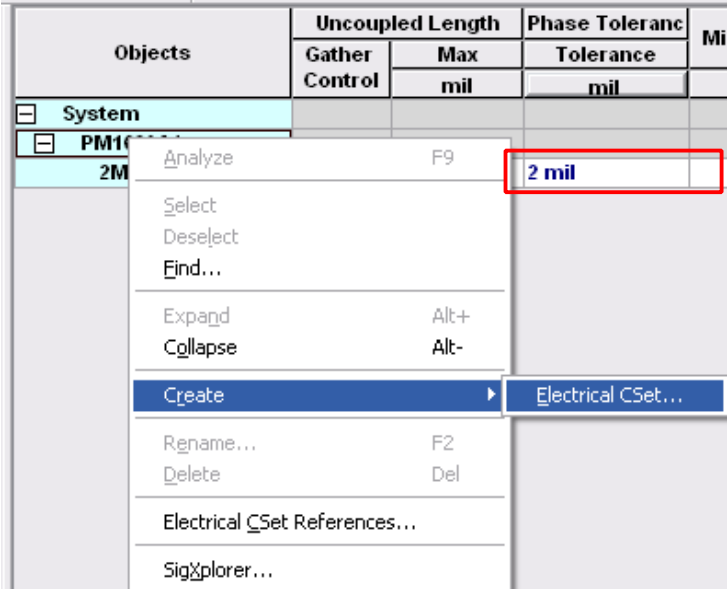
1) 差分线等长设置

以 DDR2 处的差分线 DDR2A_DQS[7:0]为例，先将需要的差分线 DDR2A_DQS 与 DDR2A_DQS#进行配对，具体步骤略。

由于我们设置的是差分线 P/N 之间的等长，在左边工作窗体选择区选择 Electrical Constraint Set→Routing→Differential Pair。

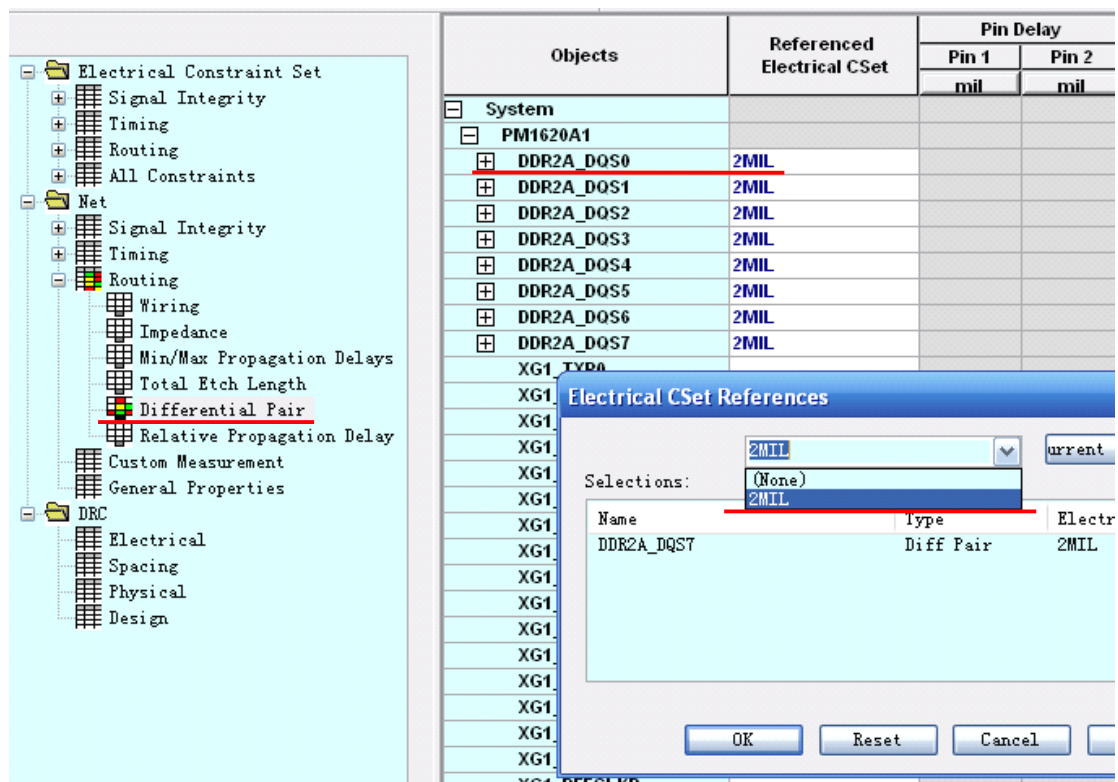
新建一个约束。

在 DESIGN 名上右击→Create→Electrical CSet，在弹出的对话框中输入约束名，由于要求 DDR2A_DQS 与 DDR2A_DQS#之间相差不多于 2mil，我这里也就起名为 2mil(只是例子，名字不限)。并在图示位置填入允许的长度差值 2mil。



绑定约束。

打开 Net→Routing→Differential Pair。在右侧可以看到已经配对的差分线 DDR2A_DQS[0:7]，在“Electrical Cset References...”下单击，在弹出的对话框中选择刚才设置好的约束“2MIL”。也可以一次填 N 对，按住左键拖曳选择多个，右键菜单选“Change...”。这样就给差分线 DDR2A_DQS[0:7]添加了长度约束“2MIL”。如图：



设置好后就可以绕等长了, 在最上面的字段名称上及项目名、Net 名上, 按下鼠标右键可以展开下拉菜单, 其中的“Sort”可以将对象重新排序, “Analyze”可以立即执行分析, 分析后各种颜色的图示如下, 也就是常说的红绿灯:-)

Pass – 分析的结果符合设定值。

Fail – 分析的结果不符合设定值。

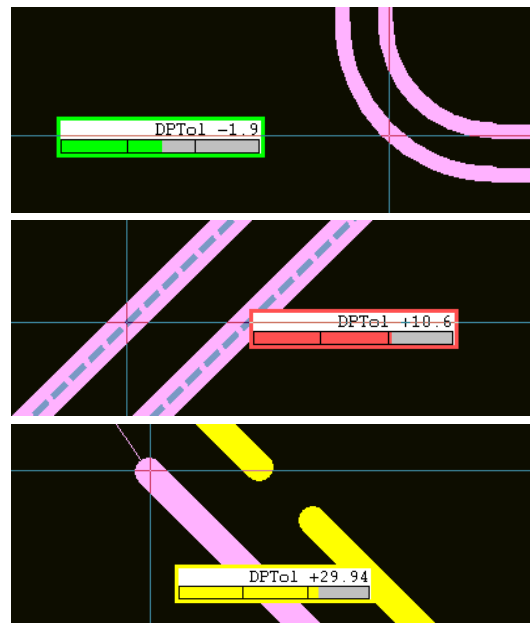
Analysis error – 无法执行分析。

Directly set – 字段的设定值是由使用者直接输入的

V1.1-->V1.2: 提示: 没有红绿灯的哥们, 请打开 Setup→User Preferences..., 展开左边 Etch 项, 右边 allegro_dynam_timing 选择 on 即可。下面的一项 allegro_dynam_timing_fixedpos 是设置红绿灯位置锁定还是跟着光标跑的。

Objects	Phase Tolerance			Line Spacing		
	Tolerance	Actual	Margin	Min	Actua	Margin
	mil			mil	mil	
System						
PM1620A1			-10.57			0.2000
DDR2A_DQS0	2 mil		1.900	4.50		0.2000
DDR2A_DQS#0	2 mil		1.900	4.50	4.70	0.2000
U1.C38:JP3.11	2 mil	0.1000	1.900			
DDR2A_DQS0	2 mil		1.900	4.50	4.70	0.2000
U1.B39:JP3.13	2 mil	0.1000	1.900			
DDR2A_DQS1	2 mil		-10.57	4.50		0.2000
PinPair Result U1.B39:JP3.13	2 mil		-10.57	4.50	4.70	0.2000
U1.B33:JP3.29	2 mil	12.57	-10.57			
DDR2A_DQS1	2 mil		-10.57	4.50	4.70	0.2000
U1.A33:JP3.31	2 mil	12.57	-10.57			
DDR2A_DQS2	2 mil			4.50		0.2000
DDR2A_DQS#2	2 mil			4.50	4.70	0.2000
DDR2A_DQS2	2 mil			4.50	4.70	0.2000

图中，差分线 DDR2A_DQS0 已经满足要求，DDR2A_DQS1 已经连通但长度不符合设定，DDR2A_DQS2 还未连通，无法分析。



2) 一组 Net 等长

仍以DDR2一组DQ线为例，一组DQ线共有11根线：

DDR2A_DQ[7:0]，8根DQ线

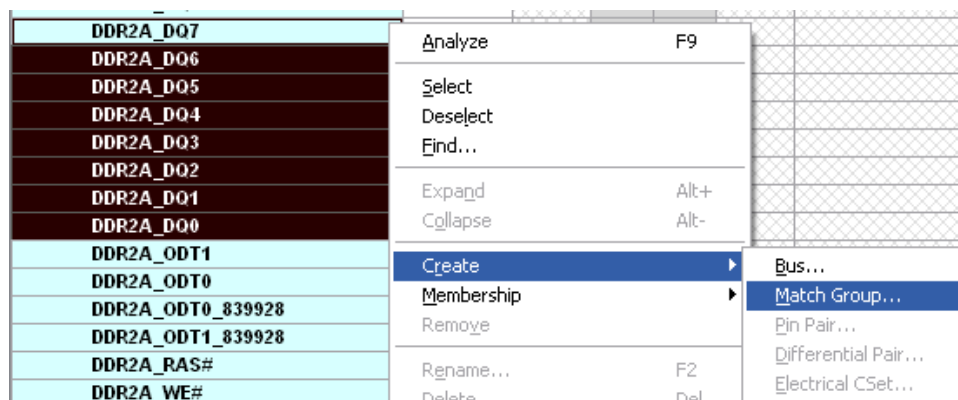
DDR2A_DM0，1根DM线

DDR2A_DQS0/DDR2A_DQS#0，一对DQS差分线

长度要求：

- 每对DQS与DQS# 之间相差不多于2mil；
- DQS/DQS#比每组DQ、DM长50mil，DQS/DQS#作为每个数据group的target；
- 每个DQ group长度误差控制在 ± 12.5 mil。

由于是一组等长，在左边工作窗体选择区选择 NET→Routing→Relative Propagation Delay。在主窗体利用 Ctrl、Shift 键，将这 11 根线全部选定，右击→Create→Match，在弹出的对话框中填入组名：DDR2A_DQ0。这样就将这十一根线加入到了一个 group 中。



在 **Relative Delay** 下的 **Delta:Toleranc** 处填入长度约束。如图，填入的格式举例如下：

0mil:2mil : 相对 TARGET 长度误差 $\pm 2\text{mil}$

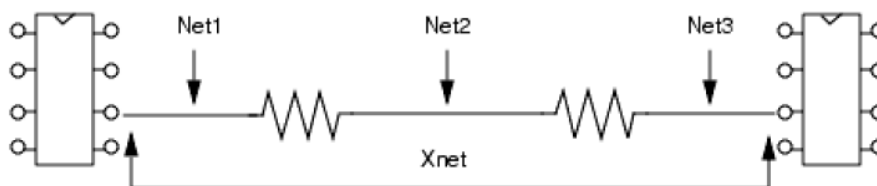
-50mil:12.5mil : 比 TARGET 长度短 50mil, 误差 $\pm 12.5\text{mil}$

填入时可以直接输入数字,不用输入单位。可以在输入框右击→set as target 指定那根 net 为 target。设定完就可以绕等长了,在右侧的 **Length** 上右击→Analyze, 可以看到每根 Net 的长度,当每个字段都以绿色显示时,就说明它们满足设置的长度约束了,如图:

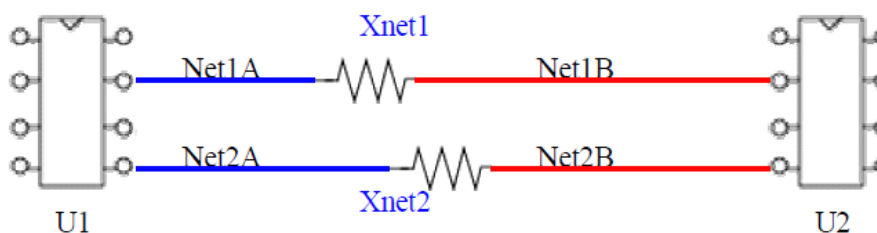
Objects	Referenced Electrical	Pin Pairs	Pin Delay		Scope	Relative Delay				Length
			Pin	Pin		Delta:Tolerance	Actual	Margin	+/-	
			mil	mil		mil				mil
System										
PM1620A1								1.9 MIL		
DDR2A_DQ0		All Drivers/All R...			Global	-50 MIL:12.5 ...		1.9 MIL		
DDR2A_DM0		All Drivers/All R...			Global	-50 MIL:12.5 MIL		11.09 MIL		1931.34
DDR2A_DQ7		All Drivers/All R...			Global	-50 MIL:12.5 MIL		9.85 MIL		1932.57
DDR2A_DQ6		All Drivers/All R...			Global	-50 MIL:12.5 MIL		12.25 MIL		1929.67
DDR2A_DQ5		All Drivers/All R...			Global	-50 MIL:12.5 MIL		10.44 MIL		1927.86
DDR2A_DQ4		All Drivers/All R...			Global	-50 MIL:12.5 MIL		7.77 MIL		1934.66
DDR2A_DQ3		All Drivers/All R...			Global	-50 MIL:12.5 MIL		11.01 MIL		1928.43
DDR2A_DQ2		All Drivers/All R...			Global	-50 MIL:12.5 MIL		9.76 MIL		1927.19
DDR2A_DQ1		All Drivers/All R...			Global	-50 MIL:12.5 MIL		11.63 MIL		1930.79
DDR2A_DQ0		All Drivers/All R...			Global	-50 MIL:12.5 MIL		11.41 MIL		1928.83
DDR2A_DQS0	2MIL	All Drivers/All ...			Global	TARGET				1979.93
DDR2A_DQS#0	2MIL	All Drivers/All ...			Global	0 MIL:2 MIL		1.9 MIL		1980.02

3) XNet 等长

我们把连续的几段由无源元件(如电阻,电容或电感)连接的 net 合称为一段 Xnet,如下图:



前面说的方法只能对 Net 设置等长,既差分对的每根线、group 中的每根线,操作的对象都是 Net。而有时仅对 Net 设置等长是不够的,比如下面这种情况:

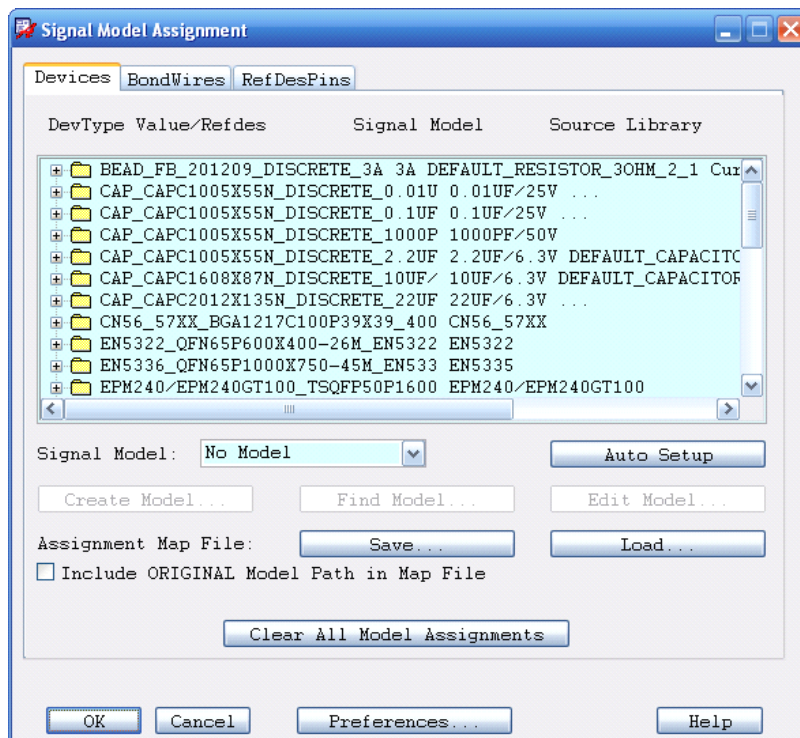


现在要求U1 到U2 的走线Net*A + Net*B等长,误差为 $\pm 20\text{Mil}$,最简单的方式就是分别设置Net*A等长和Net*B等长,误差各为 $\pm 10\text{Mil}$,这样是可以达到要求,不过会加大Layout工程师绕线的难度,因为可能Net*A部分空间比较大有足够的绕线空间,而 Net*B部分没有空间绕线,所以就比较难达到要求。

如果一种设置能把Net*A与Net*B相加,然后再做等长比对,这样就可以解决问题了,好的就是Allegro都早为这些问题考虑过了,只要把Net*A与Net*B设置为一个Xnet问题就解决一半了。

下面内容将详细介绍怎样设置 Xnet 与 Xnet 等长。

1、在Allegro中点击菜单 Analyze→SI/EMI Sim→Model..., 出来的建议定义DC net直接Yes 即可,然后出现下面的Model设置窗体:



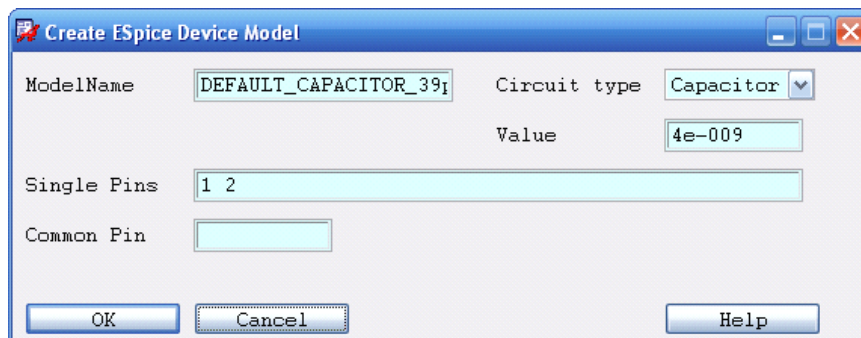
2、直接在DevType Value/Refdes 中选择要设定Model 的器件或直接在板子上点选要设置Model的器件;

3、点选Create Model, 建立该零件的Model;



在出现对话框中选择Create ESpiceDevice model, 点击OK;

4、出现下面窗体:



ModelName: 输入产生Model的名字,

Circuit type: 选择Type, 电阻, 电感或电容,

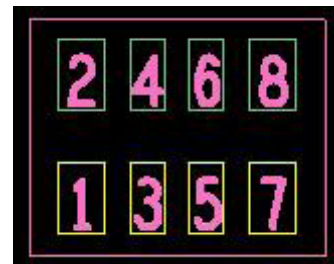
Value: 值,

Single Pin: 各Pin的连接顺序, 中间为空格,

这里要注意要看零件的pin的排列,

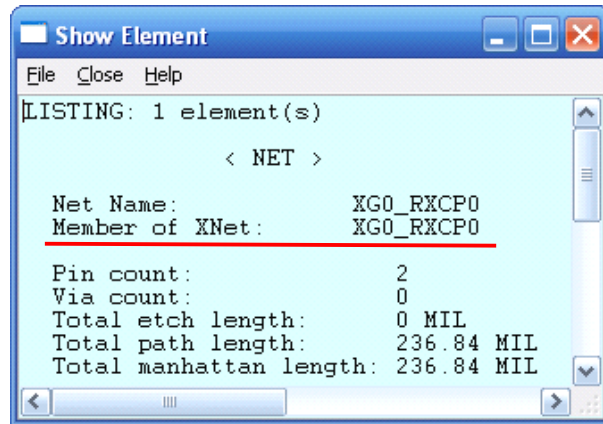
1 2 3 4 5 6 7 8,就是: 1和2是一个电阻,其它同理, 所以如果就是普通电阻电容那就更简单了,

Common Pin: 这里不用管它,空着就可以,



上面都输入好了就点击OK,完成Model的建立。

点击 OK 退出就可以发现连接该电容的两边的 Net 都有了个 Xnet 属性,如下图:

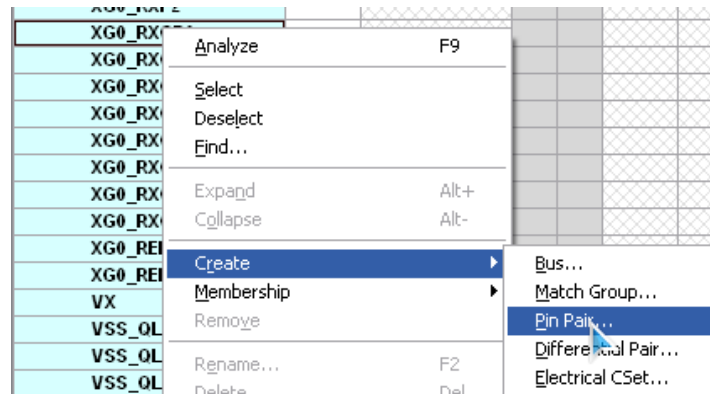


下面介绍 XNet 的等长设置。

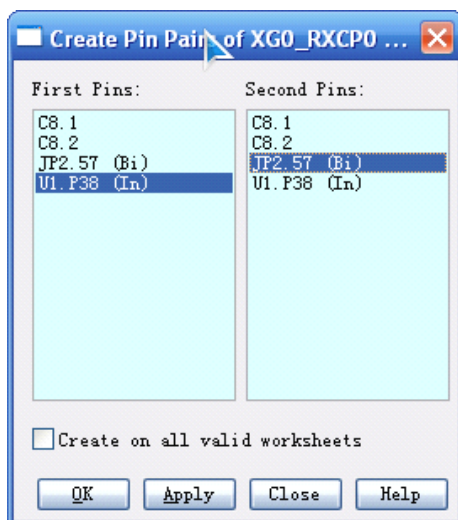
进入约束管理器 Constraint Manager 的 Net→Routing→Relative Propagation Delay, 在右边就会显示整块板子所有的 Net 或 Xnet:

System	
PM1620A1	
XG1_RX0	2MIL
XG1_RX1	2MIL
XG1_PXCP1	2MIL
XG1_RXCP1	2MIL
XG1_RX2	2MIL
XG1_RX3	2MIL

建立需要等长的 Pin Pair, 在需要建立 Pin Pair 的 Xnet 上右击→Create→Pin Pair:

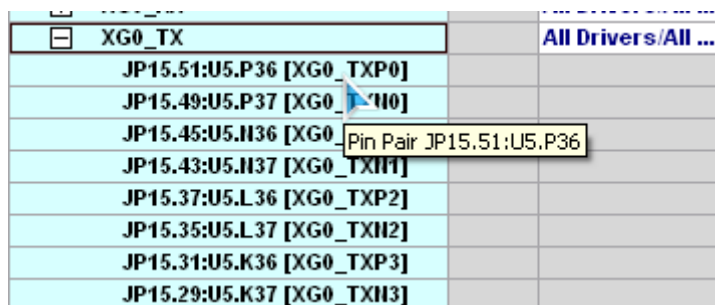


选择起始 Pin 和结束 Pin:



这一步的目的是指定一个 XNet 等长时计算长度的起始 Pin 和结束 Pin，如上图中，计算的长度值就是 U1 的 P38 脚到 JP2 的 57 脚的距离。

设好 Pin Pair 之后，就可以用设置一般的 Net 等长的方法来设置 XNet 的等长，不同的只是将 XNet 的 Pin Pair 选定添加到一个等长组里。如图：



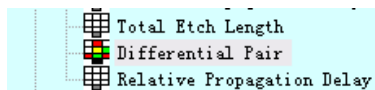
另一种常见的需要定义 Pin Pair 的情况是 Net 有分叉，如 DDR2 的地址线、控制线，它们接有上拉电阻，对连接到上拉电阻的一段是不能计入等长长度的。可以将 Net 上从 CPU 到 DDR2 的一段设置为 Pin Pair，这样就只计算从 CPU 到 DDR2 的一段长度了。

V1.1→V1.2

常用的三种等长设置的区别

常用的等长设置有以下三种：

- 1: **Total Etch Length**
- 2: **Differential Pair**
- 3: **Relative Propagation Delay**



1: Total Etch Length 设置 net 的总长处于某个区间时使用。比如要设置某 net 总长处于 2500mil~3000mil 之间，就在这里设置。

2: Differential Pair 设置差分线 P/N (+/-) 等长，比如要设置差分对 P/N 相差不超过 5mil，就在这里设置。

3: Relative Propagation Delay 这里设置某一组 net 长度相差控制在某个范围，对总长没要求。比如设置某一组 net 的 30 根线长度相差不超过 50mil，总长无所谓。

欢迎加入 QQ 群:

Allegro 专业交流平台 80171093
EDA(Cadence) 3590664

如有任何问题，欢迎指正！

QQ: 372861120

邮箱: zly8629481@163.com

刚好五个字

Allegrophan

09.10.14