

1.1 PCB 叠层及阻抗

1.1.1 PCB 的叠层处理

随着高速电路的不断涌现，PCB 板的复杂度也越来越高，为了避免电气因素的干扰，信号层和电源层必须分离，所以就牵涉到多层 PCB 的设计。在设计多层 PCB 电路板之前，设计者需要首先根据电路的规模、电路板的尺寸和电磁兼容（EMC）的要求来确定所采用的电路板结构，也就是决定采用 4 层，6 层，还是更多层数的电路板。这就是设计多层板一个简单概念。

确定层数之后，再确定内电层的放置位置以及如何在这些层上分布不同的信号。这就是多层 PCB 层叠结构的选择问题。层叠结构是影响 PCB 板 EMC 性能的一个重要因素，一个好的叠层设计方案将会大大减小 EMI 及串扰的影响，

板的层数不是越多越好，也不是越少越好，确定多层 PCB 板的层叠结构需要考虑较多的因素。从布线方面来说，层数越多越利于布线，但是制板成本和难度也会随之增加。对于生产厂家来说，层叠结构对称与否是 PCB 板制造时需要关注的焦点，所以层数的选择需要考虑各方面的需求，以达到最佳的平衡。

对于有经验的设计人员来说，在完成元器件的预布局后，会对 PCB 的布线瓶颈处进行重点分析。再综合有特殊布线要求的信号线如差分线、敏感信号线等的数量和种类来确定信号层的层数；然后根据电源的种类、隔离和抗干扰的要求来确定内电层的数目。这样整个电路板的板层数目就基本确定了。

1、常见 PCB 叠层

确定了电路板的层数后，接下来的工作便是合理地排列各层电路的放置顺序。如图 1-3，图 1-3 所示，分别列出了常见的 4 层板和 6 层的叠层结构。

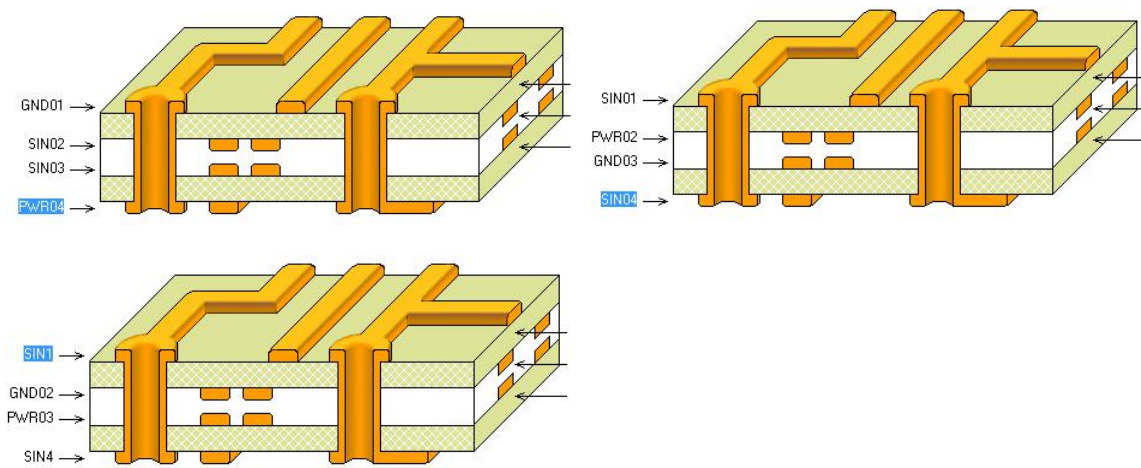


图 1-3 常见 4 层板叠层结构

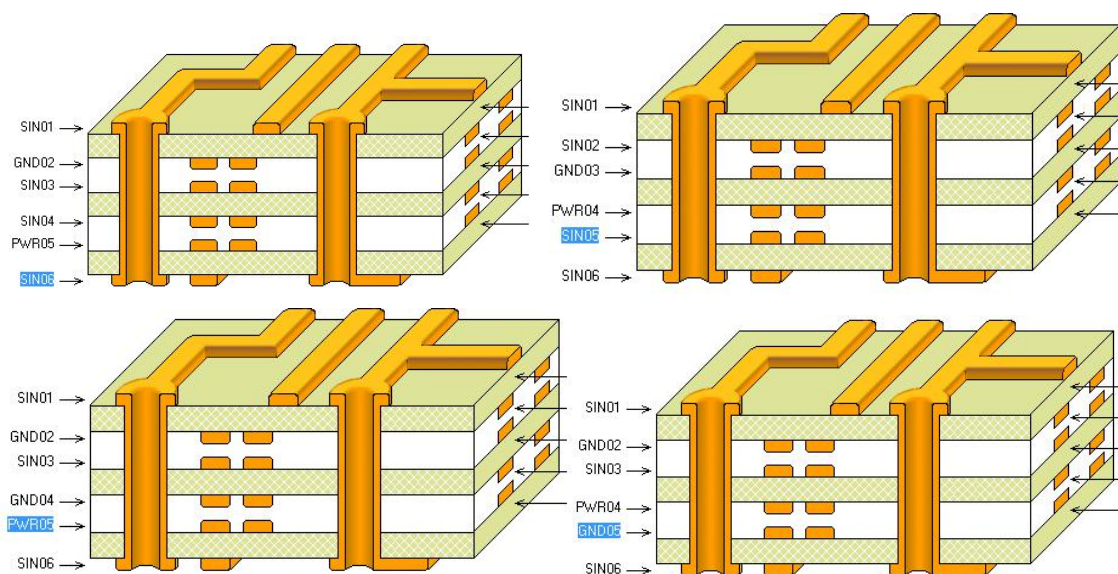


图 1-4 常见 6 层叠层结构

2、叠层分析

怎么叠层，哪样叠层更好，我们一般遵循以下几点基本原则：

- A、元件面、焊接面为完整的地平面(屏蔽)
- B、尽可能的无相邻平行布线层
- C、所有信号层尽可能与地平面相邻
- D、关键信号与地层相邻，不跨分割区

可以根据以上原则，可以对图 1-3 和图 1-4 所示常见叠层方案来进行分析，分析情况如下：

1) 如表 1-1 所示，三种常见四层叠层方案优缺点对比

	方案图示	优点	缺点
方案一		1、在元件面下有一地平面，关键信号优先布在 TOP 层	1、电源、地相距过远，电源平面阻抗过大 2、电源、地平面由于元件焊盘等影响，极不完整 3、由于参考面不完整，信号阻抗不连续。

方案二		1、适用于主要器件在 TOP 布局或关键信号在顶层布线的情况。	/
方案三		1、同方案 1 类似，适用于主要器件在 BOTTOM 布局或关键信号在底层布线的情况。	/

表 1-1 常见四层叠层分析

通过方案 一到方案三的对比，对于四层板的叠层我们通常选择方案二或者方案三，请结合板子的实际情况和叠层原则来正确选择。

2) 如表 1-2 所示，四种常见六层叠层方案优缺点对比

	方案图示	优点	缺点
方案一		1、采用了 4 个信号层和 2 层内部电源/接地层，具有较多的信号层，有利于元器件之间的布线工作。	1、电源层和地线层分隔较远，没有充分耦合。 2、信号层 SIN02 和 SIN03 直接相邻，信号隔离性不好，容易发生串扰，在布线的时候需要错开布线。
方案二		1、电源层和底线层耦合充分。	1、表层信号层相邻层也为信号层，信号隔离不好，容易产生串扰。 2、平面参考太远。

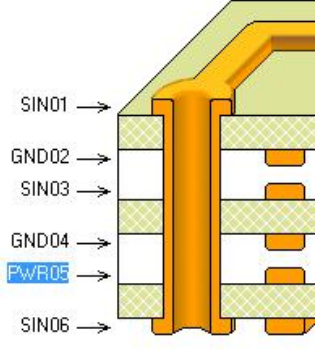
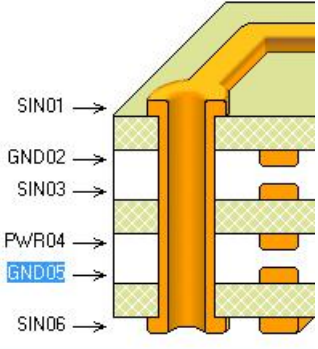
方案三		<p>1、电源层和 GND 层耦合充分。</p> <p>2、信号层都与内电层直接相邻，与其他信号层均有有效的隔离，不易发生串扰。</p> <p>3、SIN03 和两个内电层 GND 和 PWR 相邻，可以用来传输高速信号。两个内电层可以有效地屏蔽外界对 SIN03 层的干扰和 SIN03 对外界的干扰</p>	/
方案四		<p>1、电源层和地线层紧密耦合。</p> <p>2、每个信号层都与内电层直接相邻，与其他信号层均有有效的隔离，不易发生串扰。</p>	/

表 1-2 常见 6 层板叠层分析

通过方案一到方案四的对比发现，我们在优先考虑信号的情况下选择方案三和方案四，会明显优于前面两种方案。但是在实际设计中，由于平板电脑或者 VR 都属于消费类的产品，都是比较在乎成本的，然后又因为布线密度大，我们通常会选择方案一来做叠层结构，所以在布线的时候一定要注意相邻两信号层的信号交叉布线尽量让串扰降到最低。

3、常见 8 层板叠层推荐，如图 1-5，优选方案 1 和 2，可用方案 3

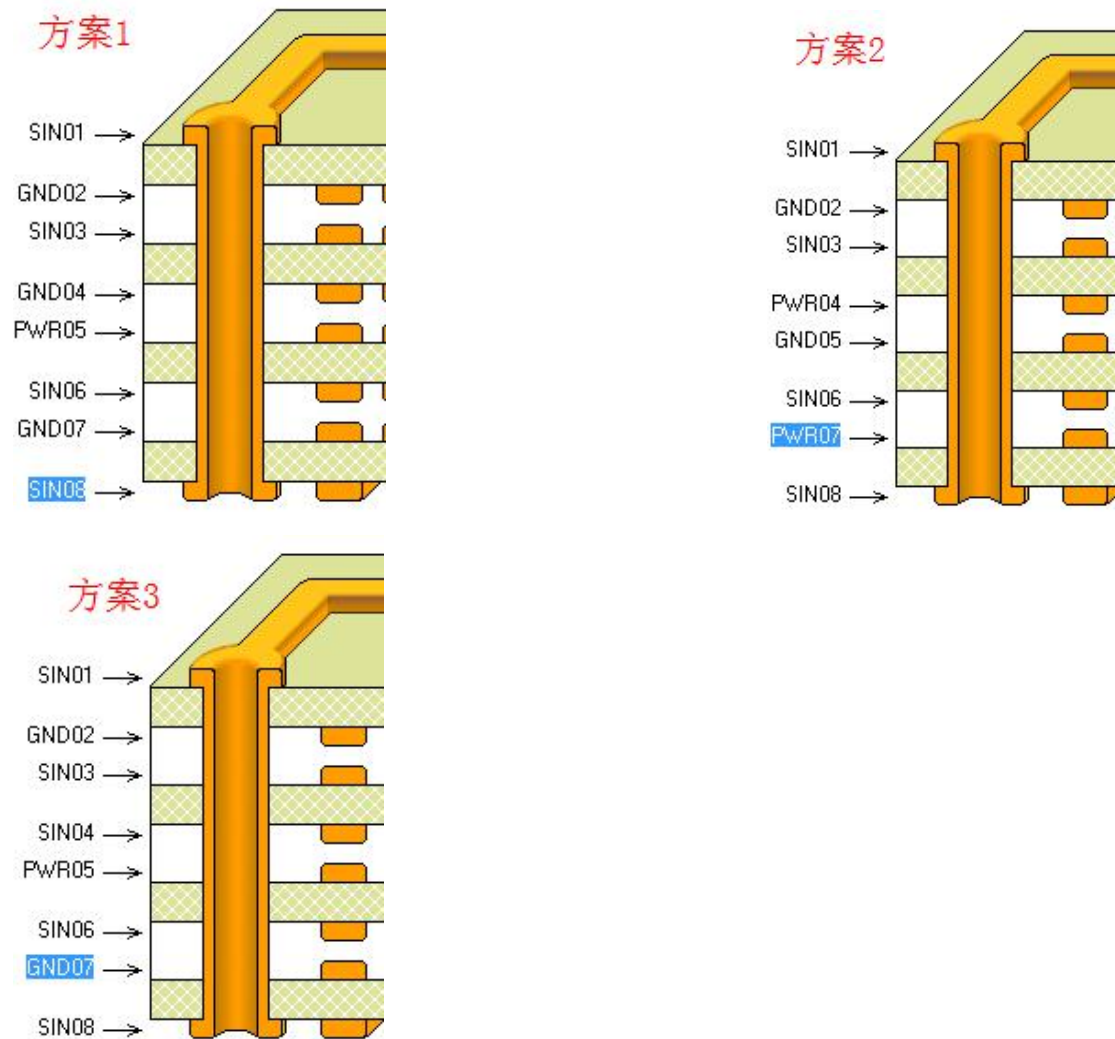


图 1-5 常见 8 层板叠层推荐方案

1. 1. 2 PCB 的阻抗计算

1、阻抗计算的必要性

当电压电流在传输线传播的时候,如果特性阻抗不一致就会造成所谓的信号反射现象等等。在信号完整性领域里,比如反射,串扰,电源平面切割等问题都可以归类为阻抗不连续问题,因此匹配的重要性在此展现出来。

2、常见阻抗模型

我们一般利用 Polar. SI9000 阻抗计算工具进行阻抗计算,在计算之前我们需要认识常见的阻抗计算模型,常见的阻抗模型有特性阻抗、差分阻抗、共面性阻抗。如图 1-6 所示,阻抗模型又细分为如下几类:

- 1) 外层特性阻抗模型
- 2) 内层特性阻抗模型

3) 外层差分阻抗模型

4) 内层差分阻抗模型

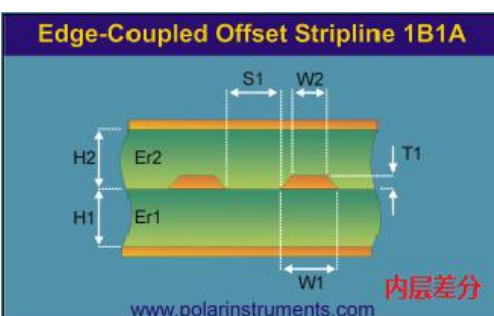
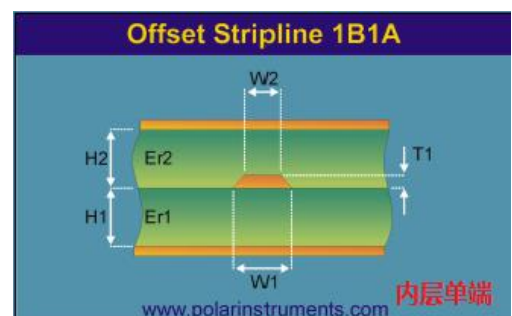
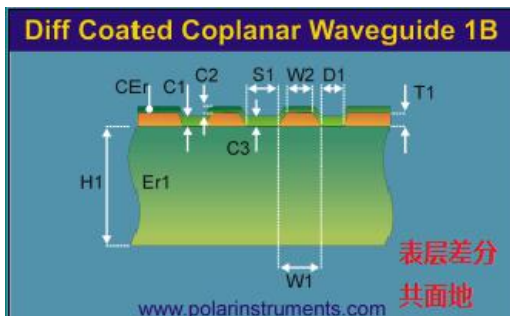
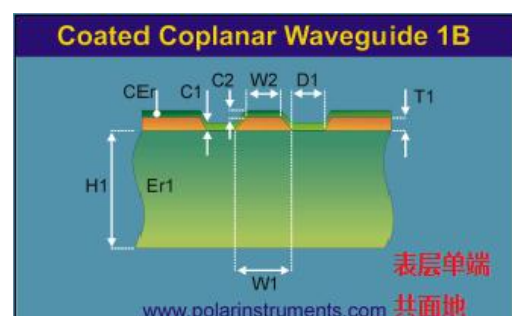
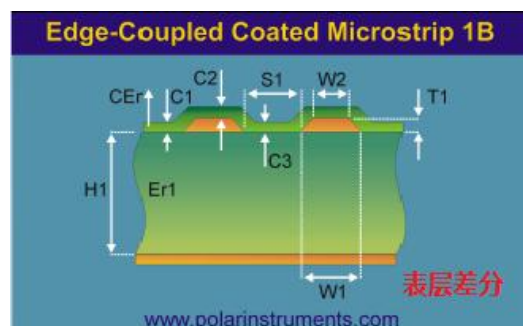
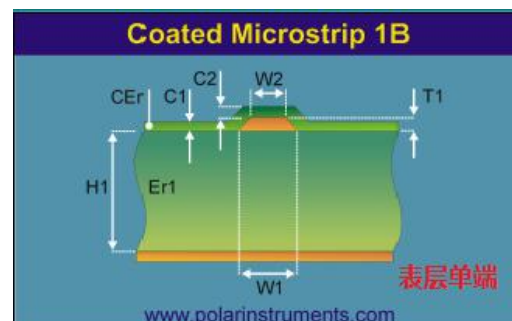
5) 共面性阻抗模型:

(A) 外层共面特性阻抗

(B) 内层共面特性阻抗

(C) 外层共面差分阻抗

(D) 内层共面差分阻抗.



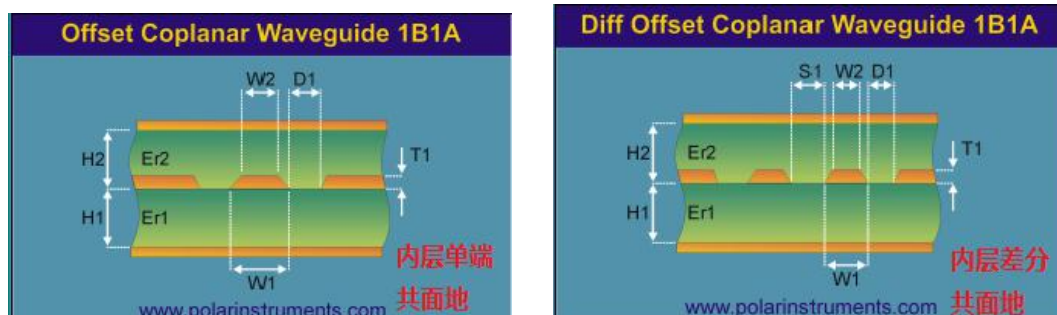


图 1-6 常见阻抗模型

3、阻抗的计算

1) 阻抗计算必要条件

板厚、层数（信号层数、电源层数）、板材、表面工艺、阻抗值、阻抗公差、铜厚

2) 影响阻抗的因素

介质厚度、介电常数、铜厚、线宽、线距、阻焊厚度，如图 1-7 所示。

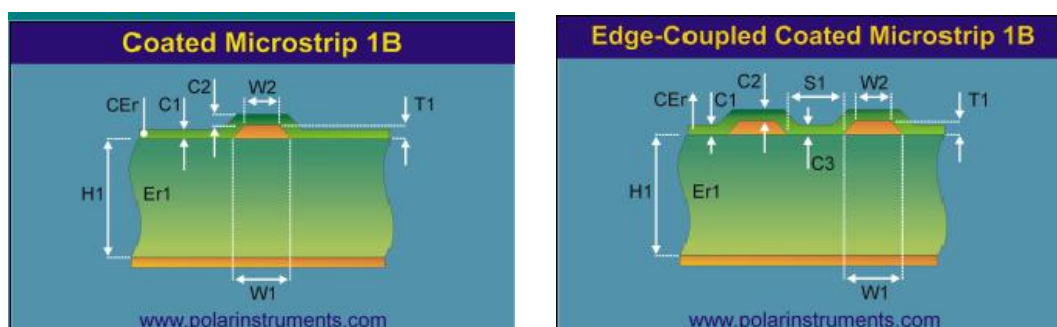


图 1-7 影响阻抗的因素

其中：

H1: 介质的厚度（PP 片或者板材，不包括铜厚）

Er1: PP 片或者板材的介电常数，多种 PP 片或板材压合一起时取平均值

W1: 阻抗线下线宽 W2: 阻抗线上线宽

T1: 成品铜厚 CEr: 绿油介电常数（3.3）

C1: 基材的绿油厚度（一般按照 0.8mil）

C2: 铜皮或者走线上的绿油厚度（一般按照 0.5mil）

Zo: 计算出来的阻抗理论值

提示小助手：

一般来说上下线宽存在如下关系，如表 1-3 所示，上下线宽关系表。

基铜厚	上线宽 (mil)	下线宽 (mil)	线距 (mil)
内层 18um	W0-0.1	W0	S0
内层 35um	W0-0.4	W0	S0
内层 70um	W0-1.2	W0	S0
负片 42um	W0-0.4	W0+0.4	S0-0.4
负片 48um	W0-0.5	W0+0.5	S0-0.5
负片 65um	W0-0.8	W0+0.8	S0-0.8
外层 12um	W0-0.6	W0+0.6	S0-0.6
外层 18um	W0-0.6	W0+0.7	S0-0.7
外层 35um	W0-0.9	W0+0.9	S0-0.9
外层 12um (全板镀金工艺)	W0-1.2	W0	S0
外层 18um (全板镀金工艺)	W0-1.2	W0	S0
外层 35um (全板镀金工艺)	W0-2.0	W0	S0

备注：其中W0为设计线宽，S0为设计线距

表 1-3 上下线宽的关系对比图

3) 计算方法

我们通过一个实例来演示下阻抗计算的方法及步骤

普通的 FR-4 板材一般有：生益，建滔，联茂等板材供应商。生益 FR-4 及同等材料芯板可以根据板厚来划分，如表 1-4 所示，列出了详细的厚度参数及介电常数。

类别	芯板mm	0.051	0.075	0.102	0.11	0.13	0.15	0.18	0.21	0.25	0.36	0.51	0.71	≥0.8
	Mil	2	3.0	4	4.33	5.1	5.9	7.0	8.27	10	14.5	20	28	≥31.5
Tg≤170	介电常数	3.6	3.65	3.95	无	3.95	3.65	4.2	3.95	3.95	4.2	4.1	4.2	4.2
IT180A S1000-2	介电常数	3.9	3.95	4.25	4	4.25	3.95	4.5	4.25	4.25	4.5	4.4	4.5	4.5

表 1-4 常见生益 FR-4 芯板厚度及介电常数

半固化片(即 PP 片)，一般包括:106，1080，2116，7628 等,其厚度为:106 为 0.04MM，1080 为 0.06MM，2116 为 0.11MM，7628 为 0.19MM，如表 1-5 所示，列出了常见 PP 片的厚度参数及介电常数。

类别	半固化片类型	106	1080	3313	2116	7628
Tg≤170	理论实际厚度 (mm)	0.0513	0.0773	0.1034	0.1185	0.1951
	介电常数	3.6	3.65	3.85	3.95	4.2
IT180A S1000-2B	理论实际厚度 (mm)	0.0511	0.07727	0.0987	0.1174	0.1933
	介电常数	3.9	3.95	4.15	4.25	4.5

表 1-5 常见 PP 片厚度参数及介电常数

对于 Rogers 板材，Rogers4350 0.1mm 板材介电常数为 3.36，其他 Rogers4350 板材介电常数为 3.48。Rogers4003 板材介电常数 3.38，Rogers4403 半固化片介电常数为 3.17

我们知道每个多层板都是由芯板和半固化片通过压合而成的。当我们计算层叠结构时候通常需要把芯板和 PP 片叠在一起，组成板子的厚度，比如一个芯板+两张 PP 片叠加“芯片+106+2116”，那么他的理论厚度就是 $0.25\text{mm}+0.0513\text{mm}+0.1185\text{mm}=0.4198\text{mm}$ 。但需注意以下几点：

- 1) 一般不允许 4 张或 4 张以上 PP 叠放在一起，因为压合时容易产生滑板现象。
- 2) 7628 的 PP 一般不允许放在外层, 因为 7628 表面比较粗糙, 会影响板子的外观。
- 3) 另外 3 张 1080 也不允许放在外层, 因为压合时也容易产生滑板现象。
- 4) CORE 一般选择大于 0.11mm 的，六层的一般 2 块芯板，8 层的三块芯板

由于铜厚的原因我们的理论厚度和实测厚度有一定的差，具体可以参考图 1-8。

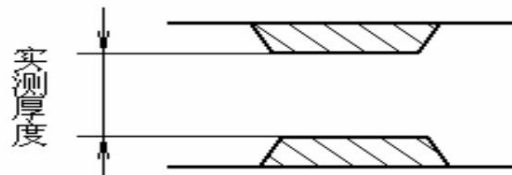


图 1-8 理论厚度于实测厚度

我们从图 1-7 可以看出，理论厚度和实测厚度存在铜厚的差额，可以从总计如下公式：

$$\text{实测厚度} = \text{理论厚度} - \text{铜厚 1} (1-X_1) - \text{铜厚 2} (1-X_2)$$

其中：

- 1、X 表示残铜率，表层 X 取 1，光板 X 取 0
- 2、电源地平面残铜率一般为取值 70%，信号层残铜率一般取值为 23%

提示小助手：

残铜率是指板平面上有铜的面积和整板面积之比。比如张没有加工的原材料残铜率就是 100%，蚀刻成光板时就是 0%，

“0Z” 标示铜厚单位 “盎司”， $10Z=0.035\text{mm}$

4、计算实例

1) 叠层要求

板厚： 1.2mm ，板材：FR4，层数：6 层 铜厚：内层 10Z 表层 0.50Z

2) 根据芯板和 PP 片常见厚度参数组合，并根据叠层厚度要求可以堆叠如下层压结构，如图 1-9 所示。

Finished Thickness(mm):1.2±0.12				
AccountThickness(mm):1.15				
LAYER STACKING				
TOP			0.5oz +Plating	positive
	PP(3313)	3.65		
GND02			1oz	negative
	Core	5.10		
ART03			1oz	positive
	PP(7628*3)	20.92		
ART04			1oz	positive
	Core	5.10		
PWR05			1oz	negative
	PP(3313)	3.65		
BOTTOM			0.5oz +Plating	positive

图 1-9 6 层层压结构图

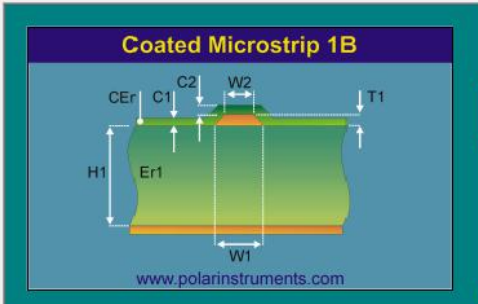
其中上图标示 PP 厚度为实际厚度，计算公式如下：

PP（3313）[实测值]=0.1034mm[理论值]-0.035/2mm*（1-1）[表层 0.50Z，残铜率取 1]-0.035mm*（1-0.7）[内层 10Z，残铜率 70%]=0.0929mm=3.65mil

PP（7628*3）[实测值]=0.1951*3[理论值]-0.035（1-0.23）[内层 10Z，相邻信号层残铜率取 0.23%]-0.035（1-0.23）[内层 10Z，相邻信号层残铜率取 0.23%]=0.5314mm=20.92mil

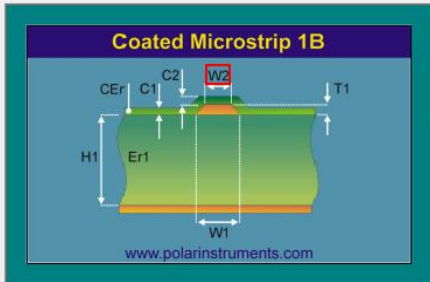
板子总厚度=0.50Z+3.65+10Z+5.1+10Z+20.92+10Z+5.1+10Z+3.65+0.50Z=1.15MM

3）打开 SI9000 软件，选择需要计算阻抗的阻抗模型，计算表层 50 欧姆单线阻抗线宽。如图 1-10，根据压合层叠数据，填入相关已知参数。计算得出走线线宽 W0=6.8mil，这个是计算出比较粗的走线，有时候会基于走线难度准许阻抗存在一定的误差，所以可以根据计算得出的走线线宽来稍微调整，比如我们调整计算参数走线 5.5mil 时，计算阻抗 Zo=54.82，如图 1-11 所示计算结果。



			Tolerance	Minimum	Maximum	
Substrate 1 Height	H1	3.6500	+/-	0.0000	3.6500	Calculate
Substrate 1 Dielectric	Er1	3.8500	+/-	0.0000	3.8500	Calculate
Lower Trace Width	W1	6.8221	+/-	0.0000	6.8221	
Upper Trace Width	W2	5.8221	+/-	0.0000	5.8221	Calculate
Trace Thickness	T1	0.6900	+/-	0.0000	0.6900	Calculate
Coating Above Substrate	C1	0.8000	+/-	0.0000	0.8000	
Coating Above Trace	C2	0.5000	+/-	0.0000	0.5000	
Coating Dielectric	CEr	3.3000	+/-	0.0000	3.3000	
Impedance	Zo	50.00		0.00	0.00	Calculate

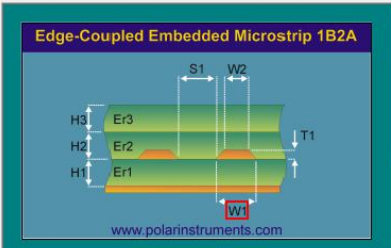
图 1-10 根据阻抗计算线宽



			Tolerance	Minimum	Maximum	
Substrate 1 Height	H1	3.6500	+/-	0.0000	3.6500	3.6500 Calculate
Substrate 1 Dielectric	Er1	3.8500	+/-	0.0000	3.8500	3.8500 Calculate
Lower Trace Width	W1	5.5000	+/-	0.0000	5.5000	5.5000
Upper Trace Width	W2	5.4000	+/-	0.0000	5.4000	5.4000 Calculate
Trace Thickness	T1	0.6900	+/-	0.0000	0.6900	0.6900 Calculate
Coating Above Substrate	C1	0.8000	+/-	0.0000	0.8000	0.8000
Coating Above Trace	C2	0.5000	+/-	0.0000	0.5000	0.5000
Coating Dielectric	CE1	3.3000	+/-	0.0000	3.3000	3.3000
Impedance	Zo	54.82			54.82	54.82 Calculate

图 1-11 根据线宽微调阻抗值

4) 需计算内层（以第三层为例）90 欧姆差分阻抗走线线宽与间距，如图 1-12，选择内层差分阻抗模型，根据压合层叠数据，填入已知参数，然后通过阻抗要求，调整线宽和间距，分别计算，考虑到板卡设计难度可以微调阻抗在准许范围之内即可。



			Tolerance	Minimum	Maximum	
Substrate 1 Height	H1	5.1000	+/-	0.0000	5.1000	5.1000 Calculate
Substrate 1 Dielectric	Er1	3.9500	+/-	0.0000	3.9500	3.9500 Calculate
Substrate 2 Height	H2	20.9200	+/-	0.0000	20.9200	20.9200 Calculate
Substrate 2 Dielectric	Er2	4.2000	+/-	0.0000	4.2000	4.2000 Calculate
Substrate 3 Height	H3	5.1000	+/-	0.0000	5.1000	5.1000 Calculate
Substrate 3 Dielectric	Er3	3.9500	+/-	0.0000	3.9500	3.9500 Calculate
Lower Trace Width	W1	5.1000	+/-	0.0000	5.1000	5.1000
Upper Trace Width	W2	5.5000	+/-	0.0000	5.5000	5.5000 Calculate
Trace Separation	S1	8.0093	+/-	0.0000	8.0093	8.0093 Calculate
Trace Thickness	T1	1.3800	+/-	0.0000	1.3800	1.3800 Calculate
Differential Impedance	Zdiff	90.00		0.00	0.00	Calculate More...

Notes: Add your comments here

Interface Style:
☐ Standard
☒ Extended

G.S. Convergence:
☒ Fine (Slower)
☐ Coarse (Faster)

图 1-12 90 欧姆差分阻抗计算结果

5) 最终计算结果如表 1-6 所示

Single Trace Impedance Control				
Layer	With (mil)	Impedance (Ohm)	Precision	Refer Layer
L1/L6	5.5	50	+/-10%	L2/L5
L3/L4	6.5	50	+/-10%	L2/L5
Differential Trace Impedance Control				
Layer	With (mil)	Impedance (Ohm)	Precision	Refer Layer
L1/L6	4.5/5.0	100	+/-10%	L2/L5
L3/L4	4.5/8.0	100	+/-10%	L2/L5
L1/L6	7.0/8.0	90	+/-10%	L2/L5
L3/L4	5.5/7.5	90	+/-10%	L2/L5

表 1-6 阻抗计算结果