



Técnicas Digitais para Computação - INF01118

Professor: *Fernando R. Nascimento*

Turma: *B*

*Aula Prática 12 (AP12)*

*Nomes:*

***Felipe de Souza Lahti – matr. 170715***

***Germano de Mello Andersson – matr. 137719***

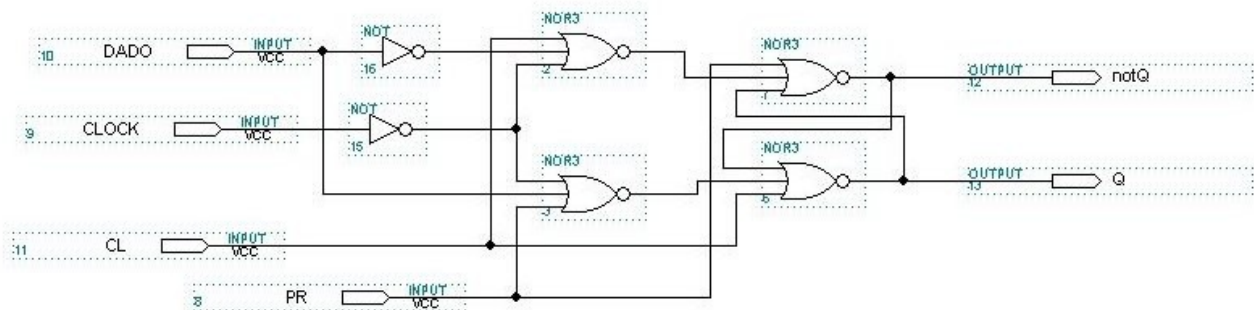
*Porto Alegre, 12 de junho de 2009.*

## 1. Introdução

O objetivo da décima segunda aula prática era implementarmos, no MaxPlus, um Registrador tipo D usando portas NOR e um Flip-Flop tipo D. Após a implementação, precisávamos colocar estes circuitos à prova. Fazendo a simulação temporal, obtivemos informações interessantes como a largura mínima do sinal de clock e os tempos mínimos de setup e hold entre o sinal de dados e o sinal de clock em um Flip-Flop tipo D.

### 1. Registrador D de portas NOR com Set (PR) e Reset (CL)

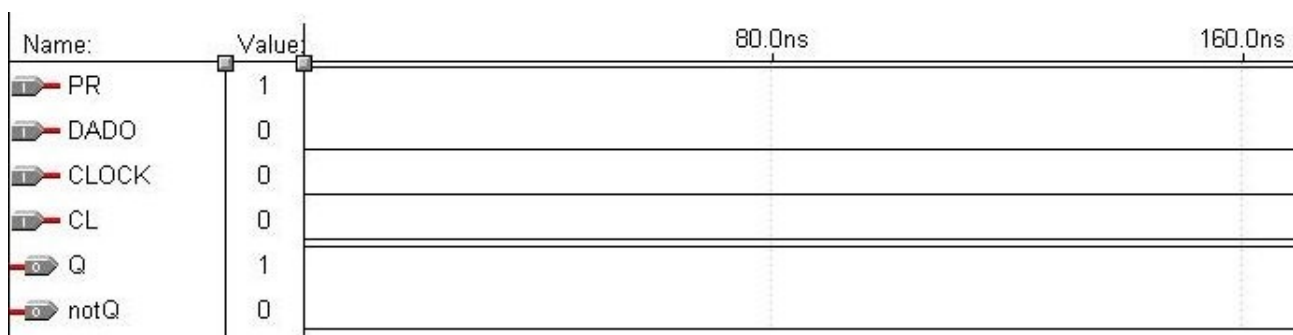
Este foi o circuito programado para o desenvolvimento do Registrador tipo D no MaxPlus utilizando portas NOR:



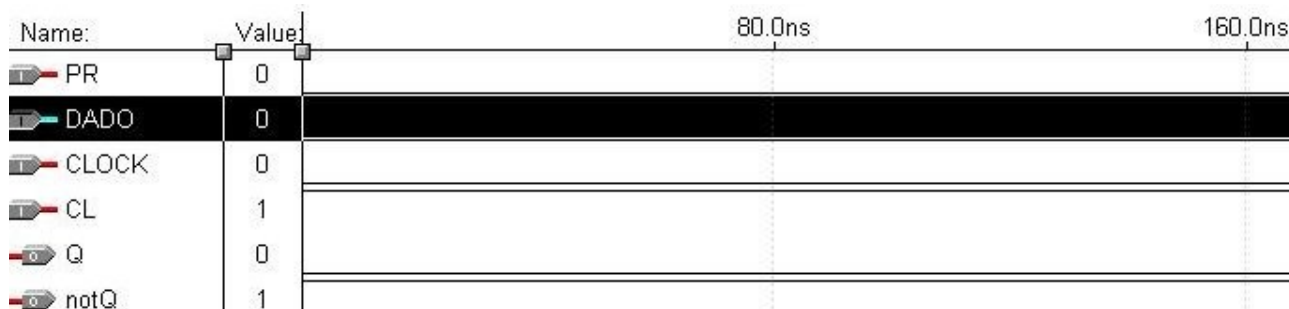
Eis a tabela verdade do circuito:

PR	CL	DADO	CLOCK	Q	notQ
1	0	x	x	1	0
0	1	x	x	0	1
0	0	0	1	0	1
0	0	1	1	1	0
0	0	x	0	mem	mem

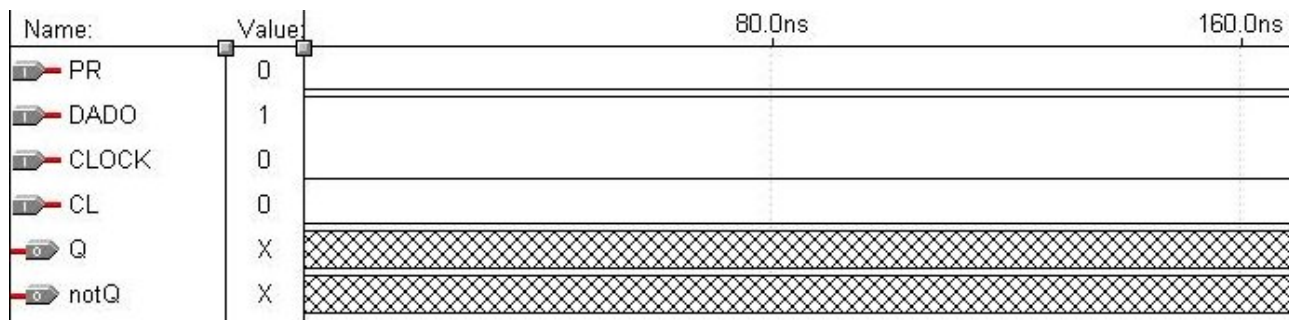
Efetuamos algumas simulações temporal para testar a funcionalidade do circuito:



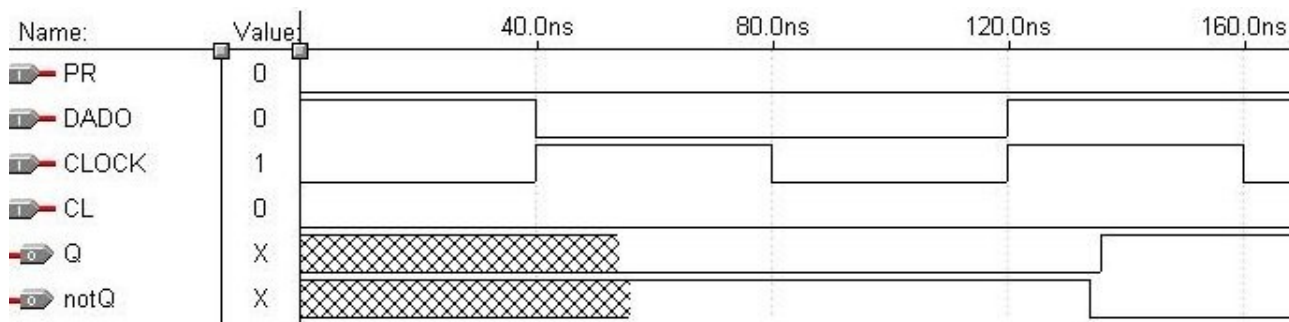
*PR (Set) seta Q=1 & notQ=0 mesmo sem ativacao do clock.*



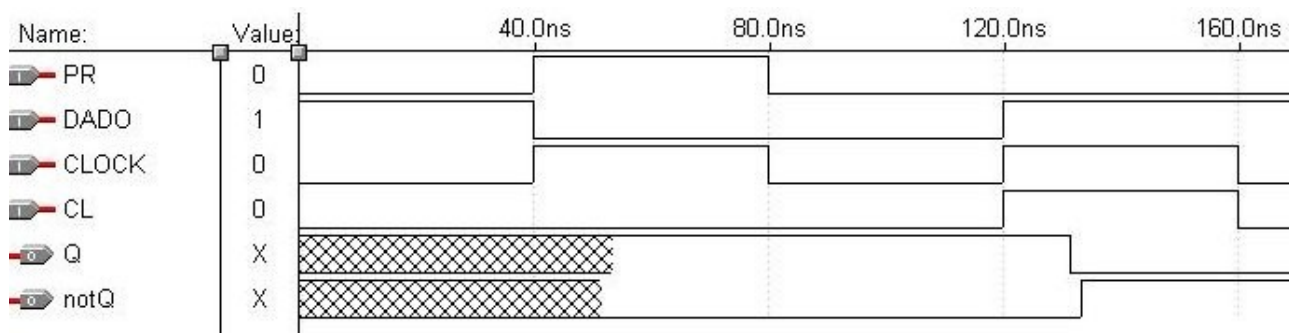
*CL (Reset) seta Q=0 & notQ=1 mesmo sem ativação do clock.*



*A entrada Dado precisa da ativação para setar as saídas Q & notQ.*

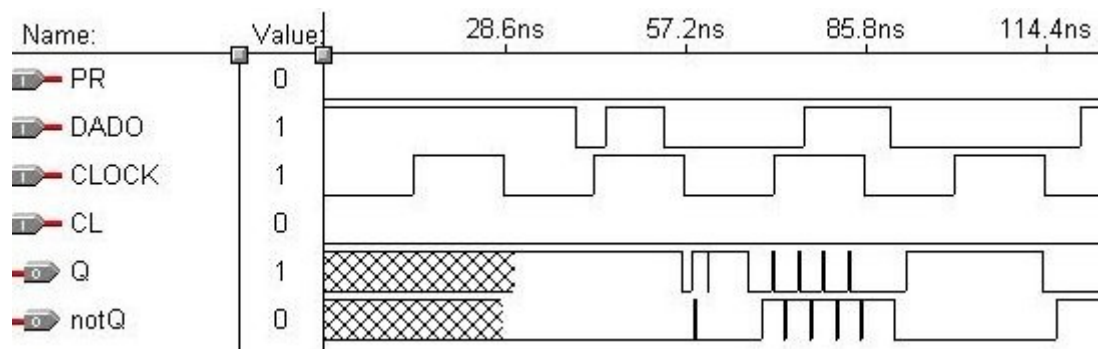


*As entradas Dado e Clock setando Q & notQ.*

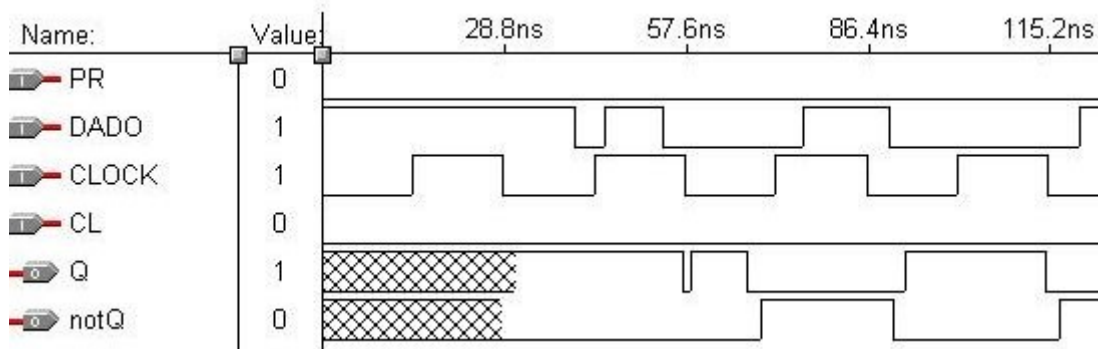


*Mesmos dados acima, porém com a interferência na saída dos sinais assíncronos PR e CL nos intervalos de 40ns a 80ns e 120ns a 160ns. Nesses intervalos a informação da entrada Dado não influencia na saída.*

Para que esta implementação de registrador tipo D funcione, com as mesmas especificações utilizadas no software Max Plus, temos uma restrição de tempo que chamamos de “largura mínima do sinal de clock”. Em nossos testes, identificamos que esta largura mínima do sinal de clock era de 14.4ns. Isso significa que a **frequência máxima** deste registrador, segundo sua fórmula  $F(\text{GHz}) = 1/t(\text{ns})$ , é de **69,44MHZ**. As imagens abaixo ilustram os testes que identificaram esta frequência:



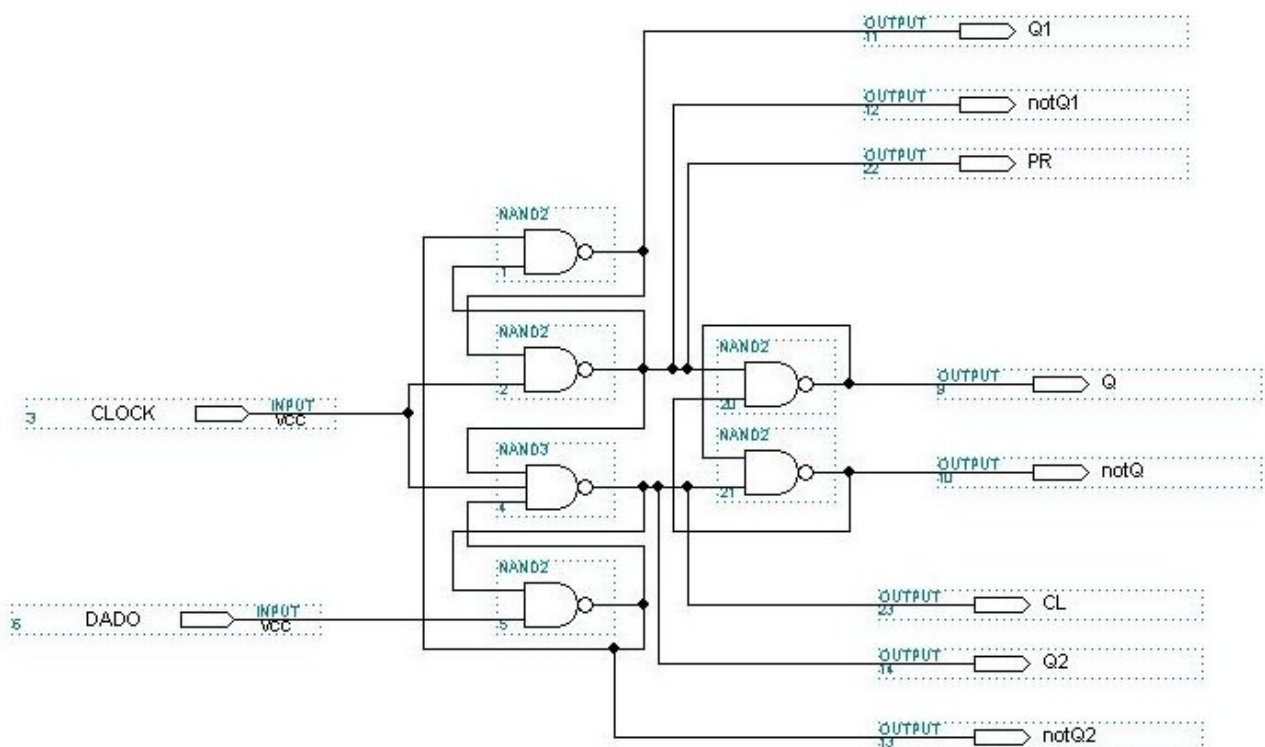
*Teste com largura de clock de 14.3ns deixa circuito instável.*



*Teste com largura de clock de 14.4ns exibe circuito estável.*

## 2. Flip-Flop Tipo D

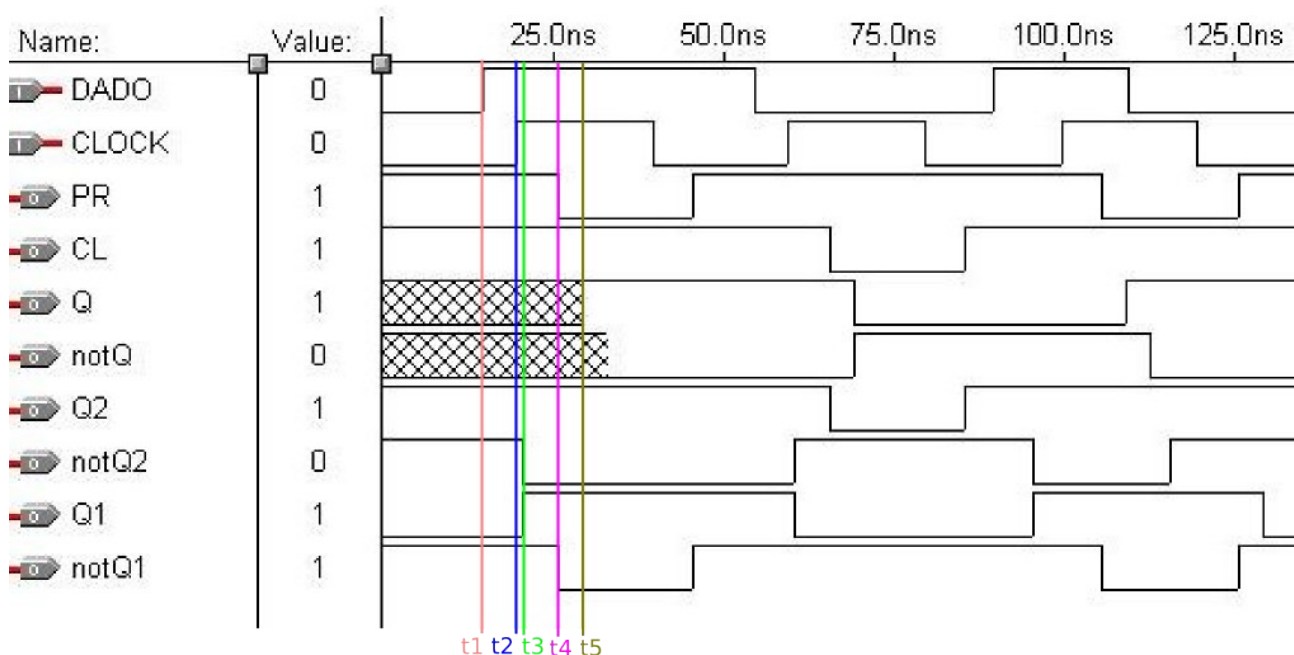
Este foi o circuito programado para o desenvolvimento do Flip-Flop tipo D no MaxPlus:



Eis a tabela verdade do circuito:

DADO	CLOCK	Q	notQ
0	0	mem	mem
0	1	0	1
1	0	mem	mem
1	1	1	0

Para analisarmos o circuito, fizemos alguns testes e estudamos as saídas em um diagrama de tempo. Vejamos os resultados:



Este diagrama de tempos mostra a transferência do sinal de entrada DADO para o sinal de saída Q. Para isso, mapeamos 5 momentos desta simulação temporal, conforme abaixo:

Em t1 (15ns), D varia de 0 para 1.

Em t2 (20ns), CLOCK varia de 0 para 1.

Em t3 (21ns), Q1 varia de 0 para 1.

Em t4 (26ns), PR varia de 1 para 0.

Em t5 (29ns), Q varia de 0 para 1.

Analisando o circuito, podemos perceber que:

t3 é reflexo de t1;

t4 é reflexo de t2.

t5 é reflexo de t4.

Por isso, podemos logicamente perceber as seguintes causas → consequências:

t1: D=1, C=0 → notQ2=0, Q1=1

t2: D=1, C=1 → notQ1=0 (PR também pois são o mesmo sinal)

t4: PR=1 → Q=1

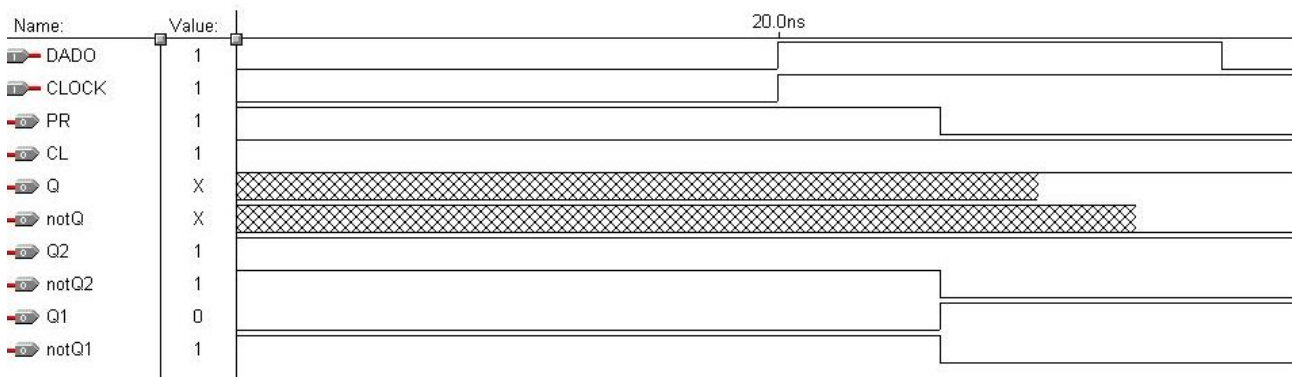
Da mesma maneira que estudamos a menor largura do sinal de clock para que o registrador do tipo D funcionasse corretamente, para este Flip-Flop precisamos analisar duas situações:

a) Tempo necessário que o sinal de dado precisa estar carregado para que o sinal de clock o ative, mais conhecido como *setup*;

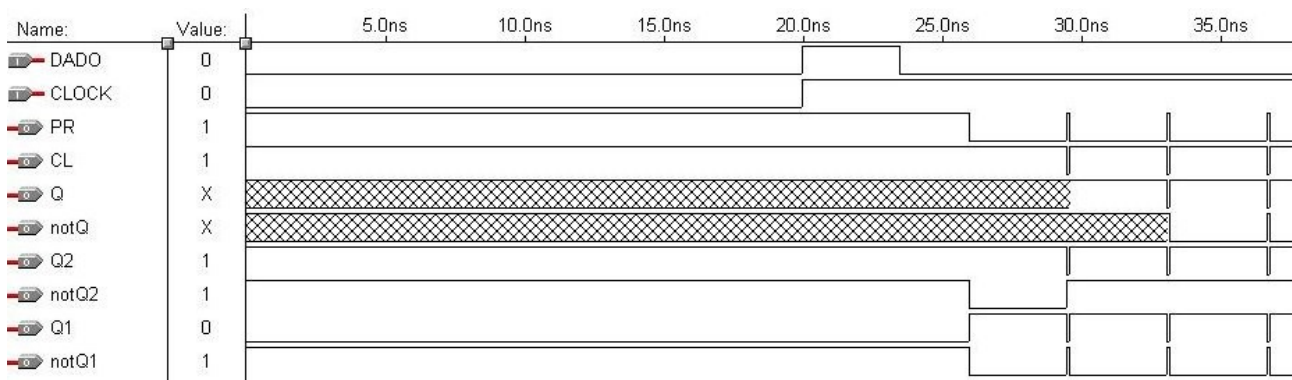
b) Tempo necessário que o sinal de dado precisa se manter carregado após o sinal de clock o ter ativado, mais conhecido como *hold*.

A menor unidade de tempo considerada nestes testes foi de 0,1ns.

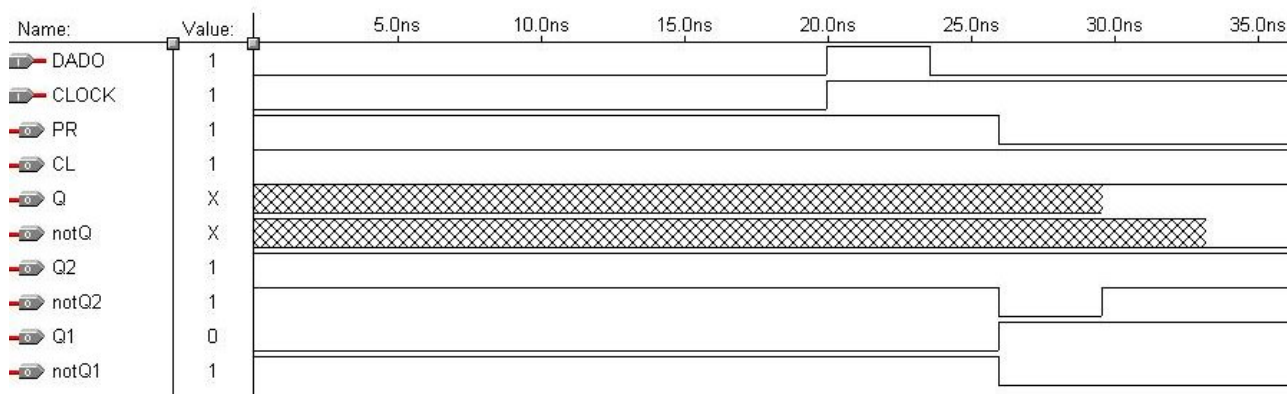
Para analisarmos o tempo de setup, aproximamos ao máximo o tempo em que o sinal de dado alterava de 0 para 1 e o sinal de clock alterava de 0 para 1. Não detectamos necessidade de tempo de setup para este circuito. Chegamos ao extremo, onde o sinal de dado e o sinal de clock alternavam para 1 ao mesmo tempo e mesmo assim o circuito se manteve estável. Veja a imagem do teste abaixo:



Para analisarmos o tempo de hold, aproximamos uma alteração no sinal de dado o mais perto possível da borda do sinal de clock, após ele ter sido ativado. Chegamos ao número mágico de 3.6ns. Abaixo, segue 2 imagens que atestam este número:

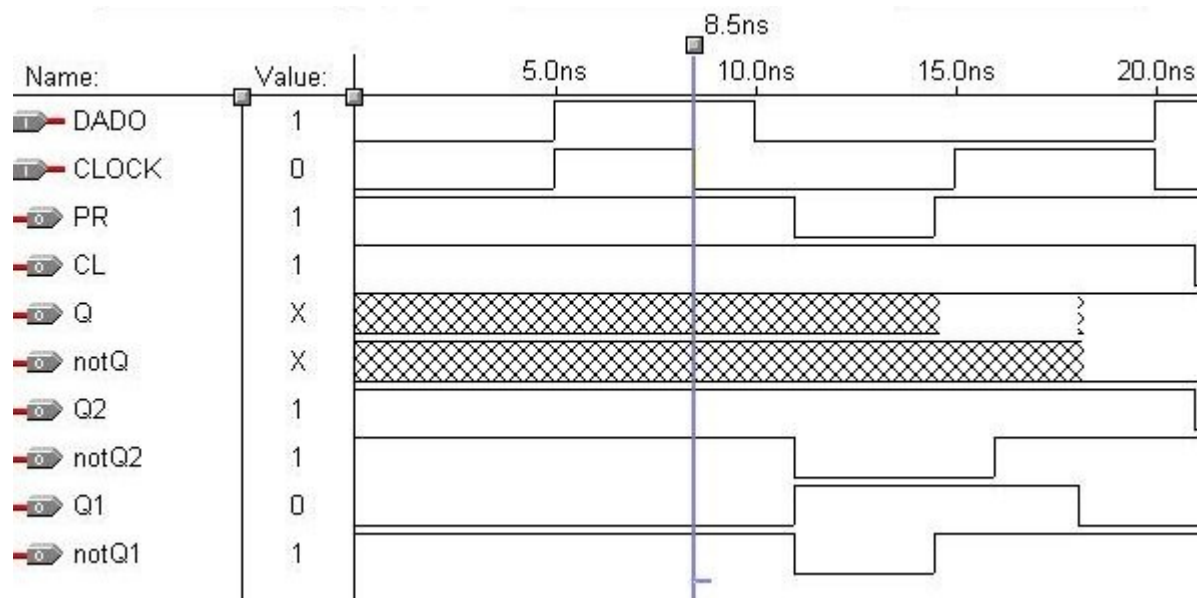


*Alteração no sinal de dado 3.5ns após subida da borda do clock. Circuito fica instável*



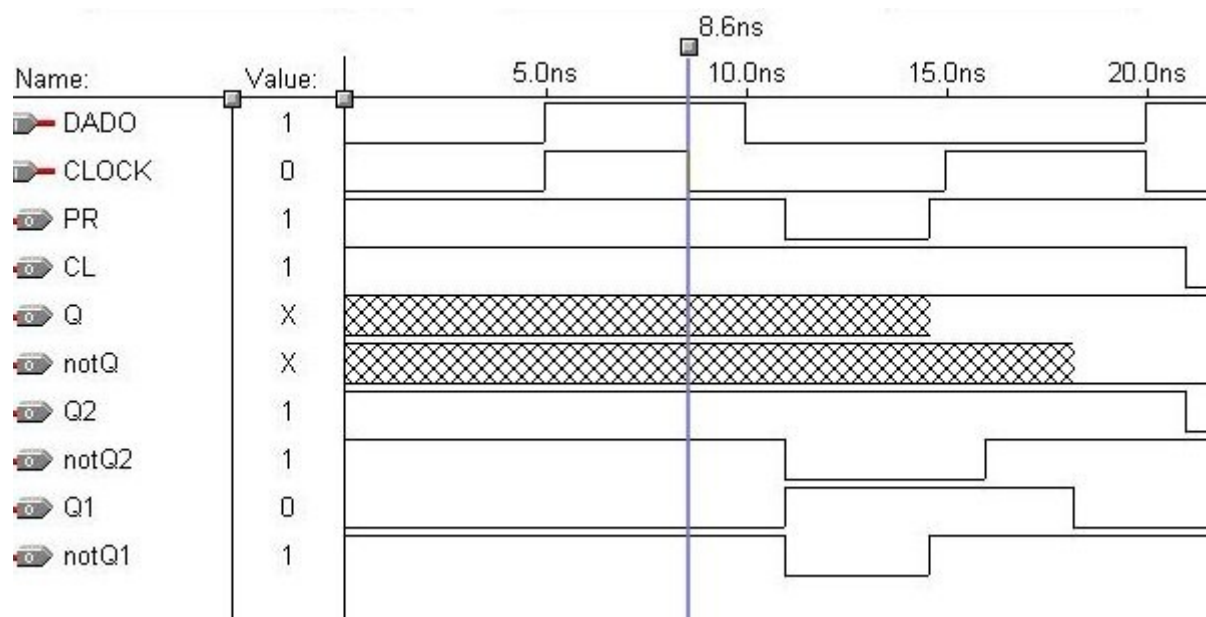
*Alteração no sinal de dado 3.6ns após subida da borda do clock. Circuito permanece estável.*

Com esta informação poderíamos atestar que a frequência máxima deste circuito dependeria de um clock com largura de sinal de 3.6ns. Comprovamos isso diminuindo a largura de sinal do clock. Veja as imagens abaixo:



*Largura de sinal do clock com 3.5ns. Perceba a instabilidade na saída Q no intervalo entre 15ns e 20ns.*





*Largura de sinal do clock com 3.6ns. Circuito estável.*

Como temos este limite de 3.6ns para a largura do sinal do clock, por consequência a frequência máxima deste circuito é de **277,77MHZ**. Abaixo a fórmula para obter esta informação:

$$F(\text{MHz}) = 1/t(\text{ns}) * 1000$$

#### 4. Conclusão

Acreditamos que o maior conhecimento adquirido nesta aula prática foi entender como acontecem os limitadores de frequência nos circuitos computacionais. O problema do atraso sem dúvida nenhum é um dos principais desafios do profissional desenvolvedor de circuitos, e estudos de melhores algoritmos destas implementações precisam ser foco em nosso aprendizado desta graduação. Ficamos com dúvida quanto ao nosso teste para descobrir o tempo de setup, se foi efetuado corretamente ou se existe alguma limitação no software MaxPlus que não permitiu que enxergássemos um melhor resultado.