Universidade Federal do Rio Grande do Sul Instituto de Informática

Organização de Computadores

Aula 5

Bloco de controle mono-ciclo

INF01113 - Organização de Computadores

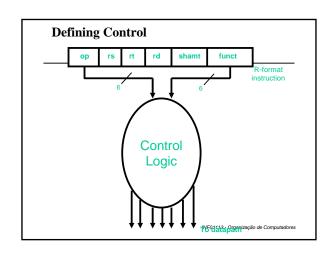
Adding Control

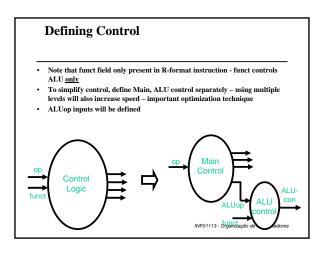
- CPU = Datapath + Control
- Single Gde Design:
 - Instruction takes exactly one clock cycle
 - Datapath units used only once per cycle
 - Writable state updated at end of cycle
- What must be "controlled"?
 - Multiplexors (Muxes)
 - Writable state elements: Register File, Data Memory (Dmem)
 - what about PC? Imem?
 - ALU (which operation?)

INF01113 - Organização de Computadores

Processor = Datapath + Control

- Single-Cycle Design: everything happens in one clock cycle
 ⇒
 until next falling edge of clock, processor just one big
 <u>combinational circuit</u>!!!
 - control is just a combinational circuit (output, just function of inputs)
- · outputs? control points in datapath
- inputs? the current instruction! (opcode, funct control everything)





Bloco de controle mono-ciclo

- 1. MIPS mono-ciclo: sinais de controle
- 2. Execução das instruções

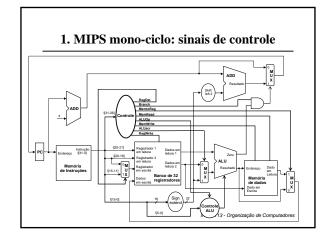
Instruções aritméticas e lógicas (formato-R)

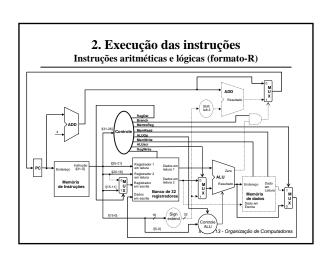
Instruções "load word"

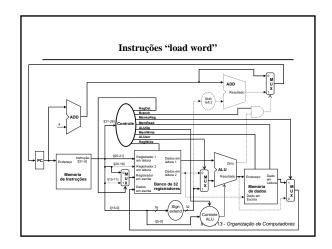
Instruções "store word"

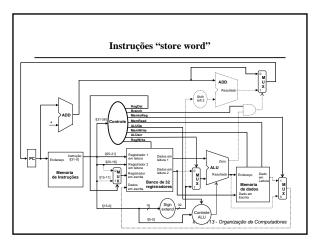
Instruções "branch-on-equal"

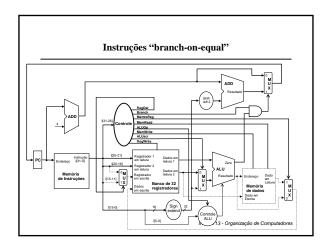
- 3. Sumário dos sinais de controle
- 4. Projeto lógico do controle da ULA 5. Projeto lógico do bloco de controle

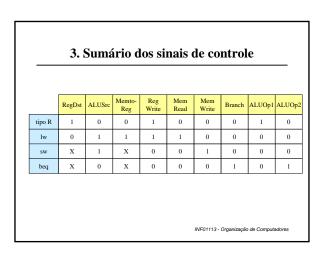












4. Projeto lógico do controle da ALU

Bits de controle da ALU em função de ALUOp e dos códigos de função

| op-code | ALUOp | operação | campo "function" | ação na ALU | controle da ALU |
|---------|-------|------------------|-------------------------|------------------|--------------------|
| lw | 00 | load word | XXXXXX | add | 010 |
| sw | 00 | store word | XXXXXX | add | 010 |
| beq | 01 | branch equal | XXXXXX | subtract | 110 |
| R | 10 | add | 100000 | add | 010 |
| R | 10 | subtract | $1\; 0\; 0\; 0\; 1\; 0$ | subtract | 110 |
| R | 10 | and | 100100 | and | 000 |
| R | 10 | or | 100101 | or | 001 |
| R | 10 | set-on-less-than | 101010 | set-on-less-than | 111 |

INF01113 - Organização de Computadores

Controle da ALU

Para obter a tabela-verdade dos bits de controle da ALU

| ALUOp | | Function | | | | | | Operation |
|--------|--------|----------|----|----|----|----|----|-----------|
| ALUOp1 | ALUOp2 | F5 | F4 | F3 | F2 | F1 | F0 | Operation |
| 0 | 0 | X | X | X | X | X | X | 010 |
| X | 1 | X | X | X | X | X | X | 110 |
| 1 | X | X | X | 0 | 0 | 0 | 0 | 010 |
| 1 | X | X | X | 0 | 0 | 1 | 0 | 110 |
| 1 | X | X | X | 0 | 1 | 0 | 0 | 000 |
| 1 | X | X | X | 0 | 1 | 0 | 1 | 001 |
| 1 | X | X | X | 1 | 0 | 1 | 0 | 111 |

Implementação com lógica aleatória ou PLA é trivial

INF01113 - Organização de Computadores

5. Projeto lógico do bloco de controle

Op-codes

Implementação com lógica aleatória ou PLA é trivial

Tabela-verdade dos sinais de controle em função do op-code

| | | N. | IW | SW | beq |
|----------|----------|----|----|----|-----|
| Entradas | Op5 | 0 | 1 | 1 | 0 |
| | Op4 | 0 | 0 | 0 | 0 |
| | Op3 | 0 | 0 | 1 | 0 |
| | Op2 | 0 | 0 | 0 | 1 |
| | Op1 | 0 | 1 | 1 | 0 |
| | Op0 | 0 | 1 | 1 | 0 |
| Saídas | RegDst | 1 | 0 | X | X |
| | ALUSrc | 0 | 1 | 1 | 0 |
| | MemtoReg | 0 | 1 | X | X |
| | RegWrite | 1 | 1 | 0 | 0 |
| | MemRead | 0 | 1 | 0 | 0 |
| | MemWrite | 0 | 0 | 1 | 0 |
| | Branch | 0 | 0 | 0 | 1 |
| | ALUOp1 | 1 | 0 | 0 | 0 |
| | AT IIO-0 | 0 | Λ | 0 | 1 |

INF01113 - Organização de Computadores

Antes de encerrar, uma palavra dos patrocinadores...

Se você...

- Acha interessante ORGB, gosta do MIPS e ainda gosta de buzz words como:
 - Geração automática de software
 - Aceleradores de hardware
 - Aplicações multimídia para celulares
- Está disposto a gargantear aos colegas que ganha mal, MAS trabalha só com coisas estado da ate
- Tem uma curiosidade maior que a razão
- Tem 20h/semana livres
- Tem alto CVP

INF01113 - Organização de Computadores

Então:

• Envie-e CV e histórico para carro@inf.ufrgs.br

INF01113 - Organização de Computadores

Perguntas/exercícios:

- O controle atrasa o circuito? A freqüência máxima fica comprometida?
- Modifique o bloco operacional e de controle para incluir a instrução LUI. Houve impacto no ciclo de relógio?
- Modifique o bloco operacional e o controle para incluir a instrução que acessa a memória com pós-incremento:
 - lw \$rt, M(\$rs)
 - addi \$rs, \$rs, 1
- Houve impacto no ciclo de relógio? Vale a pena fazer esta modificação no caso de ciclo único?
- É possível eliminar o sinal MemtoReg e substituí-lo por ALUSrc?