

Organização de Computadores

Aula 4

Bloco operacional mono-ciclo

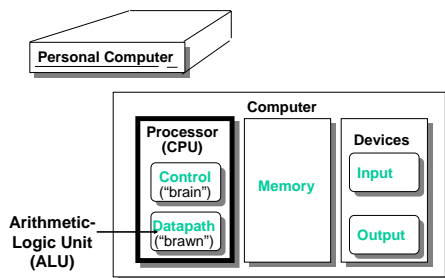
INF01113 - Organização de Computadores

Antes, uma rápida revisão:

- O que é uma arquitetura load-store? Quais vantagens/desvantagens?
- Quais as vantagens/desvantagens de ter-se instruções de tamanho variável?
- Se um programa tem 50% das suas instruções em dados de 8 bits, qual a aceleração ao se usar instruções vetoriais multimídia de 8 bits em máquinas de 64 bits?
- Se um programa tem 20% acesso a memória, 30% controle e 50% aritméticas, e supondo que o custo de cada grupo de instruções em ciclos é de 5, 3 e 2, respectivamente, qual o CPI?
- No exemplo acima, conseguiu-se reduzir o custo do controle para 1. Qual o novo CPI?
- Nesta mesma máquina, o preço a pagar para reduzir o custo do controle foi um aumento em 10% no ciclo de relógio. Qual o ganho em tempo final?

INF01113 - Organização de Computadores

Onde andamos na Organização



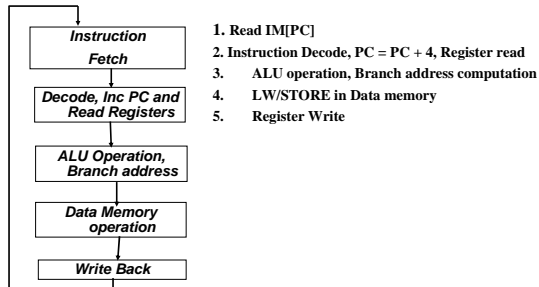
INF01113 - Organização de Computadores

MIPS-lite processor

- Want to build a processor for a subset of MIPS instruction set ("MIPS-lite")
 - just enough to illustrate key ideas
 - instruction set subset (3 groups):
 - arithmetic-logical: `add, sub, and, or, slt (set on less than)`
 - memory reference: `lw, sw`
 - control flow: `j, beq`
 - *can we write real programs with just these?*
- Need up to 5 steps to execute any instruction in our subset:

INF01113 - Organização de Computadores

Instruction Execution Steps



INF01113 - Organização de Computadores

Bloco operacional mono-ciclo

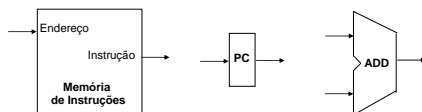
1. Busca de instrução
2. Instruções aritméticas
3. Instruções de acesso à memória
4. Instruções de desvio condicional
5. Combinando instruções
6. Bloco operacional completo
7. Cálculo do período do ciclo de relógio

INF01113 - Organização de Computadores

1. Busca de instrução

Três elementos são necessários para executar uma busca de instrução:

- a memória onde estão armazenadas as instruções
- o contador de programa (PC) para armazenar o endereço da instrução
- um somador para calcular o endereço da próxima instrução

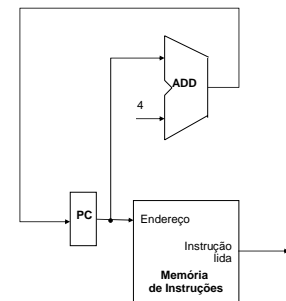


INF01113 - Organização de Computadores

Busca de instrução

- O contador de programa contém o endereço da instrução em execução
- O endereço da próxima instrução é obtido pela soma de 4 posições ao contador de programa
- A instrução lida é usada por outras porções da parte operativa

PC é latch ou FF?

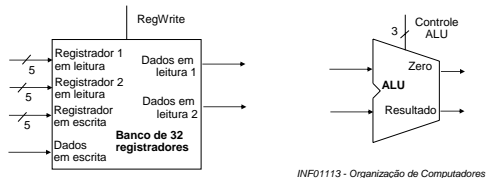


INF01113 - Organização de Computadores

2. Instruções aritméticas

Dois elementos são necessários para a execução de operações aritméticas:

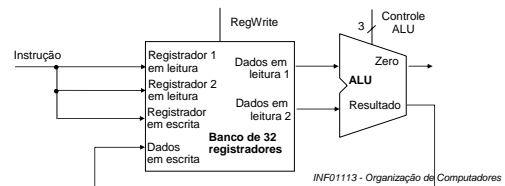
- Um banco de registradores para armazenar os operandos e o resultado das operações
- Uma Unidade Lógica/Aritmética (ALU) que será utilizada para realizar as operações



INF01113 - Organização de Computadores

Instruções aritméticas

- A instrução (fornecida pelo hardware de busca de instruções) contém o endereço de três registradores
- Dois destes registradores são lidos e passados para a ALU realizar a operação
- O resultado é armazenado em um terceiro registrador
- O controle da ALU determina a operação que será realizada (a partir do campo FNCT da instrução)

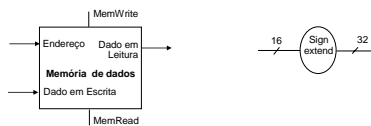


INF01113 - Organização de Computadores

3. Instruções de acesso à memória

Para executar instruções de acesso à memória do tipo load e store são necessários:

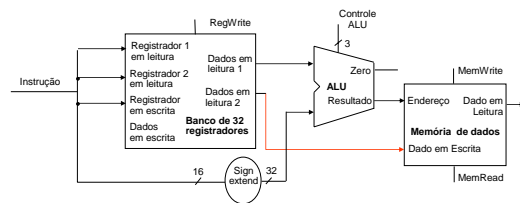
- Uma memória de dados
- Um módulo de extensão de sinal (sign extend) para calcular números negativos e positivos em 32 bits a partir de sua versão 16 bits
- Um banco de registradores (já mostrado)
- Uma ALU (já mostrada)



INF01113 - Organização de Computadores

Escrita em memória

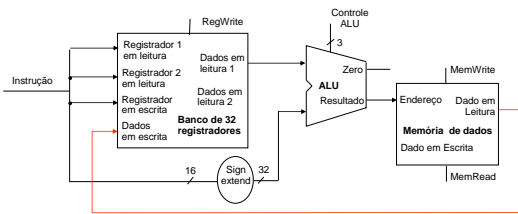
- O endereço de escrita é obtido pela soma de um registrador de base (registrador 1) com um deslocamento de 16 bits estendido para 32 bits
- O registrador 2 é escrito na memória



INF01113 - Organização de Computadores

Leitura da memória

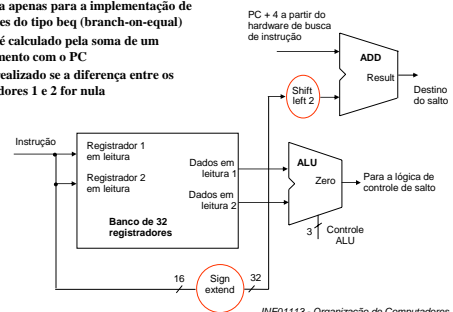
- O processo de leitura é semelhante ao de escrita
- A diferença básica é a existência de um caminho para escrever o valor lido no banco de registradores



INF01113 - Organização de Computadores

4. Instruções de desvio condicional

- Esquema apenas para a implementação de instruções do tipo beq (branch-on-equal)
- Destino é calculado pela soma de um deslocamento com o PC
- Salto é realizado se a diferença entre os registradores 1 e 2 for nula



INF01113 - Organização de Computadores

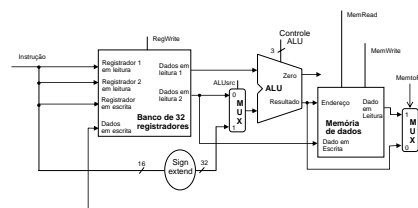
5. Combinando instruções

- Os recursos para as instruções aritméticas e para as instruções de acesso à memória são bastante semelhantes. Seria possível combiná-los em um só?
- A segunda entrada da ALU ...
 - é um registrador, no caso de instruções aritméticas
 - é obtida a partir da extensão dos 16 bits inferiores da instrução, no caso de instruções de acesso à memória
- O valor a ser escrito no registrador destino ...
 - vem da saída da ALU no caso de uma operação aritmética
 - vem da memória no caso de uma instrução de acesso à memória
- Uma parte operativa combinada pode ser obtida através da inserção de multiplexadores nestes pontos

INF01113 - Organização de Computadores

Combinando instruções

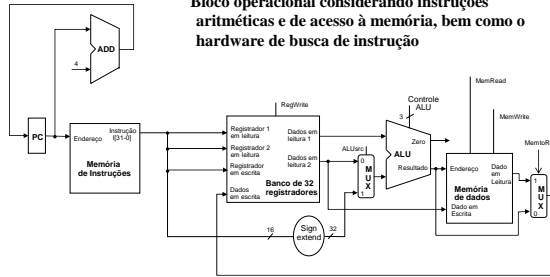
Bloco operacional considerando instruções aritméticas e de acesso à memória



INF01113 - Organização de Computadores

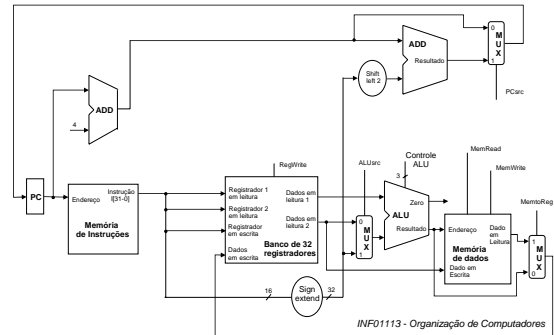
Combinando instruções

Bloco operacional considerando instruções aritméticas e de acesso à memória, bem como o hardware de busca de instrução



INF01113 - Organização de Computadores

6. Bloco operacional completo



INF01113 - Organização de Computadores

7. Cálculo do período do ciclo de relógio

- ao final de cada ciclo de relógio o PC é carregado com um novo valor
- mudança no valor do PC se propaga através de uma grande lógica combinacional
 - memória de instruções => banco de registradores => ALU => memória de dados => banco de registradores
- período do ciclo de relógio deve ser maior do que máximo atraso de propagação através desta lógica combinacional
- supondo os seguintes atrasos:
 - memórias: 1 ns
 - banco de registradores: 0.5 ns
 - demais componentes: atraso desprezível
 - ALU: 0.5 ns
 - somadores: 0.3 ns
- período do ciclo de relógio deve ser maior do que 3.5 ns (cerca de 285 MHz)

INF01113 - Organização de Computadores

Datapath: Miscellaneous Details

- Wrinkle: destination registers may differ across instruction formats:

– R-format: $[rd] \leftarrow [rs] \text{ op } [rt]$

add \$t0,\$s0,\$s1, For this instrn, bits 11-15 is destination (t0), which should be connected to the write reg.

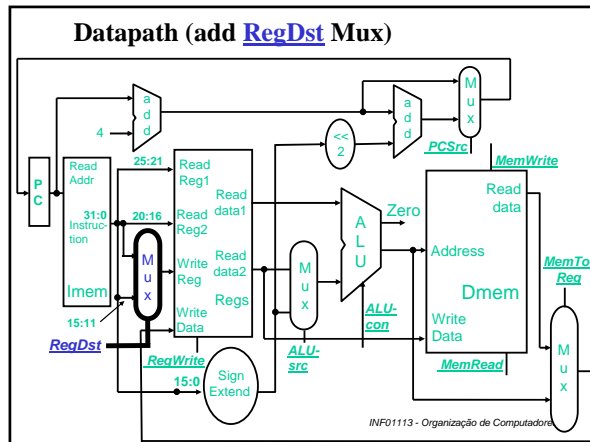
– I-format: $[rt] \leftarrow \text{mem}[[rs] + \text{imm16}]$

lw \$t0,24(\$s3), For this instrn, bits 16-20 should go to the write port. Bits 0-15 go to the ALU as address.

– Connection to the write port changes!

- Solution? mux to the rescue!

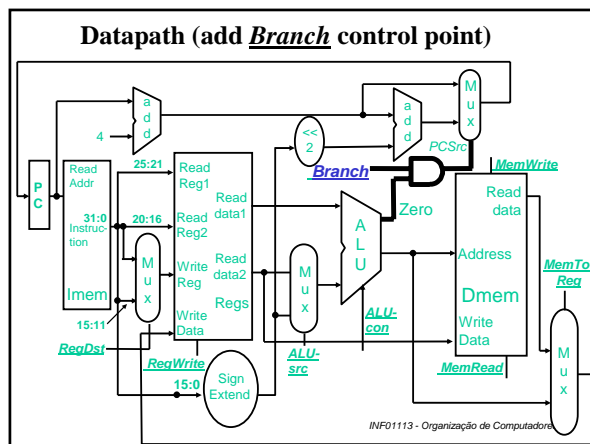
INF01113 - Organização de Computadores



Datapath: Miscellaneous Details

- What if instruction is a conditional branch (beq)?
 - if operands equal, take branch (PC gets PC+4+offset)
 - else PC gets PC+4
- Therefore, set control point PCSrc = 1 if and only if beq and Zero asserted

INF01113 - Organização de Computadores



Para pensar:

- O controle foi derivado da ALU... Sempre assim?
- Qual o CPI do MIPS monociclo?
- Suponha que os mux tem atraso de 0.05 ns. Como isto afeta o desempenho?

INF01113 - Organização de Computadores

