

# **Organização de Computadores**

## **Aula 15**

### **Processadores Pentium**

# Processadores Pentium

---

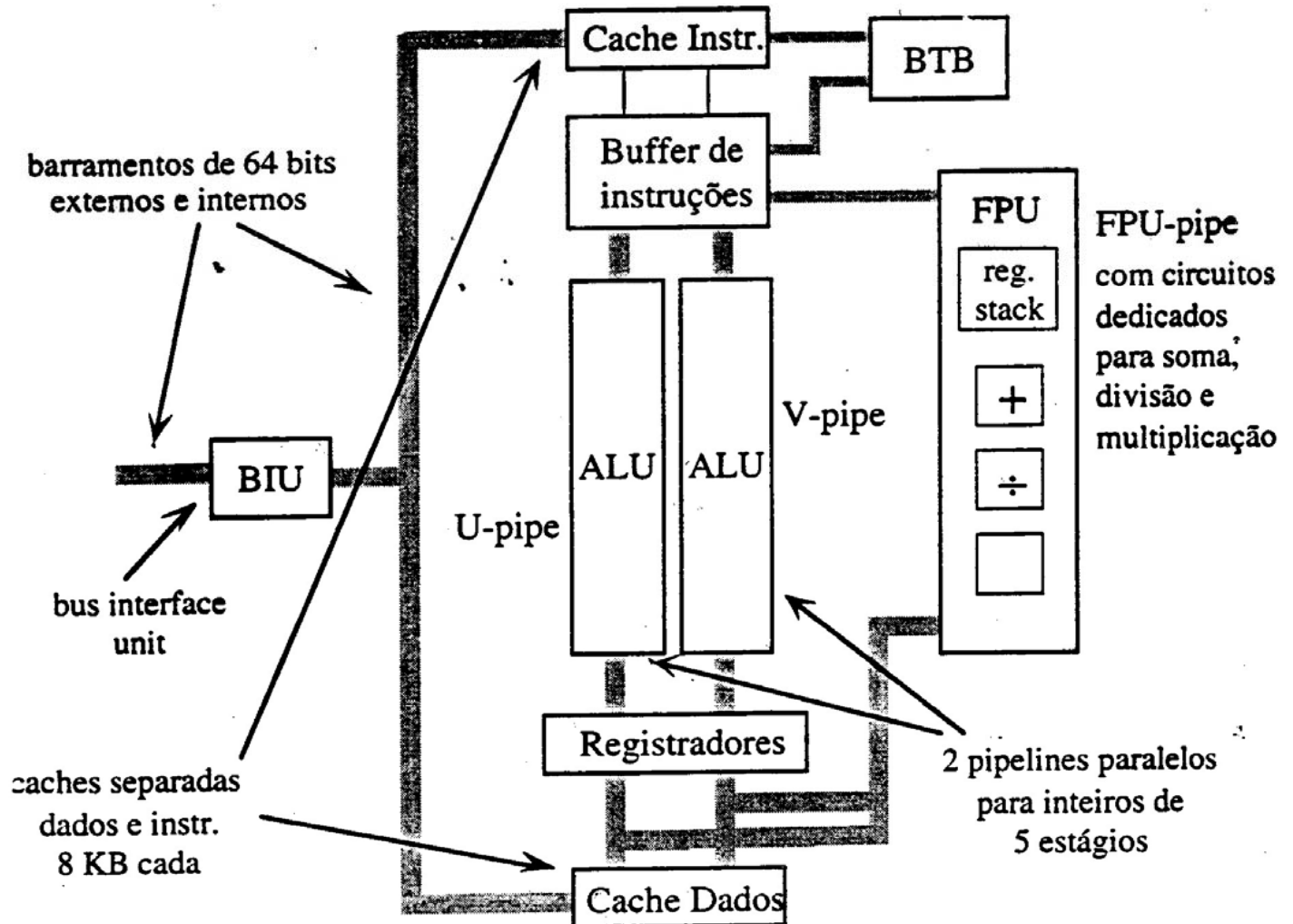
- 1. Pentium I**
- 2. Pentium Pro**
- 3. Pentium MMX**
- 4. Pentiums II e III**
- 5. Pentium 4**
- 6. Tabela comparativa**

# 1. Pentium

---

- **introduzido em 1993**
- **conjunto de instruções e registradores similares ao 486**
- **barramentos de dados internos e externos de 64 bits**
- **dois pipelines inteiros paralelos**
- **unidade de ponto flutuante, com pipeline próprio**
- **previsão dinâmica de desvios**
- **caches separadas para dados e instruções**
- **unidade de controle microprogramada**

# Organização



# Pipelines

---

- **instruções podem ser buscadas, decodificadas e executadas em paralelo nos pipelines U e V**
- **cada pipeline tem sua própria ALU para inteiros**
- **pipeline U é mais completo e mais complexo**
- **paralelismo não permite a quebra na ordem de execução das instruções**

# Operação dos pipelines

---

- **verificar se duas instruções consecutivas podem ser executadas em paralelo**
  - **se forem operações simples, i.e. não requerem microcódigo e podem ser executadas num ciclo de máquina**
  - **se a 2ª instrução não depende de resultado da 1ª**
- **sendo possível, cada instrução é enviada para um pipeline**
- **não sendo possível**
  - **1ª instrução vai para pipe U**
  - **2ª instrução é comparada contra 3ª instrução para identificar possível paralelismo**
    - **não sendo possível, 2ª instrução também vai para U**

# Processamento de desvios

---

- **previsão dinâmica baseada em histórico, coletado pelo BTB – Branch Target Buffer**
- **2 buffers de prefetch com 32 bytes cada**
  - **a cada momento, um buffer está processando instruções em endereços consecutivos até encontrar desvio**
- **se BTB prevê que desvio não ocorre, prefetch continua sequencialmente no mesmo buffer prefetch**
- **se BTB prevê que desvio ocorre, segundo buffer começa prefetch de instruções no novo endereço**
- **se previsão estava incorreta, pipelines são esvaziados e instrução correta é buscada**

# Unidade de ponto flutuante

---

- possui circuitos dedicados para soma, multiplicação e divisão
- somas e multiplicações executadas em 3 ciclos
  - 486 precisava 10 a 15 ciclos
- pipeline de 8 estágios, sendo os 4 primeiros idênticos aos dos pipes U e V
- instrução FP inicia nos pipes U e V para a busca simultânea de 2 operandos de 64 bits
  - não é possível paralelismo entre instrução FP e outras instruções



# Memória cache

---

- caches separadas de dados e instruções, 8 K cada
- ambas são 2-way set-associativas
- código auto-modificável ainda é possível
  - mecanismo de coerência entre caches
- cache de dados têm duas portas, permitindo 2 acessos simultâneos pelos 2 pipes inteiros
- cache de dados é entrelaçada, com 8 bancos, cada banco contendo “palavras” de 4 bytes
  - acessos simultâneos pelos 2 pipes devem se referir a bancos distintos
- mecanismo de *write-back*

## 2. Pentium Pro

---

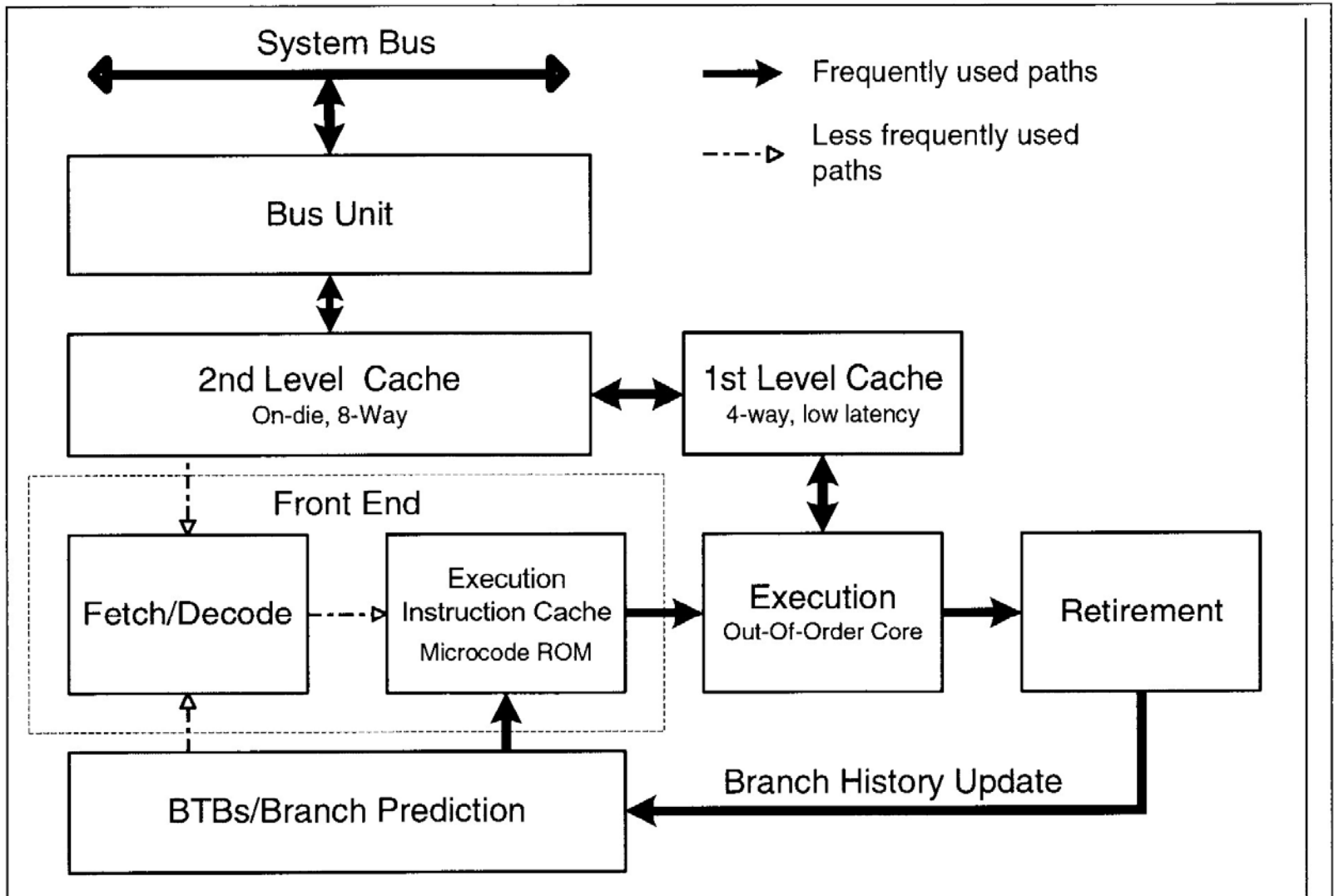
- organização (*micro-arquitetura*) P6
- introduzido em 1995
- organização híbrida CISC / RISC
- front-end e back-end são CISC
  - instruções IA (Intel Architecture) externamente
- instruções IA são internamente decodificadas e transformadas em “micro-instruções RISC”
- processador RISC executa as micro-instruções
  - estágios de despacho e execução
  - super-escalaridade
- pipeline de 12 estágios (“superpipelining”)
- pode decodificar, executar e completar até 3 instruções por ciclo
- endereços estendidos para 36 bits
  - endereçamento até 64 GBytes

# Pentium Pro

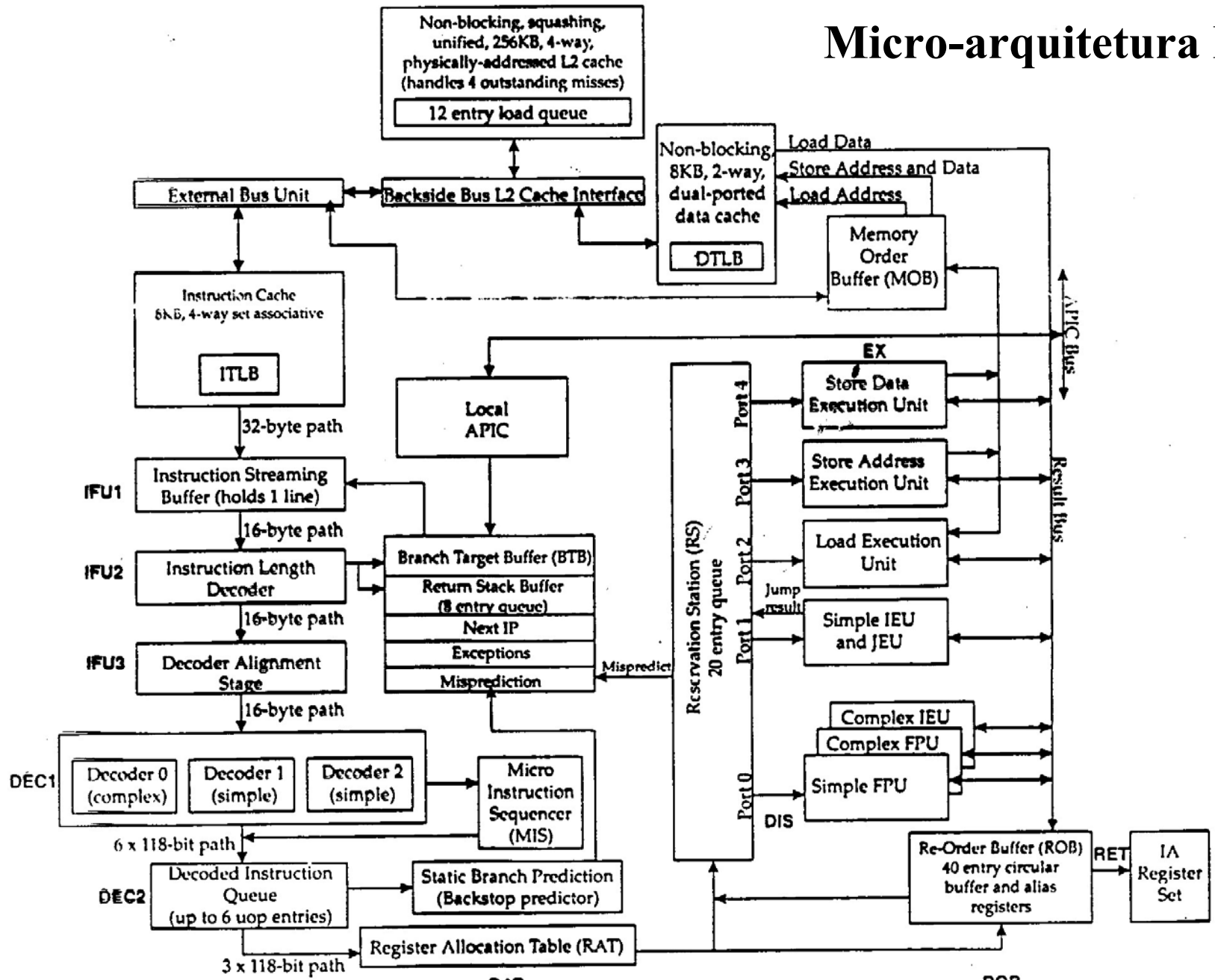
---

- **cache em dois níveis**
- **caches internas (L1) separadas**
  - **cache de dados com 8 KB, 2-way set-associativa**
  - **cache de instruções com 8 KB, 4-way set-associativa**
- **cache externa (L2) unificada**
  - **256 KB ou 512 KB**

# Visão geral da micro-arquitetura P6



# Micro-arquitetura P6



# Funcionamento geral

---

- **instruções IA são buscadas na memória na ordem estrita do programa**
- **cada instrução IA é decodificada e transformada em 1 ou mais “micro-instruções RISC” de tamanho fixo**
- **as micro-instruções são colocadas no “instruction pool” na ordem estrita do programa**
- **despacho fora-de-ordem e terminação fora-de-ordem**
- **micro-instruções terminadas são escritas de volta no “instruction pool”**
- **instruções são “retiradas” do “instruction pool” na ordem estrita do programa**
  - **resultados são então gravados na memória ou no banco de registradores IA**
  - **ordem estrita necessária para atendimento de interrupções**

# Pipeline

---

- **IFU1, IFU2, IFU3 – fetch**
  - estágio IFU2 pré-decodifica instruções de branch e faz previsão dinâmica de desvios
  - estágio IFU3 alinha instruções IA
- **DEC1, DEC2 – decodificação**
  - pode decodificar até 3 instruções IA em paralelo
    - 2 instruções simples – geram 1 única micro-instrução cada
    - 1 instrução complexa – gera até 4 micro-instruções
  - instruções IA mais complexas são transformadas em uma sequência mais longa de micro-instruções no MIS
  - micro-instruções com 118 bits
- **RAT, ROB – renomeação de registradores**
  - buffer interno de 40 registradores, usado circularmente
  - colocam micro-instruções no “instruction pool” (Reservation Station) de 20 posições

# Pipeline

---

- **DIS – despacho**
  - seleciona instruções para execução
  - verifica disponibilidade dos operandos e das unidades funcionais
  - despacho fora-de-ordem
- **EX – execução**
  - 7 unidades funcionais em paralelo
    - 2 unidades para micro-instruções **STORE**
    - 1 unidade para micro-instruções **LOAD**
    - 2 unidades para micro-instruções inteiras
    - 2 unidades para micro-instruções de ponto flutuante
  - terminação fora-de-ordem das micro-instruções
- **RET – retirada**
  - retira micro-instruções do “instruction pool” na ordem do programa
  - escreve registradores IA e memória



# 3. Pentium MMX

---

- **MMX – Math Matrix Extensions**
- **novas instruções e novos tipos de dados para operações matriciais e vetoriais**
- **metodologia SIMD – Single Instruction Multiple Data**
  - 1 única instrução executa a mesma operação sobre um vetor de dados
- **8 registradores MMX de 64 bits cada, compostos de 8 operandos de 1 byte**
- **instruções MMX manipulam registradores MMX**
- **código deve ser recompilado para executar instruções MMX**

# Exemplo

---

- **soma de 2 imagens de 1024 x 768 pixels, cada pixel tendo tamanho de 1 byte**
- **solução convencional, com processamento sequencial**
  - 1572864 leituras
  - 786432 somas
  - 786432 escritas
- **solução MMX, com processamento SIMD**
  - cada instrução trata 8 pixels por vez
  - tempo total é dividido por 8

## 4. Pentiums II e III

---

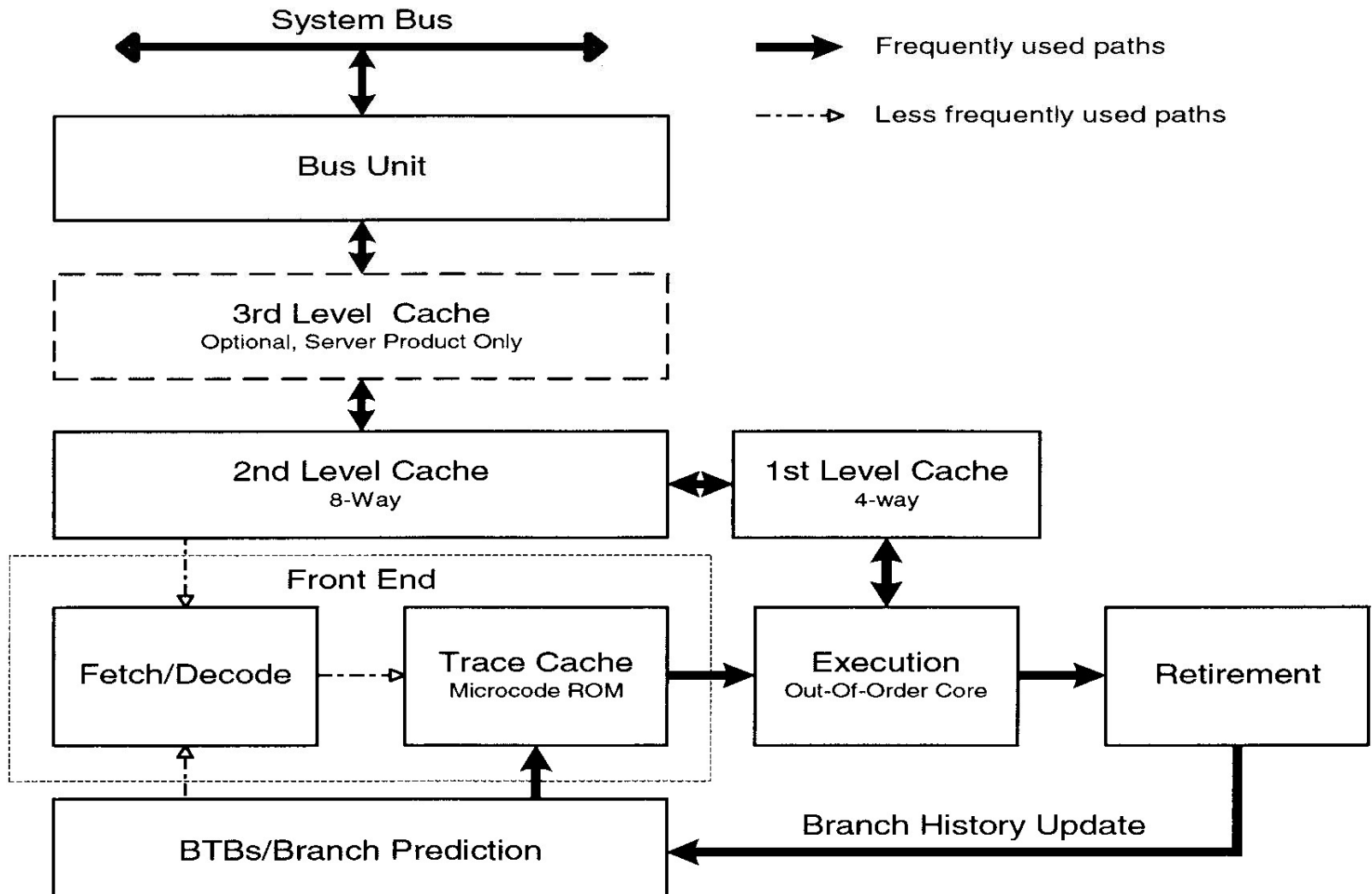
- **Pentium II = Pentium Pro com as seguintes modificações**
  - **módulo MMX**
  - **caches primárias de dados e instruções aumentadas para 16 KB**
  - **cache secundária de 256 KB, 512 KB ou 1 MB**
- **Pentium III**
  - **extensão *Streaming SIMD* SSE**
    - **novo conjunto de registradores de 128 bits**
    - **operações SIMD em dados de ponto flutuante, precisão simples**

# 5. Pentium 4

---

- **freqüências de 1.8 a 3.06 GHz**
- **Hyper-Threading na versão de 3.06 GHz**
- **organização NetBurst**
- **pipeline com o dobro da profundidade da organização P6**
- **Advanced Dynamic Execution**
  - **superescalaridade, execução fora-de-ordem**
  - **janela de 128 instruções**
  - **pode manipular até 48 loads e 24 stores no pipeline**
- **previsão de desvios**
  - **envolve 10 estágios do pipeline**
  - **algoritmo de previsão mais avançado, melhora de 33% na previsão em relação à organização P6**
  - ***branch target buffer* de 4 KB**

# Visão geral da micro-arquitetura NetBurst



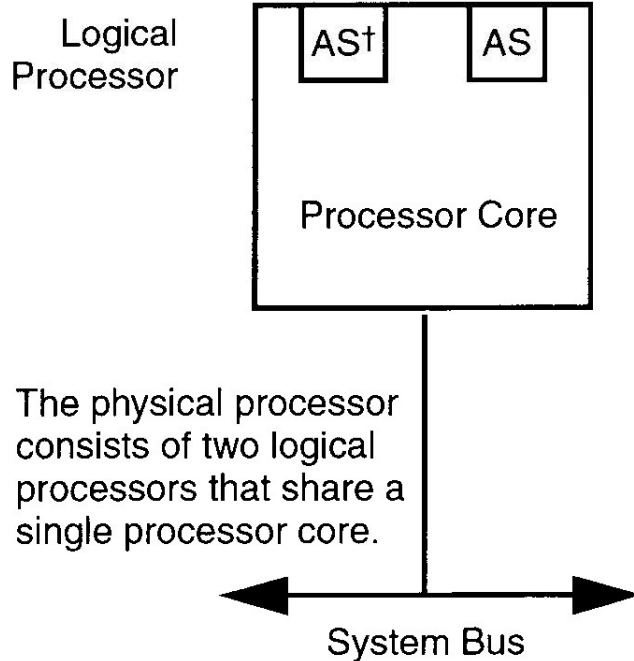
# Pentium 4

---

- **barramento de 533 MHz resulta em 4.2 GB/s**
- **cache de dados L1 de 8 KB**
- **trace cache de 12 KB**
  - **micro-ops já decodificadas, armazenadas segundo ordem de execução**
  - **elimina necessidade de decodificação e instruções fora do caminho dos desvios**
- **Advanced Transfer Cache L2 de 512 KB**
  - **transfere 32 bytes a cada ciclo de relógio**
  - **conjunto associativa, 8-way**
  - **integrada na mesma pastilha**
- **Extensão *Streaming SIMD 2* (SSE2)**
  - **144 novas instruções aritméticas sobre dados de 128 bits**
  - **aritmética inteira e de ponto flutuante precisão dupla**

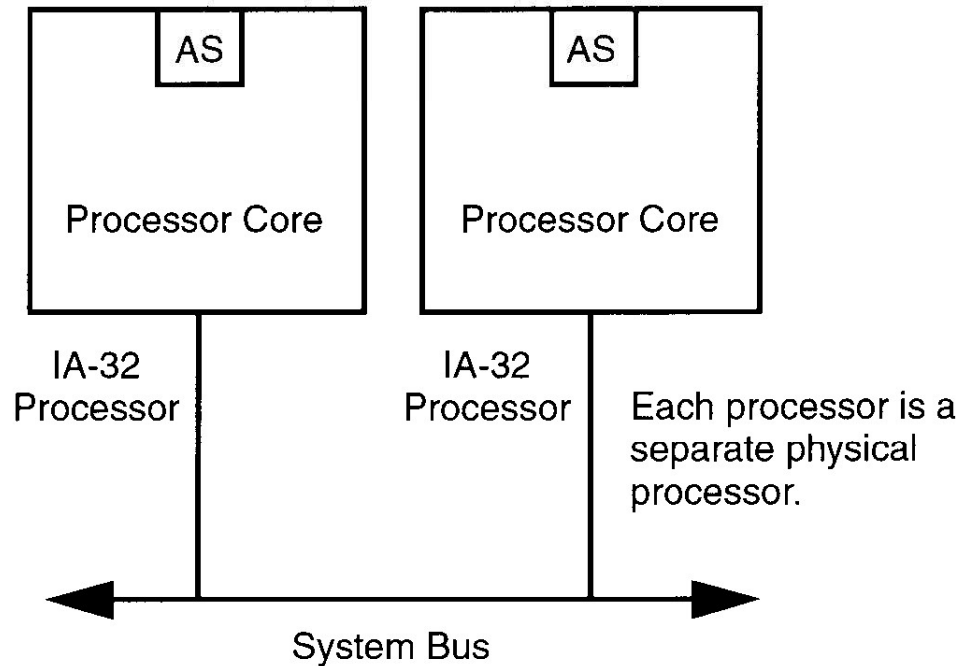
# Hyper-Threading

IA-32 Processor With  
Intel Hyper-Threading Technology



† AS—IA-32 Architectural State

Traditional Multiple Processor (MP) System



# Hyper-Threading

---

- aumenta desempenho em aplicações rodando em sistemas operacionais *multi-threaded* ou aplicações *single-thread* em sistemas operacionais *multi-tasking*
- dois ou mais *processadores lógicos*
- cada processador lógico tem seu próprio *estado arquitetural* e pode executar uma *thread* específica
  - registradores de dados, de segmento, de controle
- processadores lógicos compartilham *núcleo de processamento*
  - pipeline superescalar e barramento do sistema



## 6. Tabela comparativa

processador	ano	frequência inicial	transist.	registradores	data bus	espaço endereçam.	caches
8086	1978	8 MHz	29 K	16 GP	16	1 MB	não
286	1982	12,5 MHz	134 K	16 GP	16	16 MB	não
386 DX	1985	20 MHz	275 K	32 GP	32	4 GB	não
486 DX	1989	25 MHz	1,2 M	32 GP 80 FPU	32	4 GB	L1 2 x 8 KB
Pentium	1993	60 MHz	3,1 M	32 GP 80 FPU	64	4 GB	L1 2 x 16 KB
Pentium Pro	1995	200 MHz	5,5 M	32 GP 80 FPU	64	64 GB	L1 2 x 16 KB L2 256 ou 512 KB
Pentium II	1997	266 MHz	7 M	32 GP 80 FPU 64 MMX	64	64 GB	L1 2 x 32 KB L2 256 ou 512 KB
Pentium III	1999	500 MHz	8,2 M	32 GP 80 FPU 64 MMX 128 FPU	64	64 GB	L1 2 x 32 KB L2 512 KB

## Processadores mais recentes

processador	ano	organização	frequência inicial	transist.	caches
Pentium III Pentium III Xeon	1999	P6	700 MHz	28 M	L1 3 KB L2 256 KB
Pentium 4	2000	NetBurst	1,5 GHz	42 M	L1 dados 8 KB trace cache 12 Kuops L2 256 KB
Xeon	2001	NetBurst	1,7 GHz	42 M	L1 dados 8 KB trace cache 12 Kuops L2 256 KB
Xeon	2002	NetBurst Hyper-Thread	2,2 GHz	55 M	L1 dados 8 KB trace cache 12 Kuops L2 512 KB
Xeon MP	2002	NetBurst Hyper-Thread	1,6 GHz	108 M	L1 dados 8 KB trace cache 12 Kuops L2 256 KB L3 1 MB
Pentium 4	2002	NetBurst Hyper-Thread	3,06 GHz		L1 dados 8 KB trace cache 12 Kuops L2 256 KB