

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL



Técnicas Digitais para Computação - INF01118

Professor: *Fernando R. Nascimento*

Turma: *B*

*Aula Prática 05 (AP05)*

*Nomes:*

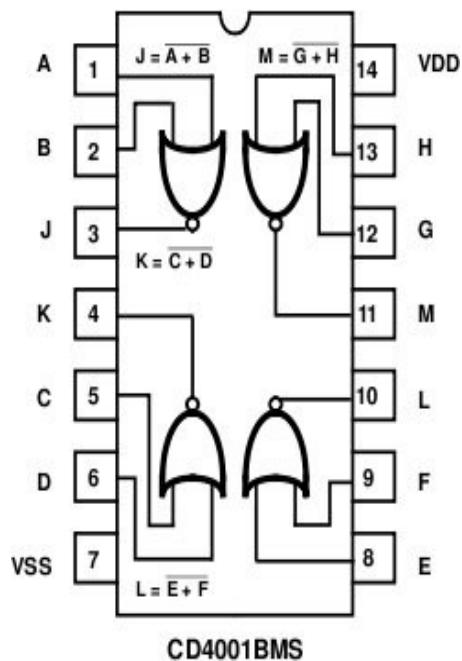
***Felipe de Souza Lahti – matr. 170715***

***Germano de Mello Andersson – matr. 137719***

*Porto Alegre, 17 de abril de 2009.*

## 1. Introdução

O objetivo de nossa quinta aula prática foi montar e estudar um circuito utilizando o integrado CD4001(figura 1.1). O desafio do laboratório era ligarmos três inversores em série, com a entrada de uma onda quadrada gerada pelo gerador de funções(figura 1.2). A tensão de alimentação do integrado era de 5V. Por ser um integrado que implementa portas NOR com 2 entradas, para simularmos os inversores nós ligamos as duas entradas juntas (figura 1.3). Para melhor entendimento, desenhamos um diagrama lógico da proposta(figura 1.4):



CD4001BMS

Figura 1.1 - Imagem do integrado CD4001, retirada do seu datasheet



Figura 1.2 - Gerador de funções Tektronix CFG250

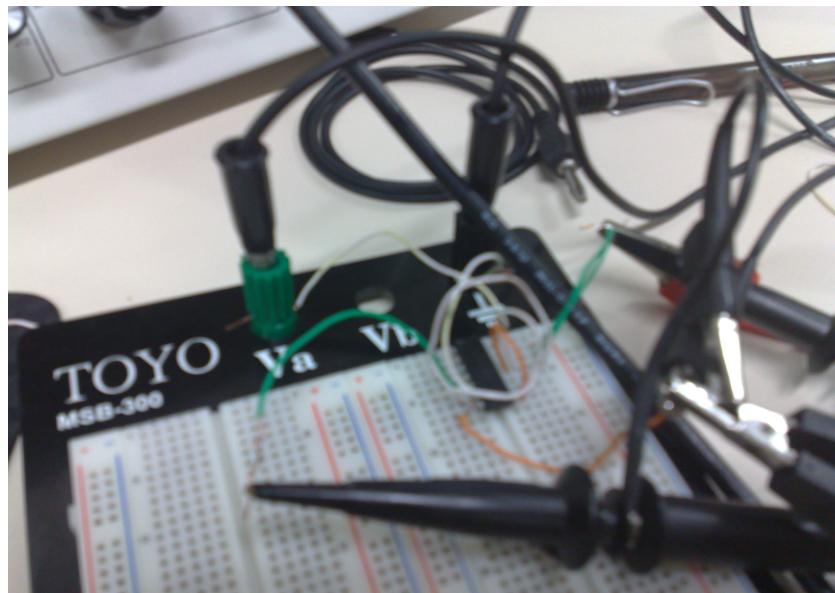


Figura 1.3 - Implementação do circuito com 3 inversores em série

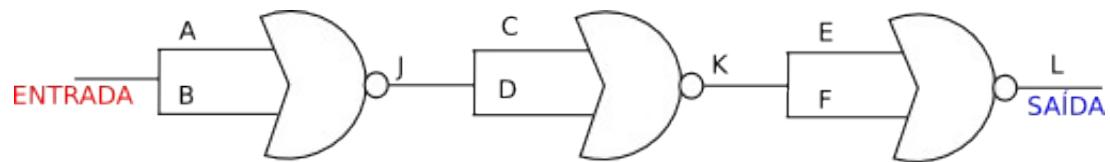


Figura 1.4 - Diagrama lógico da proposta da aula prática 05

## 2. O integrado CD4001

Conforme ilustrado na figura 1.1, o integrado possui a seguinte pinagem:

<b>1</b>	<b>A</b>	<b>IN NOR1</b>
<b>2</b>	<b>B</b>	<b>IN NOR1</b>
<b>3</b>	<b>J</b>	<b>OUT NOR1</b>
<b>4</b>	<b>K</b>	<b>OUT NOR2</b>
<b>5</b>	<b>C</b>	<b>IN NOR2</b>
<b>6</b>	<b>D</b>	<b>IN NOR2</b>
<b>7</b>	<b>GND</b>	<b>GND</b>
<b>8</b>	<b>E</b>	<b>IN NOR3</b>
<b>9</b>	<b>F</b>	<b>IN NOR3</b>
<b>10</b>	<b>L</b>	<b>OUT NOR3</b>
<b>11</b>	<b>M</b>	<b>OUT NOR4</b>
<b>12</b>	<b>G</b>	<b>IN NOR4</b>
<b>13</b>	<b>H</b>	<b>IN NOR4</b>
<b>14</b>	<b>VCC</b>	<b>VCC</b>

Tabela 2.1

O CD4001 implementa 4 portas NOR com 2 entradas e 1 saída. Os pinos de entrada de saída de cada NOR se encontram na tabela 2.1.

No datasheet (<http://www.ti.com/lit/gpn/cd4001b>) da empresa Texas Instruments sobre o integrado CD4001, revisado em novembro de 2003, encontramos os valores de referência para a voltagem de entrada e saída. Abaixo a seleção de valores interessantes para o estudo em questão:

	Mínimo	Típico	Máximo	Significado
Vih	3.5V	-	-	Tensão entrada reconhecida como 1 lógico
Vil	-	-	1.5V	Tensão entrada reconhecida como 0 lógico
Voh	4.95V	5V	-	Tensão saída reconhecida como 1 lógico
Vol	-	0V	0.05V	Tensão saída reconhecida como 0 lógico
Ioh	-	-1mA	-0.51mA	Corrente de saída quando '1' lógico
Iol	0.51mA	1mA	-	Corrente de saída quando '0' lógico
tdlh	-	125ns	250ns	Tempo de propagação para passar de '0' para '1'
tdhl	-	125ns	250ns	Tempo de propagação para passar de '1' para '0'

Tabela 2.2

### 3. Análise do Circuito com 3 inversores em série

Nosso circuito recebia uma onda quadrada e, após passar por três inversores em série, retornava uma onda invertida com certo tempo de atraso em relação a onda de entrada. Este atraso de tempo foi medido conforme as seguintes especificações:

- tdlh: entre 0% e 50% da tensão de alimentação, no caso entre 0V e 2,5V;
- tdhl: entre 100% e 50% da tensão de alimentação, no caso entre 5V e 2,5V;
- tr (subida): entre 10% e 90% da tensão de alimentação, no caso entre 0,5V e 4,5V;
- tf (descida): entre 90% e 10% da tensão de alimentação, no caso entre 4,5V e 0,5V;

Os gráficos a seguir, extraídos de um osciloscópio, ajudam a ilustrar os atrasos deste circuito:

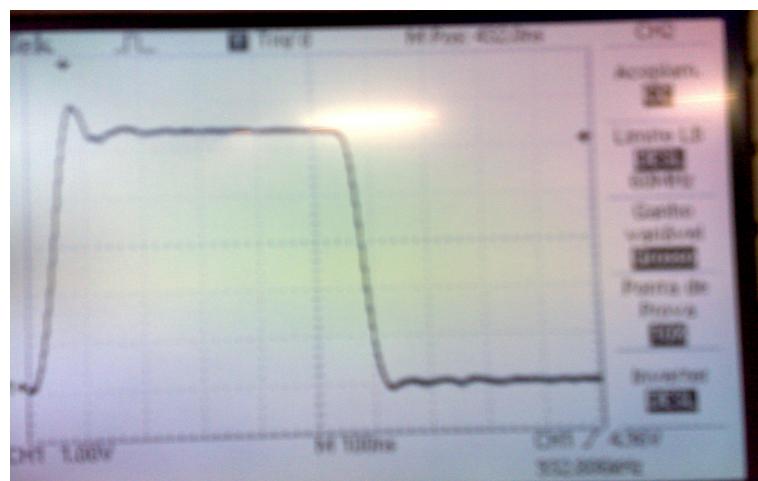


Gráfico 3.1 – Onda de entrada

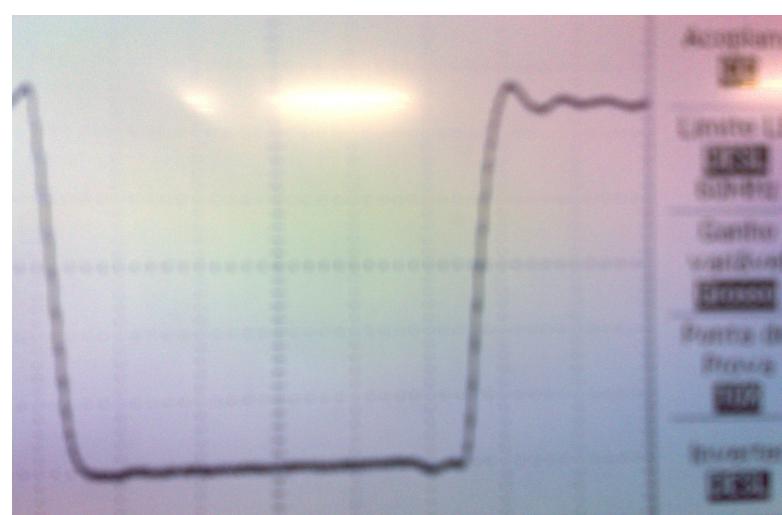


Gráfico 3.2 – Onda de saída



Gráfico 3.3 – Tempo de subida( $tr$ ) e tempo de atraso 0->1( $tdlh$ ) meramente ilustrativos



Gráfico 3.4 – Tempo de descida( $tf$ ) e tempo de atraso 1->0( $tdhl$ ) meramente ilustrativos

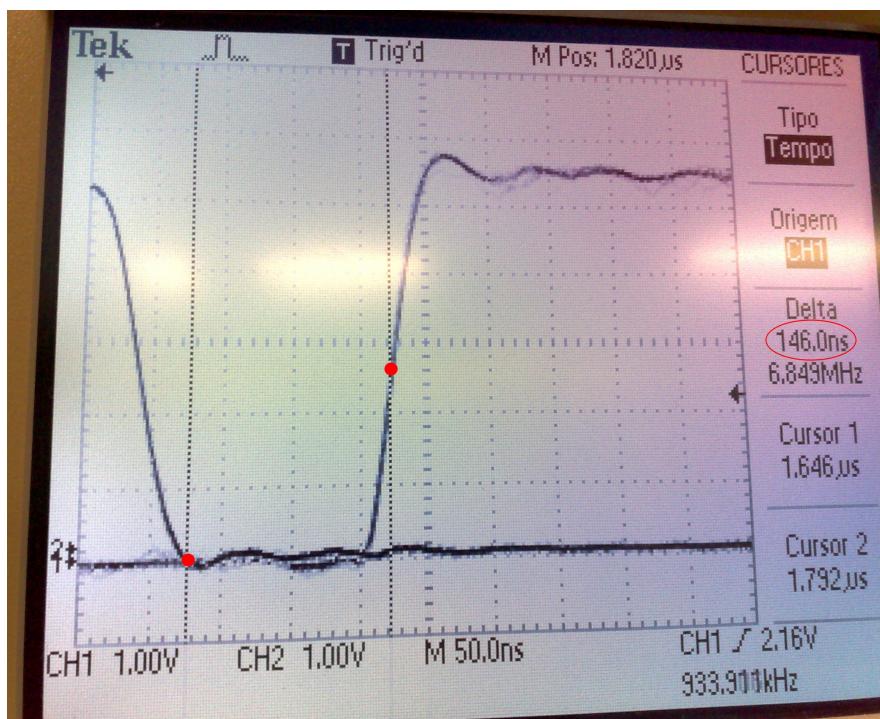


Gráfico 3.5 – LH: Tempo de propagação calculado pelo osciloscópio (146ns)

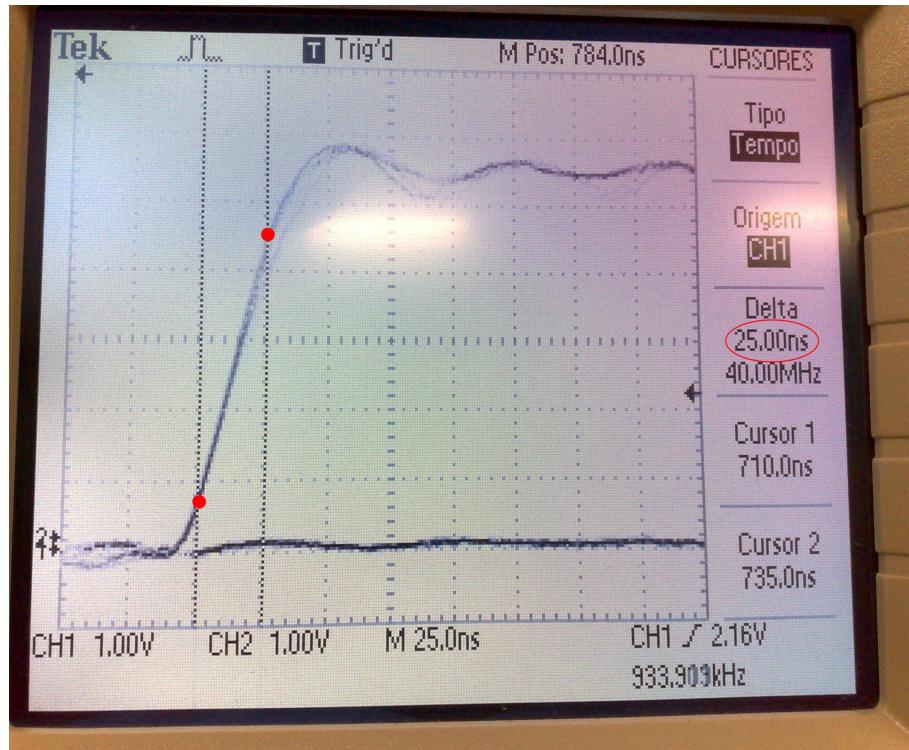


Gráfico 3.6 – LH: Tempo de subida calculado pelo osciloscópio (25ns)

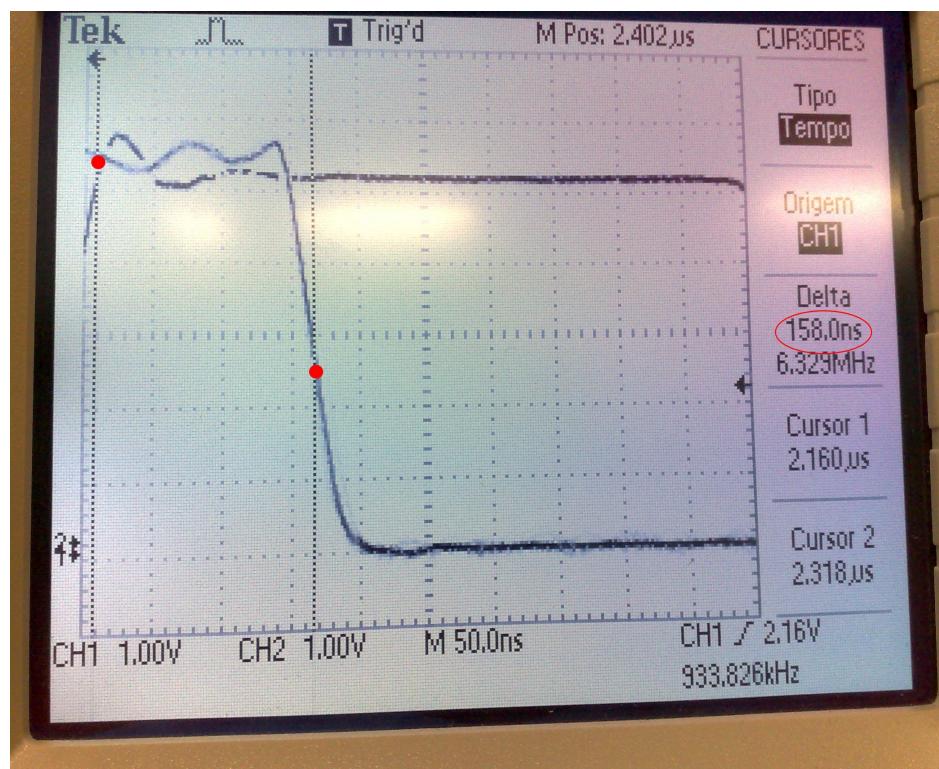


Gráfico 3.7 – HL: Tempo de propagação calculado pelo osciloscópio (158ns)

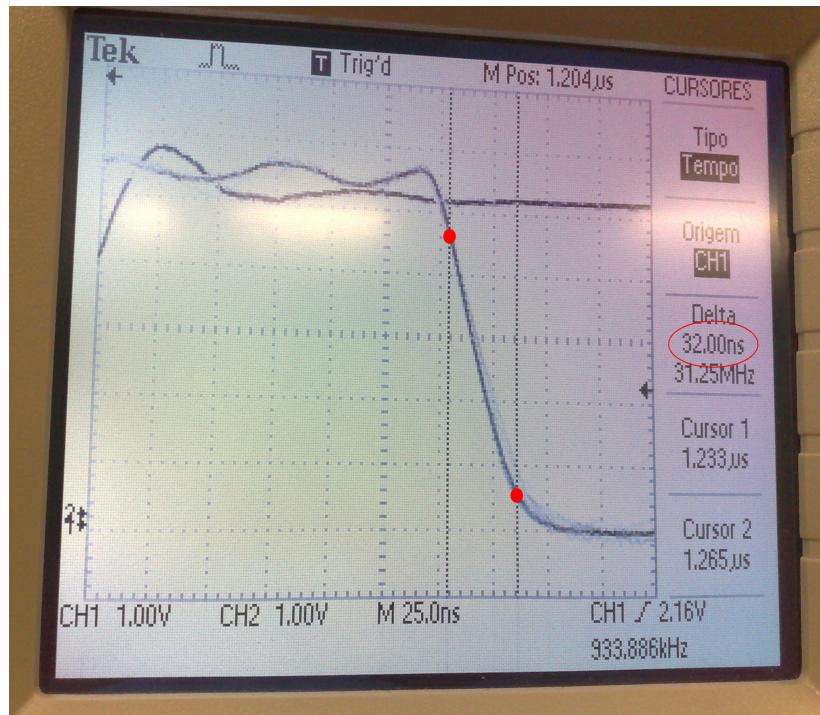


Gráfico 3.8 – HL: Tempo de descida calculado pelo osciloscópio (32ns)

Segue uma tabela para melhor ilustração dos dados extraídos da análise:

tdlh	146ns
tdhl	158ns
$td = (tdhl + tdlh) / 2$	152,5ns
tr	25ns
tf	32ns

Tabela 3.1

**4. Suponha que um processador pipeline seja construído, onde cada estágio tem 6 portas lógicas NOR em série (iguais as usadas nessa experiência). Qual seria a frequência máxima de operação de cada estágio desse pipeline, considerando-se que o tempo dos registradores é igual a zero e que os tempos de atraso de cada porta lógica são os mesmos medidos nessa aula?**

Queremos descobrir qual a frequência máxima de operação de um estágio de pipeline para um processador que, em cada um de seus estágios possui seis portas lógicas NOR. Para divulgar a frequência máxima escolheríamos o melhor tempo analisado entre muitos testes realizados no circuito, como qualquer departamento de marketing faz hoje em dia. Infelizmente não tivemos mais do que uma amostragem, portanto iremos utilizar o único dado que obtivemos em nossa experiência.

O tempo médio de propagação do sinal foi de 152,5ns (td). Como em nossa experiência tínhamos apenas três portas lógicas NOR, para este processador o tempo

médio seria equivalente ao dobro do tempo medido, logo 305ns.

$$F(\text{GHz}) = 1/t(\text{ns}) = 1/305 = 0,00327\text{GHz} = 3,27\text{MHz}$$

## 5. Compare a frequência de operação de um processador construído com as portas lógicas dessa aula com as dos processadores atuais (2,0 GHz). Explique as diferenças nos valores encontrados.

Comparando o processador proposto na questão 4 com os processadores atuais, temos uma frequência quase 600 vezes menor. Isso sugere que o processador de 3,27MHz não pode ser utilizado com os mesmos objetivos de um processador atual. A diferença é grandiosa em função da evolução tecnológica dos circuitos integrados, fazendo com que as mesmas portas lógicas que ocupam em torno de 2cm no CD4001, ocupem tamanhos humanamente invisíveis hoje em dia. Além do tamanho do circuito, a tecnologia do material também evoluiu, aumentando ainda mais a possibilidade de maiores frequências.

## 6. Conclusão

De fato, este laboratório nos pareceu ser o mais interessante até o momento. Começamos a vislumbrar experiências que nos revelam problemas enfrentados ao longo da história da computação e nos dias de hoje.

O único problema enfrentado foi com o equipamento gerador de funções. Aparentemente ele não estava funcionando, e, depois de inúmeras tentativas nossa e do professor, migramos para outro gerador de funções, perdendo um tempo valioso no laboratório.