



# 創新晶片老化緩解技術研究： 輸入向量控制(IVC)技術與內部節點控制(INC)技術之整合與優化

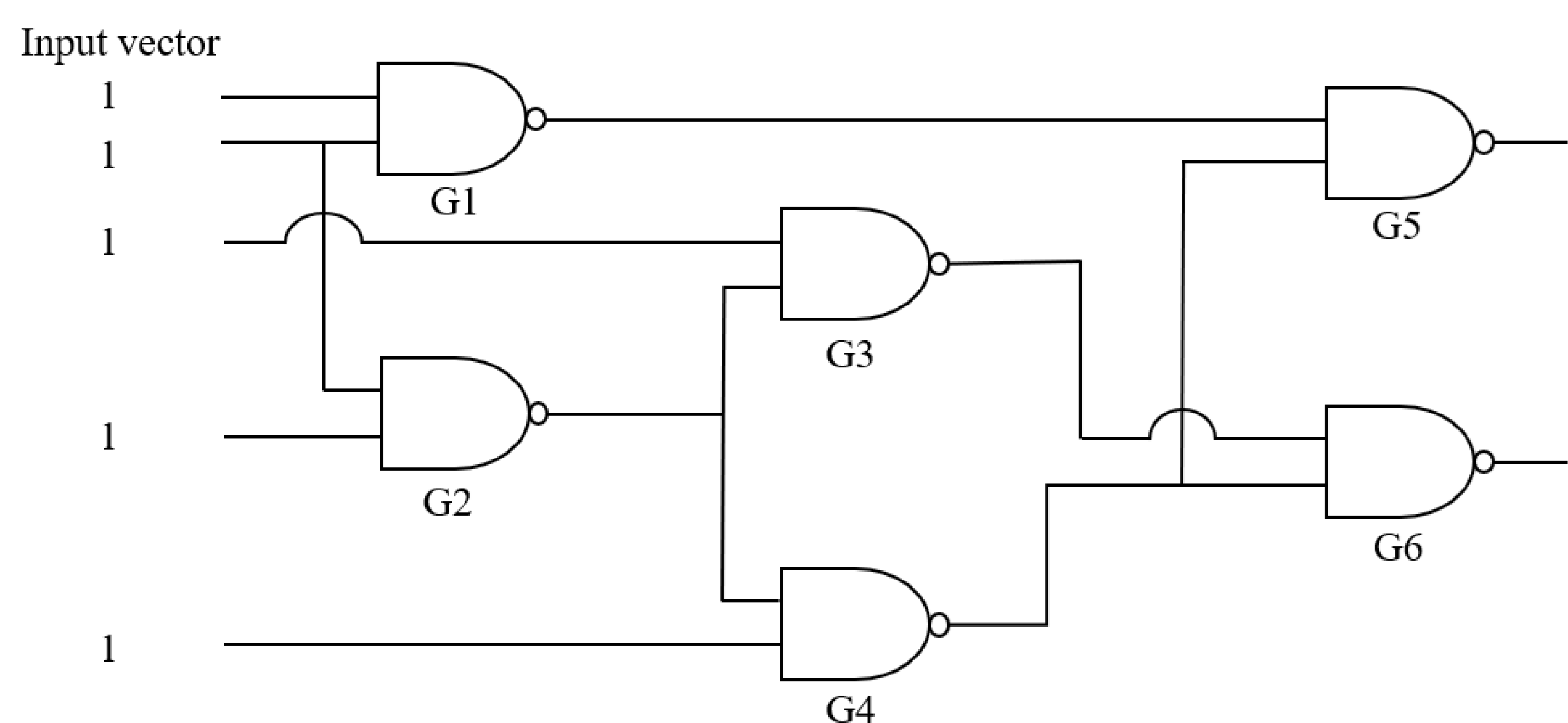
元智大學資訊工程學系 109年度專題製作成果  
專題生：陳乃綺、林珮瑜 指導老師：曾王道教授、陳聿廣教授

## 摘要

老化現象在現今製程中對晶片之可靠度產生極大的威脅，其中負偏壓溫度不穩定性(Negative-Bias Temperature Instability, NBTI)會隨著晶片的使用漸漸提高p型電晶體的閾值電壓，這種退化現象將會造成電路執行時間延遲的增加，進而導致時序或功能上的錯誤。在此研究中，我們提出一全新之晶片老化緩解技術，透過對輸入向量控制(Input Vector Control, IVC)技術與內部節點控制(Internal Node Control, INC)技術之整合與優化，來有效的減輕負偏壓溫度不穩定性之影響，並儘可能降低額外的面積及功耗。

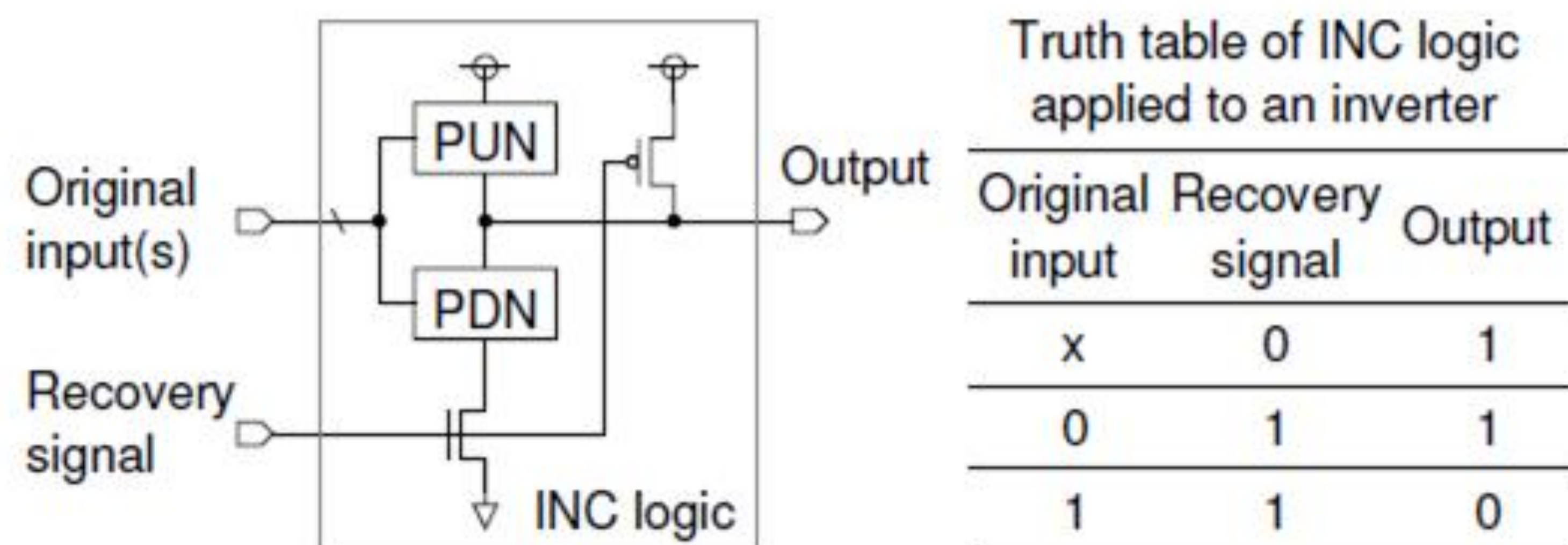
## 研究目的

- 為了避免因負偏壓溫度不穩定性而導致的時序或功能錯誤，輸入向量控制(IVC)技術是透過在晶片閒置時給定特定輸入訊號，以延緩p型電晶體的老化。
- IVC因只改變輸入訊號，對於較為複雜之晶片，很難有效緩解離輸入較遠邏輯閘之老化問題。



圖一、IVC示意圖

- 內部節點控制(INC)技術則在重要路徑(critical paths)上將部分邏輯閘替換為INC logic，透過在待機時調整內部訊號，以減輕易受到老化影響邏輯閘的老化狀態。
- INC因需插入額外邏輯閘將導致晶片的整體面積及功耗變大等問題。

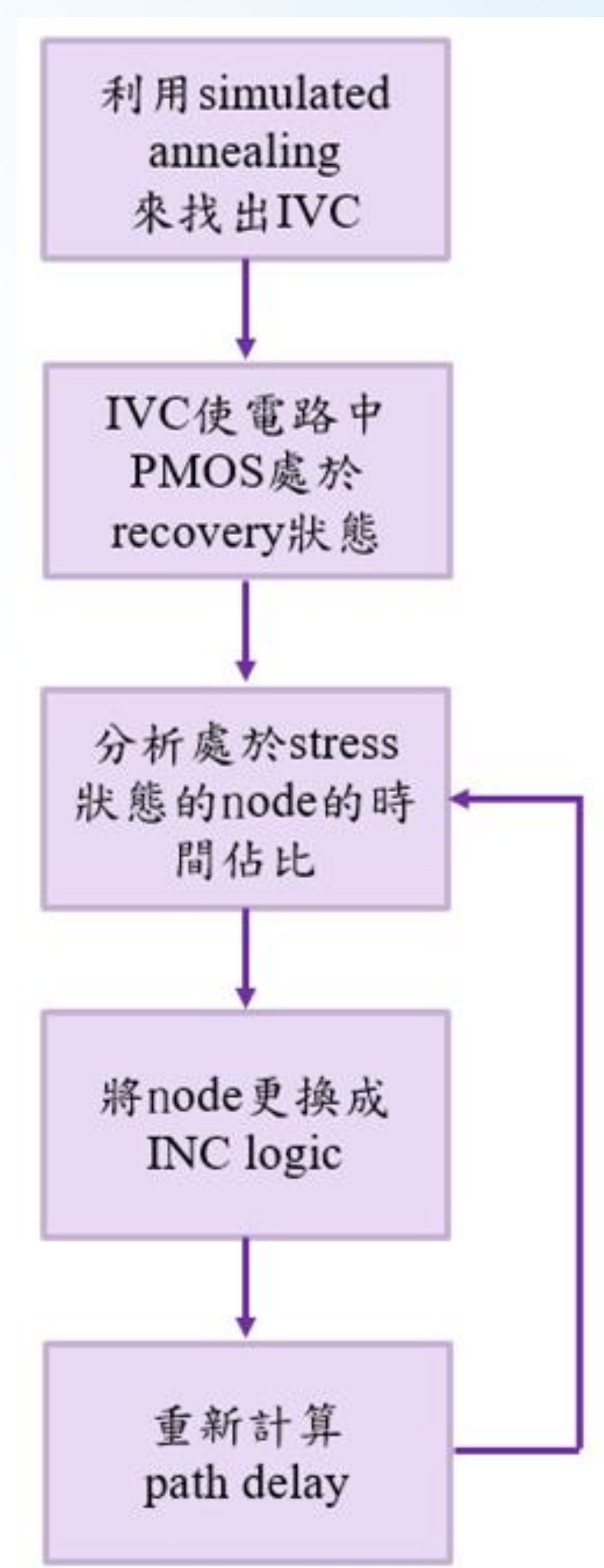


圖二、INC logic示意圖

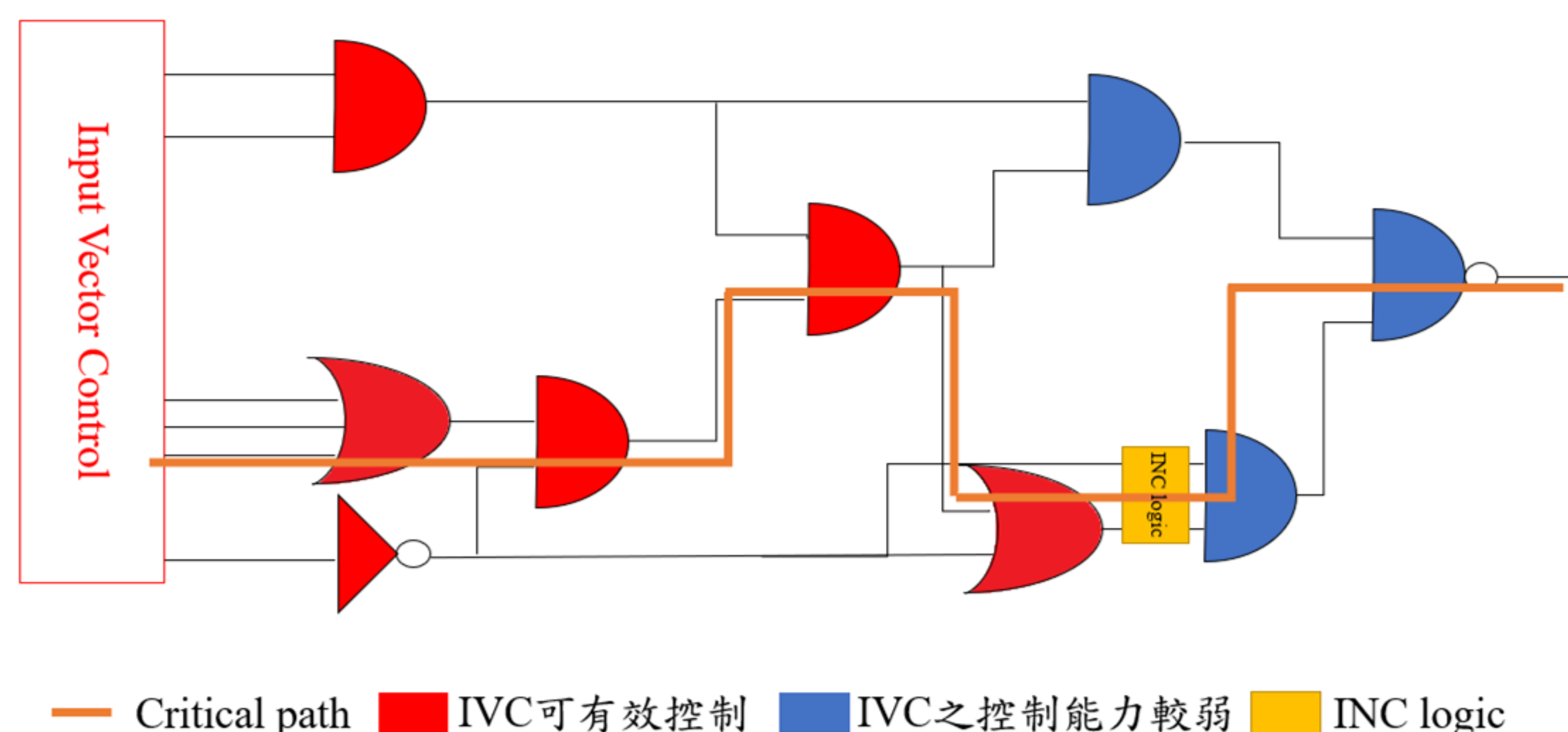
- 我們的方法將有效整合IVC與INC技術，找出最合適之 input vector set，及在INC logic數量有限的情況，找到最適合之布局使晶片能延緩其使用壽命，並能有效控制增加的面積與功耗。

## 研究方法與步驟

- 利用IVC來使得電路中的PMOS比較大量不處於stress狀態，使用到simulated annealing(SA)演算法來找minimum path delay，使電路中的PMOS緩解受到stress狀態的影響。
- 計算每個node在stress狀態下時間的比率，如果高於50%，將優先用INC logic替換，換完之後須重新計算critical path delay評估電路老化的程度。
- 最後會將所提出的方法與之前的三種方法進行比較：完全沒考慮、只考慮Input vector control(IVC)和只考慮Internal node control(INC)，比較四種方法的path delay。



圖三、步驟流程圖



圖四、IVC與INC技術整合之範例

## 結果與討論

- 最後將未考慮任何條件之老化情形及只使用IVC或INC方法與我們結合IVC與INC的方法之path delay做比較。
- 從表一可看出比起原有的INC和IVC技術，我們將IVC與INC技術整合之後，更能有效的減輕負偏壓溫度不穩定性之影響。

表一、path delay之比較

c432	Path Delay (ns)			
	不使用老化緩解技術	只使用INC	只使用IVC	使用IVC+INC
0year	1.73061	1.73061	1.73061	1.73061
1year	2.73243	2.65441	2.62458	2.61502
10years	3.39884	3.28633	3.27846	3.24838
15years	3.52483	3.49736	3.44677	3.39386
20years	3.70169	3.58071	3.56241	3.53169
老化比率 0年vs20年	53.248%	51.669%	51.420%	50.998%