

元 智 大 學

資 訊 工 程 學 系

專題製作成果報告

創新晶片老化緩解技術研究：
輸入向量控制(IVC)技術與內部節點
控制(INC)技術之整合與優化

專題生：陳乃綺

專題生：林珮瑜

指導教授：曾王道、陳聿廣教授

中 華 民 國 109 年 12 月

目錄

一、摘要.....	2
二、研究目的	3
三、文獻回顧與探討	5
四、研究方法	11
五、結果與討論	14
六、參考文獻	16

一、摘要

老化現象(aging effect)在現今製程中對晶片之可靠度產生極大的威脅，其中負偏壓溫度不穩定性(Negative-Bias Temperature Instability, NBTI)會隨著晶片的使用漸漸提高 p 型電晶體(pMOS)的閾值電壓(threshold voltage)，這種退化現象將會造成電路執行時間延遲的增加，進而導致時序(timing)或功能(function)上的錯誤。為了解決此一問題，過去有許多研究致力於減緩老化現象的發生，其中輸入向量控制(Input Vector Control, IVC)技術是透過在晶片閒置時給定特定輸入訊號，以延緩 p 型電晶體的老化；而內部節點控制(Internal Node Control, INC)技術則在重要路徑(critical paths)上將部分邏輯閘替換為內部節點控制邏輯閘，透過在待機時調整內部訊號，以減輕易受到老化影響邏輯閘的老化狀態。此兩種技術雖都能有效的減緩 p 型電晶體的老化，然而前者因只改變輸入訊號，對於較為複雜之晶片，將很難有效的緩解離輸入較遠邏輯閘之老化問題；而後者則因需要插入額外邏輯閘，將導致晶片的整體面積及功耗變大等問題。

在此研究中，我們將提出一全新之晶片老化緩解技術，透過對輸入向量控制(IVC)技術與內部節點控制(INC)技術之整合與優化，來有效的減輕負偏壓溫度不穩定性之影響，並儘可能降低額外的面積及功耗。我們的方法首先將分析不同的輸入向量控制訊號對高複雜度晶片內邏輯閘老化緩解的能力，並找出在關鍵路徑上且輸入向量控制無法有效抑制老化狀況的邏輯閘，再由這些邏輯閘中找到適當的位置安插內部節點控制邏輯閘，使關鍵路徑上大多數的邏輯閘皆能減緩老化。

我們的方法將能有效整合輸入向量控制(IVC)技術與內部節點控制(INC)技術，並能找出最合適之輸入向量組(input vector set)，及在內部節點控制邏輯數量有限的情況下，找到最適合之布局，結果不僅使晶片能延緩其使用壽命，並能有效控制增加的面積與功耗。

二、 研究目的

現今 IC 製程發展快速，單一晶片能容納的電晶體數量已達上百億，並能提供更強大的運算能力。然而，隨著電晶體通道的微縮，老化現象(aging effect)已造成晶片可靠度之重大威脅。在眾多老化現象中，負偏壓溫度不穩定性(Negative-Bias Temperature Instability, NBTI) 對晶片可靠度之影響極為顯著，對於使用 ultra-thin gate oxide layers 的 pMOS transistor，NBTI 效應在 10 年的使用壽命中可能導致高達 15% 的電路退化[2]。NBTI 效應會導致 p 型電晶體之閾值電壓(threshold logic)上升，進而使其 drain current 下降，而造成電路之傳遞延遲(propagation delay)變大，在電路運行一段時間之後，若傳遞延遲的情形過於嚴重，將會導致時序錯誤(timing error)或功能錯誤(functional error)，進而縮短電路的壽命。通常 NBTI 有兩種階段狀態，一個是 stress 狀態，當 pMOS 導通時，負偏壓施加到 pMOS 上，會導致閾值電壓的增加並將低電路的性能。另一個是 recovery 狀態，在 pMOS 是不導通時，負偏壓被除去，閾值電壓將部分恢復。圖 1 圖 1 錯誤! 找不到參照來源。說明了負偏壓溫度不穩定性對 p 型電晶體之閾值電壓影響，

其中 x 軸為 p 型電晶體之使用時間(以月為單位)，y 軸為 p 型電晶體之閾值電壓變化，實線顯示 pMOS 持續處於導通狀態，而虛線顯示 pMOS 僅有 50% 的時間導通。由此圖我們可以觀察到，若 pMOS 能適時進入 recover 狀態，則其閾值電壓之變化速率將降低，進而減緩晶片之老化。

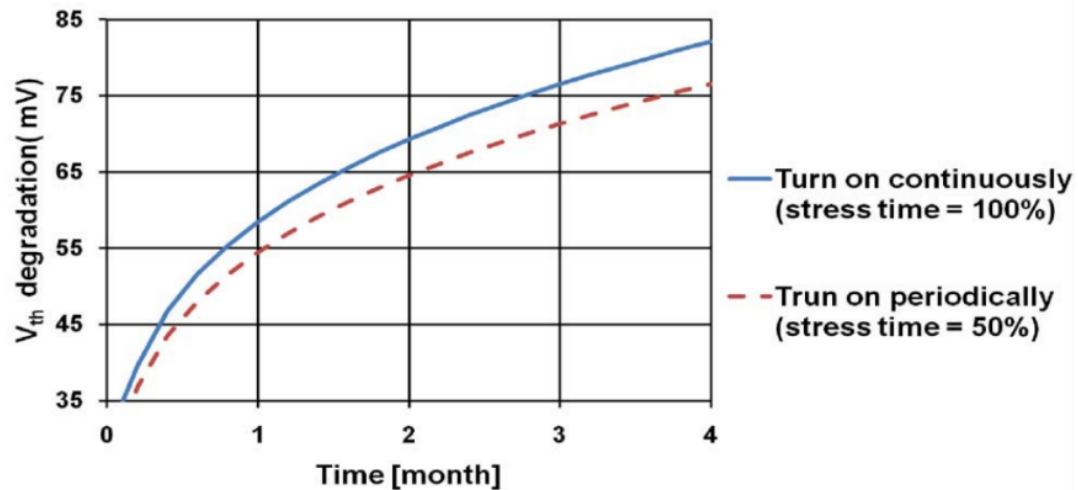


圖1. 負偏壓溫度不穩定性對 p 型電晶體之閾值電壓影響[1]

為了避免因負偏壓溫度不穩定性而導致的時序或功能錯誤，過去有許多研究提出了不同的方法進行負偏壓溫度不穩定性之緩解(mitigation)，其中輸入向量控制(Input vector control, IVC)和內部節點控制(Internal node control, INC)這兩種方法已被廣泛的使用，IVC 是透過控制輸入向量使得大部分 pMOS 不會被 stress 的那麼嚴重，INC 則是在邏輯閘前加上 INC logic，使得 stress 的比率被改變。但如果只使用 IVC 進行老化緩解，對於深度較大的電路其效果有限，可緩解老化現象的輸入向量亦可能造成很大的漏電流，導致 power consumption 增加。如果只使用 INC 進行老化緩解，因需加入額外的邏輯閘，會造成額外的面積成本。而我們發現過去的文獻當中，少有同時去考慮到兩種方法一起使用，這讓我們有了動

機來進行我們的研究。因此，本計畫預計提出一全新之晶片老化緩解技術，透過對輸入向量控制(IVC)技術與內部節點控制(INC)技術之整合與優化，來有效的減輕負偏壓溫度不穩定性之影響，並儘可能降低額外的面積及功耗。

三、 文獻回顧與探討

在本章節中，首先我們將對 NBTI 進行深入的介紹，之後會再針對輸入向量控制 (INC)和內部節點控制技術(IVC)之相關文獻進行探討。

隨著技術的發展，可靠性問題已經成為超大積體電路的重要問題。可靠性問題中，Negative Bias Temperature Instability (NBTI)引起的性能下降是主要的故障機制之一。NBTI 效應是 PMOS 中氧化物的磨損機制，圖 3 圖 3 說明了 interface trap 生成的完整過程，Si-SiO₂ 界面處的 Si-H 鍵斷裂會形成 Si 離子(interface trap)和 H 原子。表面上 Si 離子的存在需要較大的 gate voltage 用於反轉，這是由於 NBTI 而導致 PMOS 的閾值電壓增大的原因。通常 NBTI 有兩種階段，stress 和 recovery 階段。將負偏壓施加到 PMOS gate oxide 上時，它將在 Si-SiO₂ 界面上引起 dangling bonds，並增加電晶體的閾值電壓，這稱為 stress 狀態。增加的閾值電壓將導致電流減小和更長的 propagation logic gate delays。當去除負偏置電壓時，dangling bonds 可能會被束縛，閾值電壓將被部分恢復，這稱為 recovery 狀態。但是，recovery 狀態無法消除 stress 狀態產生的所有 dangling bonds，從而導致閾值電壓增加。過去已經有提出了一些方法來減輕 NBTI，最常看到的就是使用

Input vector control(IVC)以及 Internal node control(INC)兩種方法來達到減輕 NBTI

效應的結果。

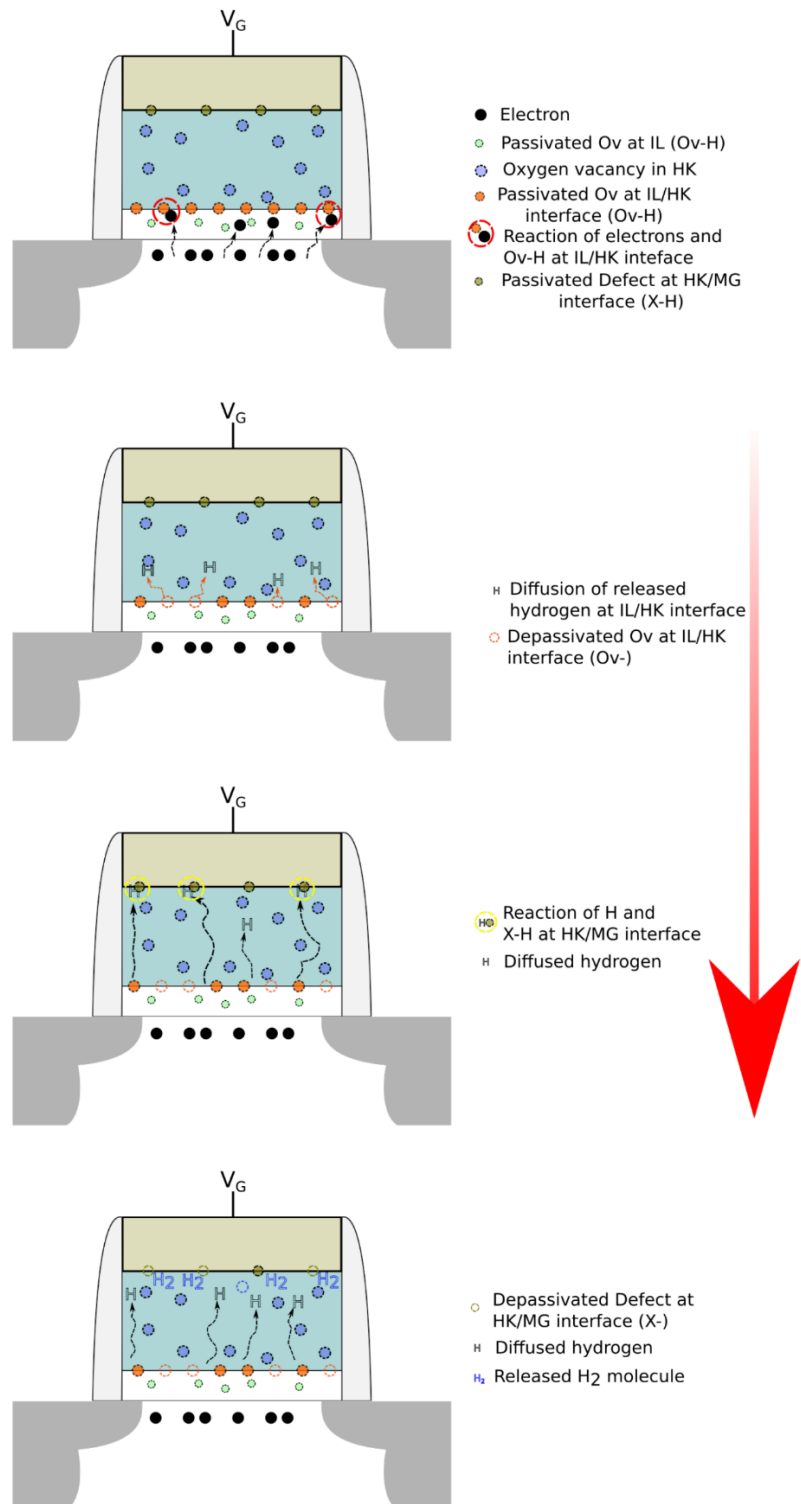


圖2. NBTI 效應產生示意圖

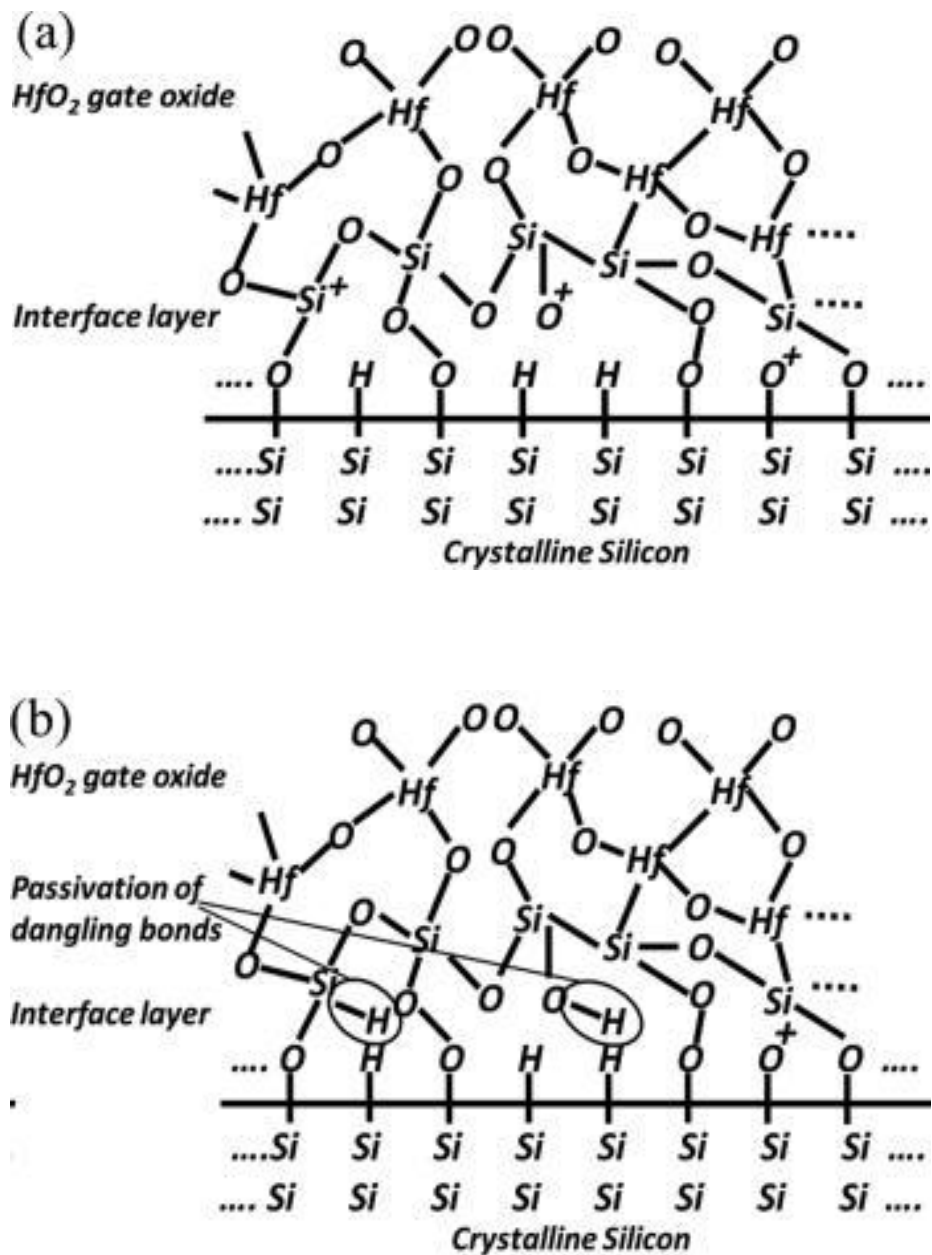


圖3. NBTI 原理圖

輸入向量控制(IVC)主要透過控制晶片在空閒時的輸入訊號來達到目標。在 [9][10][11] 中為了減少 subthreshold leakage 採用了 IVC，由於輸入值在長時間的空閒時間內保持恆定，電晶體將承受長時間的 NBTI stress，因此 subthreshold leakage 優化和 NBTI 優化互相衝突。為此，有許多研究人員提出了電路老化和洩

漏功率的共同優化。在減緩老化上，IVC 是在電路的 primary input 上選定特定組合，使得電路裡的邏輯在運行的時候能最少量的接受到 stress。這樣的作法會有另外一個缺點，適合用來減緩 NBTI 效應的 input pattern 可能會導致很大的 leakage current，因此在[3]中提出了一種新的基於 Integer linear programming (ILP) 公式的 NBTI 和 leakage 協同優化算法。該方法可以同時減少 NBTI 和 leakage，並找到可以在性能和功耗之間取得平衡的最佳輸入向量。然後，當電路處於待機模式時使用全局最佳輸入向量，並且將 Support voltage assignment(SVA)作為後續方法來進一步減輕 NBTI 效應。另外，在[1]中也提到用 Input Vector Cycling 來優化漏電流和 NBTI 效應。此方法是先確定一對 Minimum leakage vector(MLV)，以便在 critical path 上交替使用，第一個輸入向量採用 Simulated Annealing (SA)隨機搜索，然後用 backtracking algorithms 來找第二個輸入向量。透過循環兩個輸入向量使 PMOS 空閒，從而最大程度的減少空閒期間的 delay degradation。論文[8]之作者則利用 multiple input vector control(M-IVC)，來進行優化，它透過基因演算法來獲得 Input duty cycles 的約束，藉由這項約束的資訊來隨機產生 M-IVC 在 standby 狀態下去緩解 NBTI 的效應。

另一個常見的 NBTI 緩解方法是利用內部節點控制(INC)，INC 的方法是在電路的 gate 前面插入 INC logic 可以使得 INC logic 達到緩和後面 gate 被 stress 的效果。在[4]中提及利用 INC 去進行優化，將 INC 邏輯插入各個 gate 的輸出，以便 standby 狀態期間將其輸出強制為特定值，例如：將前一個 gate 的輸出強制為

VDD 來減輕 NBTI 效應。我們用圖 5 說明 INC 之運作方式：在左邊的邏輯圖中，當 sleep 訊號為 1 時，會將右方的 pMOS 連接，使得 VDD 與 output 導通，反之右邊的邏輯圖也相同，讓接地訊號與 output 導通，使得 output 可以強制輸出特定訊號。若將這樣的邏輯閘安插在 highly stressed logic 的前面，使得它可以經由所送的 sleep 訊號，讓 highly stressed logic 能夠進入 recovery 的狀態，如圖 6 圖 6 所示。但以 INC 這個方法來實作會有一個缺點，如果插入太多 INC logic 會造成很大的 area overhead，因此我們不可能在每一個 logic gate 前面都放置 INC logic，我們要找到最適合的地方放置，使得整體晶片的 aging 可以最大量的被解除，且不會造成過量的面積消耗。在[5]中則提到透過計算 node 在 NBTI stress 下的機率來識別在關鍵和非關鍵路徑中 NBTI 關鍵內部結點，藉由結合 NBTI-sensitive gates 和他們的 driver gates 來消除計算出的 node，產生一個 complex gate，可以減少組合和循環 CMOS 電路中的 NBTI，並且增加生命週期。[6]中提出使用 INC 邏輯執行有效 gate 替換的方法。通過進行 gate 替換的代表性路徑的想法，減少了用於 INC 替換的候選 gate 的數量，由於僅在優化循環期間考慮代表性路徑或關鍵路徑上的門，因此延遲評估所需的時間因此大大縮短。

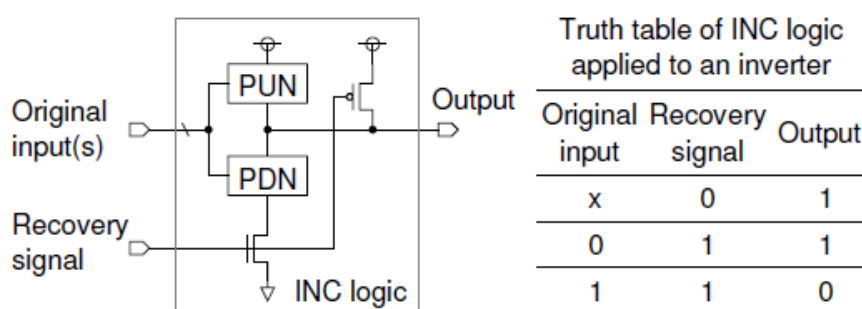


圖4. INC logic cell 基本架構

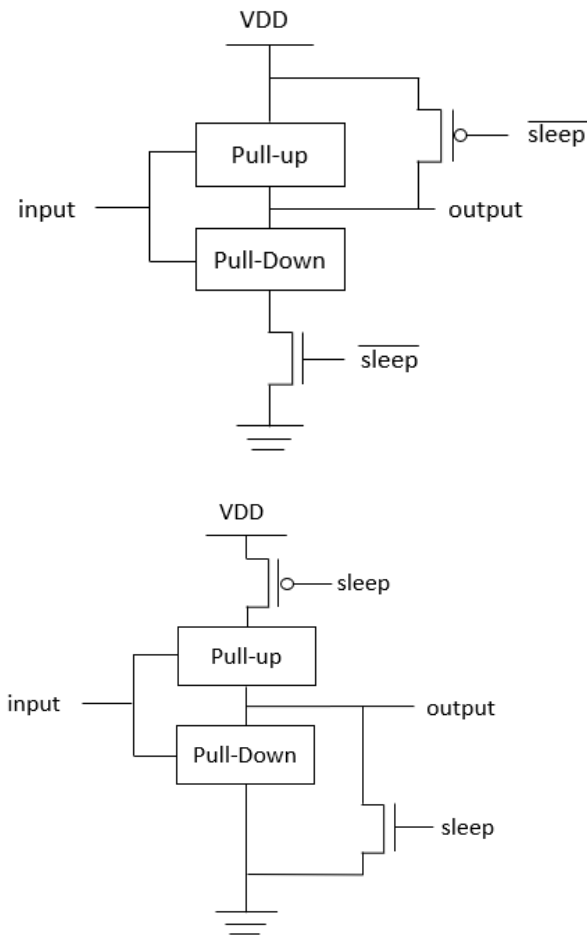


圖5. 加上 INC logic 修改的 gate structure design

以上所提及的方法都只單單使用 IVC 來解決或是只用 INC 來進行優化的動作，如果只單單使用 IVC 的話會有很大的 leakage，而單單使用 INC 則會造成很大的 area overhead，但卻沒有人同時考慮到這兩種方法來一起評估，因此在我們的研究中我們將開發同時考量 IVC 及 INC 技術之演算法使得這個晶片的 lifetime 可以最大化，能夠最不接受 NBTI 的 stress 同時我們也讓他不要這麼嚴重，面積過大的問題也不要這麼嚴重。

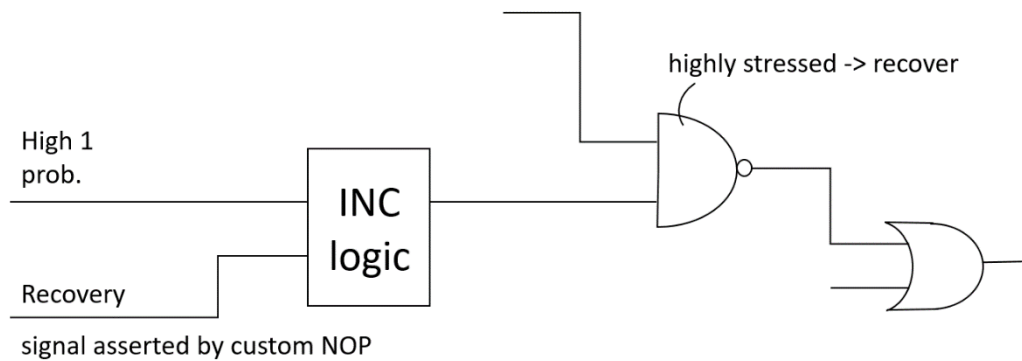


圖6. INC Logic 於電路中擺放位置示意圖

四、 研究方法

根據過去文獻的探討，我們考慮到 IVC 對於大型電路的改善效果降低，有所限制，以及使用 INC 方法，面積上的開銷也會很大，因此為了能夠達到面積和功率的開銷減少，我們提出結合 IVC 和 INC 的方法來減輕 NBTI 效應。首先，先用 IVC 使電路中越多的 PMOS 處於 recovery 狀態(之前相關文獻有提到，當 PMOS 處於 turn off 的時候，可以從 NBTI stress 中恢復)，再分析電路中 node 處於 stress 狀態的時間佔據多少比率，並且將處於 stress 狀態比率超過 50% 的 node 更換成 INC logic，換完之後需要重新計算 path delay。圖 7 為研究方法流程圖。

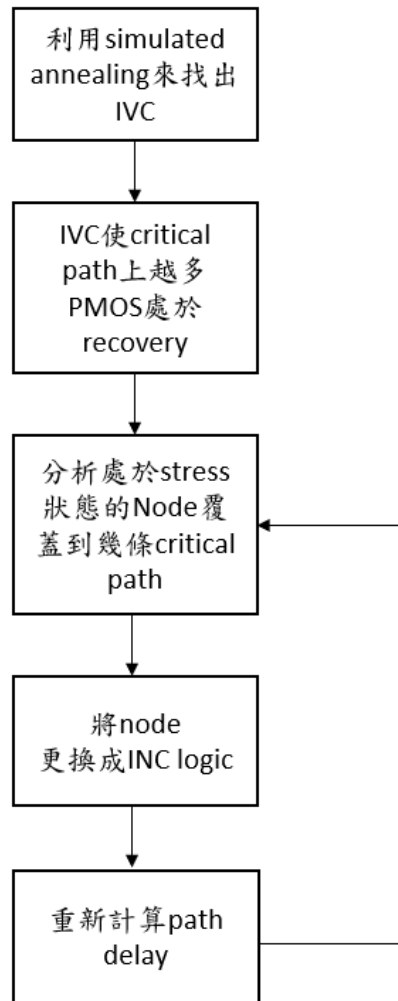
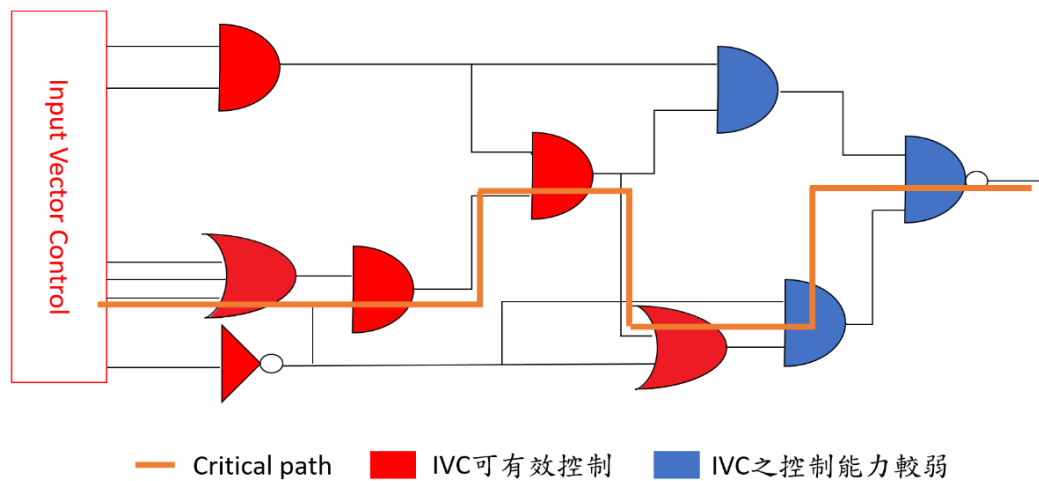


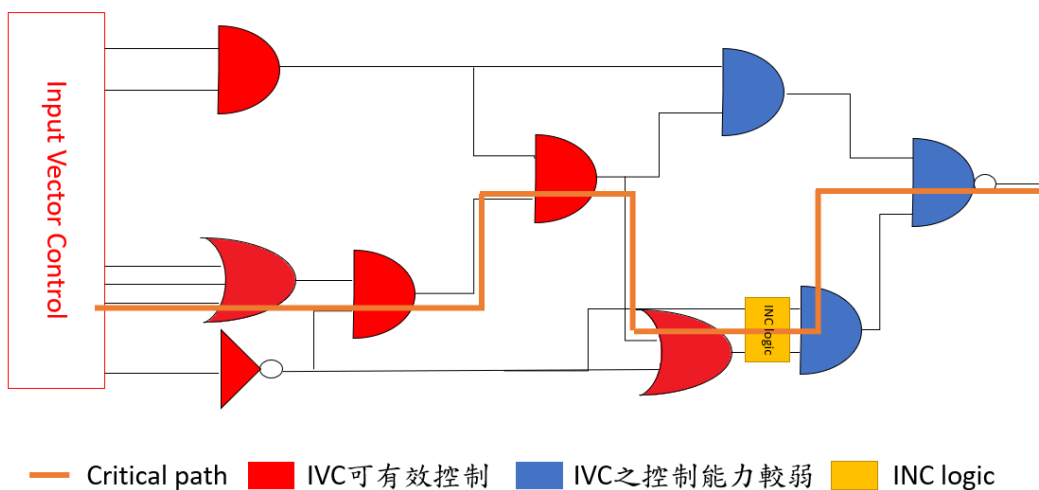
圖7. 研究方法流程圖

首先我們利用 IVC 來使得電路中的 PMOS 比較大量不處於 stress 狀態，在這裡我們使用到[1]的技術他們透過用 simulated annealing(SA)來找 minimum path delay，讓電路中的 PMOS 能在最小化 path delay 的情況下也能緩解它受到 stress 狀態的影響。然後去計算每個 node 在 stress 狀態下時間佔全部時間的比率，如果高於 50%，將會是我們可以用 INC logic 先替換的位置，換完之後須再重新計算後面 node 會處於 stress 狀態的比率，計算這個比率的方式是我們需要去這個 node 處在 stress 狀態(也就是透過觀察這個 node 的 output 是否為一)所占全部時

間的多少，如果都是小於 50%，代表這個替換是有效的。最後再使用 aging sensor(如 critical path monitor)來評估電路老化的程度。我們初步的研究是使用 greedy 演算法，未來將嘗試使用方程式解或是 integer linear programming(ILP)來進行尋找可替換的 INC logic 的位置。



(a) 輸入向量控制(IVC)技術範例



(b) 內部節點控制(INC)技術範例

圖8. 輸入向量控制(IVC)技術與內部節點控制(INC)技術整合範例

我們以圖 8(a)為例具體來描述 IVC 和 INC 結合的情況，圖中有九個邏輯閘，紅色部分的邏輯閘是 IVC 可以有效控制的，而藍色部分是控制能力較弱的，我們先去計算每個 node 在 stress 狀態下佔全部時間的比率，再來選出可以使得後面的 gate 能夠更有效更多恢復的 gate 這是我們演算法需要調整的部分。我們使用 IVC 分析，可以涵蓋紅色部分，使得它 stress 狀態可以不超過 50%，而藍色部分無法控制到，我們就先分析它在 stress 狀態下時間佔全部時間的比率再從藍色裡面挑選找可以在他之前插入 INC logic，如圖 8(b)中所說明，我們在右下的 and 邏輯閘前加入一個 INC logic 來讓後面的邏輯閘能夠盡可能處在 recovery 狀態。

五、 結果與討論

為了證明我們所提出的演算法是有效力的，因此我們必須要將我們的演算法實現出來。首先我們使用 Hspice 進行老化模擬，並使用 ISCAS85 的 benchmark。我們將所提出的方法與之前的三種方法進行比較：完全不考慮老化現象、單只使用 Input vector control(IVC)進行老化緩解和只使用 Internal node control(INC)進行老化緩解。我們比較四種方法的 path delay，初步的實驗結果顯示，我們所提出的方法有較好的結果。

表 1 的 INC logic 插入點是在一段時間內，stress 時間的比率達 80%以上的 gate 前，可以看出我們所提出的方法在 c432 電路中 path delay 雖然比只使用 INC 的方法還小，但不一定會比只使用 IVC 的方法好。表 2 的 INC logic 插入點則是

在 stress 時間的比率達 50%以上的 gate 前，可以看出在 c432 電路中，我們所提出的方法在 20 年內都是最有效的。

表1. Path delay 之比較，INC 插入在 stress 比率達 80%以上之 node 前

c432	Path Delay			
	不考慮老化	只使用 IVC	只使用 INC	使用 IVC+INC
1year	2.7324280E-10	2.624580e-10	2.713252e-10	2.627694e-10
10years	3.3988400E-10	3.278460e-10	3.369660e-10	3.268200e-10
15years	3.5248330E-10	3.446770e-10	3.531095e-10	3.417700e-10
20years	3.7016900E-10	3.562410e-10	3.680650e-10	3.566960e-10

表2. Path delay 之比較，INC 插入在 stress 比率達 50%以上之 node 前

c432	Path Delay			
	不考慮老化	只使用 IVC	只使用 INC	使用 IVC+INC
1year	2.732428e-10	2.624580e-10	2.654410e-10	2.615022e-10
10years	3.398840e-10	3.278460e-10	3.286330e-10	3.248380e-10
15years	3.524833e-10	3.446770e-10	3.497355e-10	3.393860e-10
20years	3.701690e-10	3.562410e-10	3.580710e-10	3.531690e-10

未來也將比較四種方法的 system lifetime、area 和 energy consumption 的表現，我們預期不僅能在深度較大的電路上有較好的結果，也可以改善面積過大的問題，從而導致更高的 NBTI 降級，所以我們將預期我們的方法能有顯著的改善。

六、 參考文獻

- [1] Ming-Chao Lee, Yu-Guang Chen, Ding-Kei Huang, and Shih-Chieh Chang, "NBTI-aware power gating design," in Proc. of 16th Asia and South Pacific Design Automation Conference (ASP-DAC 2011)
- [2] Shilpa Pendyala, Sheikh Ariful Islam, and Srinivas Katkoori, "Gate Level NBTI and Leakage Co-optimization in Combinational Circuits with Input Vector Cycling" IEEE Transactions on Emerging Topics in Computing (Early Access),2018
- [3] Peng Sun, Zhiming Yang, Yang Yu, Junbao Li and Xiyuan Peng, "NBTI and Power Reduction Using an Input Vector Control and Supply Voltage Assignment Method" in License MDPI, Basel, Switzerland. 2017
- [4] David R. Bild, Gregory E. Bok, Robert P. Dick, "Minimization of NBTI Performance Degradation Using Internal Node Control" Design, Automation & Test in Europe Conference & Exhibition, 2009
- [5] Maryam Ghane, Hamid R. Zarandi, "Gate Merging: An NBTI Mitigation Method to Eliminate Critical Internal Nodes in Digital Circuits" 24th Euromicro International Conference on Parallel, Distributed, and Network-Based Processing (PDP), 2016
- [6] MORITA, Shumpei, BIAN, Song, SHINTANI, Michihiro, HIROMOTO, Masayuki, SATO, Takashi, "Utilization of Path-Clustering in Efficient Stress-Control Gate Replacement for NBTI Mitigation" IEICE TRANS. FUNDAMENTALS, VOL.E100–A, NO.7 JULY 2017
- [7] Predictive Technology Model (PTM). [Online]. Available <http://www.ptm.asu.edu>.
- [8] Maoxiang Yi, Xiaohong Liu, Qingwu Wu, Tianming Ni, Zhengfeng Huang and Huaguo Liang, " NBTI Mitigation by M-IVC with Input Duty Cycle and Randomness Constraints" 2016 IEEE East-West Design & Test Symposium (EWDTS), 2016
- [9] A. Abdollahi, F. Fallah, and M. Pedram, "Leakage current reduction in cmos vlsi circuits by input vector control" Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 1 (2):140–154, Feb 2004.
- [10] L. Yuan and G. Qu, "A combined gate replacement and input vector control approach for leakage current reduction" Very Large Scale Integration (VLSI)

- Systems, IEEE Transactions on, 1 (2):173–182, Feb 2006.
- [11] N. Jayakumar and S.P. Khatri, "An algorithm to minimize leakage through simultaneous input vector control and circuit modification" In Design, Automation Test in Europe Conference Exhibition, 2007. DATE '07, pages 1–6, April 2007.
- [12] W. Wang, S. Yang, S. Bhardwaj, S. Vruthula, F. Liu and Y. Cao, "The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 18, no. 2, pp. 173-183, Feb. 2010.