

## 2022 Digital IC Design Homework 2

NAME	何立洋				
Student ID	Q36101066				
Functional Simulation Result					
Stage 1	Pass	Stage 2	Pass	Stage 3	Pass
Stage 1					
<pre>   -- Simulation Start --      -----      --stage1 simulation--        Setting1: PASS      Setting2: PASS      Setting3: PASS      Setting4: PASS      Setting5: PASS      Setting6: PASS      Setting7: PASS      Setting8: PASS      Setting9: PASS      Setting10: PASS  </pre>					
Stage 2					
<pre> --stage2 simulation--  Setting11: PASS  Setting12: PASS  Setting13: PASS  Setting14: PASS  Setting15: PASS  Setting16: PASS  Setting17: PASS  Setting18: PASS  Setting19: PASS  Setting20: PASS</pre>					
Stage 3					

```
--stage3 simulation--
```

```
Setting21: PASS
```

```
Setting22: PASS
```

```
Setting23: PASS
```

```
Setting24: PASS
```

```
Setting25: PASS
```

```
Setting26: PASS
```

```
Setting27: PASS
```

```
Setting28: PASS
```

```
Setting29: PASS
```

```
Setting30: PASS
```

### Description of your design

這次作業難度很高，必須注意的細節比作業一多很多。

#### Stage1

我最開始思考最久是的在 **stage1** 程式整體架構的部分。最初我想靠自己寫程式的整體架構，但中途發現怎麼寫都不對，尤其是在三種 **output** 的持續時間的部分，例如我曾經想用...

```
if(reset)
```

```
    Gout <= 1'b0;
```

```
    Yout <= 1'b0;
```

```
    Rout <= 1'b0;
```

```
else if(set)
```

```
    always @(Gin)
```

```
    begin
```

```
        Gout = 1;
```

```
        Gin=Gin-1
```

```
    end
```

```
    always @(Yin)
```

```
    begin
```

```
        Yout = 1;
```

```
        Yin=Yin-1
```

```
    end
```

```
    always @(Rin)
```

```
begin
    Rout = 1;
    Rin=Rin-1
end
```

...這樣的架構。

我一直思考不出程式的架構，後來我才決定從講義找範本做為參考。目前這個最終版本就是參考講義中 **Moore Machine-Good Example** 的架構。雖然選好架構了但在撰寫過程仍不斷發生問題，其中比較大的問題有：

錯誤 1：

我遇到了原本應該重複執行的 **state** 沒有重複執行的錯誤，發生錯誤是因為第二回時，**state** 無法通過 **s0** 到 **s1**，所以要將 **s3** 修改路徑到 **s1**。

接著我又發現我設定用來計數時間的變數 **CLK** 不會重置，為了保留 **GIM,YIN,RIN** 的值，我又加了記憶的變數 **MEM** 保留原本的值，這樣才能重新執行。

錯誤 2：

我在我的波型圖發現我每一個 **output** 值都會比原先多 1，這是因為執行 **next stage** 時，我用 **if(Gin\_CLK = 1'b0)** 的寫法，因此計數不會停在 1，而是 0，因此，我把它修改成 **if(Gin\_CLK <= 1'b1)**，但卻使 **s3** 無法回到 **s1**，或是使 **s3** 到 **s1** 的過程出現延遲一個單位，最後修改 **if(Rin\_CLK>=1'b1)** 成 **if(Rin\_CLK>1'b1)** 解決了這個問題。

Stage2

這個部分必須加考慮 **stop** 的狀況，我的作法是在 **if(Gin\_CLK <= 1'b1 & ~Set)**，添加 **stop** 的情況，變成 **if(Gin\_CLK <= 1'b1 & ~Set & ~Stop)**

Stage3

第三部分必須考慮 **jump** 的狀況，這個部分我一直遇到沒辦法及時換成 **RIN** 的錯誤，發現要額外增加 **else** 修改後才成功。