

# 计算机体系结构

胡伟武、汪文祥

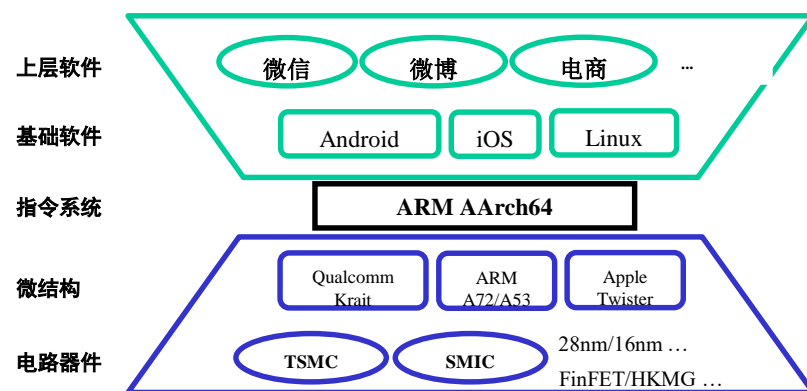
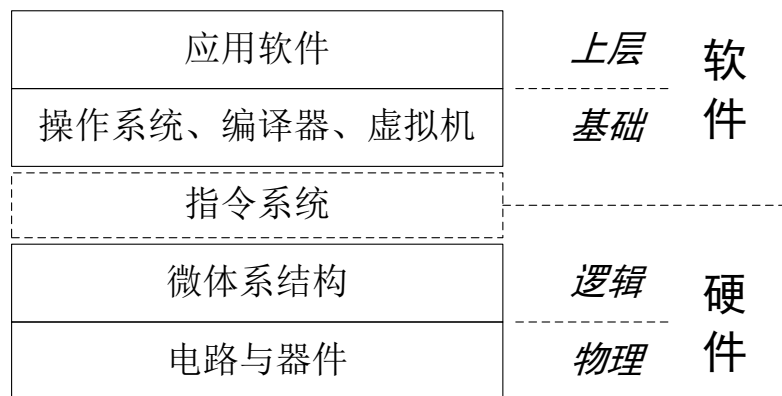
# 指令系统结构（ISA）

- 指令系统简介
- 指令系统的设计原则
- 指令系统的演变
- 指令系统组成
  - 地址空间
  - 操作数
  - 指令操作和编码
- RISC指令系统比较
- 龙芯自主指令系统：LoongArch

# 指令系统简介

# 什么是指令系统

- 指令系统是计算机功能的抽象模型
  - 是软硬件的界面，所有软件最终都以指令的形式运行
  - 体现了结构设计者对计算机系统及其应用的深刻理解
  - 一个指令系统可以有多种实现（低功耗、高性能、软件模拟...）
- 指令系统结构不仅仅是关于指令功能的编码
  - 运行环境：地址空间、异常和中断处理、存储管理、安全管理、Cache管理等
  - 运行环境差异比功能差异大，如MIPS有5组寄存器，PPC有14组



# 指令系统为什么重要

- 指令系统是计算机产业的枢纽，产业生态的基础
  - 指令系统与工业基础是信息产业的两大“根技术”
  - 决定应用程序的二进制兼容（Wintel和AA都做到）
  - 是操作系统二进制兼容（Wintel做到、AA没做到）的重要因素
- 指令系统影响系统性能和实现复杂性等
  - 如RISC/CISC，32位/64位，媒体指令，向量指令等
  - 微结构对系统复杂性影响更大



# 指令系统是不断发展的

- 作为计算机软硬件的界面，指令系统是不断发展的
  - X86位宽从8位、16位、32位、64位不断发展
  - 功能从只支持定点、到浮点、到媒体指令、到向量指令
  - 向量指令又经历了MMX、SSE、SSE2、SSE3、SSE4、AVX等
- 技术和应用发展对指令系统提出新要求
  - 多核结构要求指令增加对多核同步、通信和数据一致性的支持
  - 向量部件需要指令系统增加专门的向量指令
  - 媒体类应用要求指令系统增加对媒体编解码的专门支持
  - 云计算要求指令系统增加对虚拟机的支持；等等

# 国际主流指令系统分析

- 目前两种较流行的指令系统：X86、ARM
  - X86：每年几亿片，垄断PC和服务市场，虽受到ARM的一些威胁，但桌面的垄断地位难以动摇，并通过凌动阻止ARM向高端渗透
  - ARM：每年100-200亿片，在手持终端市场处于垄断地位，成功侵蚀MIPS的数字电视、机顶盒等市场，试图在云服务器等领域与X86竞争
- 其它指令系统
  - RISC-V：想成为CPU中的Linux，生态碎片化，低端MCU + 垂直应用，中国/印度特点
  - PowerPC：在汽车电子、工控、服务器领域还有一线生机
  - MIPS：每年5-10亿片，在传统市场如打印机、网络等仍有一定应用，dying
  - Alpha、PA-RISC、Sparc、IA64：基本上算死了
- 我国建设自主信息技术体系和产业生态需要自主指令系统
  - LoongArch：龙芯指令系统

# 指令系统的设计原则



# 指令系统的设计原则

- 指令系统在计算机系统的位置
  - 硬件和软件的界面
  - 反映了结构设计者对计算机系统的认识
- 设计原则
  - 兼容性：对软件的包容性，长时间保持不变，如X86
  - 通用性：对软件的易用性，编译器和程序员觉得好用
  - 高效性：对硬件的易用性，便于CPU设计优化和不同性能的实现
  - 安全性：对软硬件安全的支持，支持通用操作系统，考虑不同的安全要求

# 影响指令系统设计的因素

- 工艺技术
  - 早期的硬件昂贵，简化硬件是指令系统设计的主要因素
  - 现在如何发挥存储层次的效率，如何利用芯片面积
- 系统结构
  - 增加指令功能还是提高主频？
  - 并行性：SIMD、向量、多发射（兼容性好）
- 操作系统
  - 多进程支持、虚地址空间、安全等级、虚拟机等
- 编译技术与程序设计语言
  - 指令的表达能力
- 应用程序
  - 应用适应性、兼容性等

# 工艺技术对指令系统的影响

- 早期的指令系统设计主要考虑如何减少硬件
- 后来集成度的提高使得系统结构的优化成为可能
  - TLB、从32位到64位、SIMD媒体运算
- 由于CPU与存储器的速度差距，指令系统应能较好地利用存储层次，如通过并行或流水容忍延迟
  - Cache管理指令、预取指令
- 随着工艺的进一步发展，由于主频极限和功耗问题引起的多核结构需要特殊指令支持
  - 多线程管理和同步

# 系统结构对指令系统的影响

- 指令系统本身是系统结构发展的结果
  - 从16位、到32位、到64位
  - SIMD指令、从单核到多核等
- 指令系统的兼容性要求与系统结构发展的矛盾关系
  - 尽量不改变指令系统的前提下提高性能，如流水、多发射等
  - 尽量保持兼容，如Intel的做法
- 增加指令功能还是提高主频
  - RISC vs. CISC vs. VLIW
- 指令中如何体现并行性？
  - SIMD、多线程。。。

# 操作系统对指令系统的影响

- 操作系统专用的核心态指令和运行环境
- 多进程和虚空间
  - 页表与TLB的关系
  - 页保护：读写权限
- 系统安全等级
  - 核心态和用户态管理
- 异常和中断的处理
  - 异常处理入口、ERET指令等
- 访存和访问I/O的区别
- 虚拟机：支持多操作系统的快速切换

# 编译技术对指令系统的影响

- 指令是编译器的工作结果
  - 早期的指令系统主要考虑如何便于编程
  - 后期（如RISC）兼顾便于编程和实现效率
- 指令功能
  - 只有简单指令，甚至乘法都由加法和移位来实现
  - 具有复杂指令，如除法、开方
  - 更复杂的函数由库函数实现（如C库）
- 寄存器和存储器分配
  - 堆栈存放局部变量，全局数据区存放静态数据，堆存放动态数据
  - 为有效使用图着色启发式算法，至少需要16个通用寄存器
- 简单规整，提高编译效率
  - 正交性，如所有访存指令都可用所有寻址方式
  - 简化编译器取舍，如允许编译时确定常量，只提供基本的通用操作等

# 应用对指令系统的影响

- 指令系统归根到底是为应用设计的
  - 指令系统体系结构设计者对应用的精确理解
  - 指令系统随着应用的发展而发展，科学和工程技术、事务处理、网络和媒体处理等应用在指令系统上都有相应的体现
- 应用要求指令系统保持兼容
  - 更新计算机时，兼容老的应用

# 指令系统的演变



# 指令系统的演变 – 分类

- 依据指令长度的不同，指令系统分为
  - 复杂指令系统（CISC），其指令长度可变（x86指令1~15字节；VAX指令1-53字节，其中ADD指令3-19字节）
  - 精简指令系统（RISC），其指令长度比较固定
  - 超长指令字（Very Long Instruction Word，简称VLIW），本质上是多条同时执行的指令的组合，其“同时执行”的特征由编译器指定，无需硬件进行判断
- 总体上看
  - 操作数的个数、类型对指令长度影响很大；变长指令程序代码短、定长指令实现简单
  - **RISC技术**有利于指令流水线的高效实现（X86处理器内部也把CISC翻译成简单操作来优化流水线），VLIW技术用于指令流水线优化不是很成功

# CISC指令系统

- 早期的CPU都采用CISC结构
  - IBM System360、Intel 8080/8086、Motorola 68000
  - 昂贵的软硬件系统要求兼容性
  - 计算机应用的发展要求新增指令
- 兼容性（历史包袱） vs. 指令执行效率
  - Intel的辉煌和包袱
  - 指令集臃肿导致实现复杂，降低常用指令的运行效率
  - X86指令通过内部译码后的微操作类似于RISC

# RISC指令系统

- 核心思路：简化

- 简化指令功能：执行时间短
- 简化指令编码：译码简单
- 简化指令间关系：访存和运算分开
- 例：  $R1=R2+R3$ 、 $R4=R5+R6$  不相关，

$(R1)=(R2)+(R3)$ 、 $(R4)=(R5)+(R6)$  可能相关

- Power、MIPS、ARM、SPARC、Alpha……
- 现代指令系统对CISC和RISC的融合
  - 核心流水线采用RISC
  - 包含复杂功能的宏指令

# VLIW指令系统

- 指令级并行（Instruction Level Parallelism, 简称ILP）的极端
  - 同一个指令字中的多条指令不存在相关
  - 对编译器提出了更多的要求
- Itanium（IA-64）
  - Intel与HP合作研发
- 应用在早期的GPU中，GPGPU发展后遭弃用
  - AMD转向了SIMT的GCN架构

# RISC、CISC、VLIW示例

## RISC (MIPS)

<i>bits</i>	6	5	5	5	5	6
R-type	OP	RS1	RS2	RD	SA	OPX
I-type	OP	RS1	RS2	Immediate		
J-type	OP	Target				

## CISC (X86)

<i>bytes</i>	1	1	1	1
PREFIX	Instruction Prefix	Addr-size Prefix	Op-size Prefix	Segment Override

<i>bytes</i>	1 or 2	0 or 1	0 or 1	0,1,2 or 4	0,1,2 or 4
GENERAL	OpCode	Mod-R/M	SIB	Displacement	Immediate

## VLIW (IA-64)

<i>bits</i>	41	41	41	5
BUNDLE	INST 2	INST 1	INST 0	Template

<i>bits</i>	14	7	7	7	6
INST	Op	Reg 1	Reg2	Reg3	Predicate

# 指令系统的演变---系统管理

- 存储管理的演变
  - 连续实地址：各程序数据连续存放，显式保证不冲突
  - 段式：分为多个段，通过相对段的偏移来访问
  - 页式：将虚地址和实地址的对应关系组织为页表（TLB）
  - 段页式：融合段式和页式
- 运行级别的演变
  - 唯一实模式：无管理
  - 保护模式：权限管理，核心态和用户态（kernel/user）
  - 调试模式：调试支持，ARM JTAG、MIPS EJTAG
  - 客户模式：虚拟机支持，host/guest
- 满足现代操作系统的发展要求

# MIPS32存储空间分段/页情况

地址范围	容量	映射方式	Cached	访问权限
0xe0000000- 0xffffffff	0.5GB	查找TLB	Yes (TLB)	Kernel
0xc0000000- 0xdfffffff	0.5GB	查找TLB	Yes (TLB)	Kernel, Supervisor
0xa0000000- 0xbfffffff	0.5GB	地址-0xa0000000	No	Kernel
0x80000000- 0x9fffffff	0.5GB	地址-0x80000000	Yes (Config)	Kernel
0x00000000- 0x7fffffff	2GB	查找TLB	Yes (TLB)	Kernel, Supervisor, User

## 运行级别的演变 - MIPS

Root CP0					Guest CP0			模式
Debug. DM	Status. ERL	Status. EXL	GuestCtl 0. GM	Status. KSU	Status. ERL	Status. EXL	Status. KSU	
1	Don't care							调试模式
0	1	Don't care						根-核心模式
	0	1	Don't care					
		0	0	00	Don't care			
				01	Don't care			根-监管模式
				10	Don't care			根-用户模式
		1	Don' t care	1	Don't care			客户-核心模式
				0	1	Don't care		
	0				00			
							01	客户-监管模式
						10	客户-用户模式	



# 指令系统组成

# 指令系统的组成

- 指令的主、谓、宾
  - CPU（省略）、操作、操作数
- 操作
  - 算术与逻辑运算、转移、访存、系统指令
- 操作数
  - 数据来源：立即数、寄存器、存储器
  - 数据类型：定点/浮点，32位/64位。。
  - 访存对象：字节/半字/字/双字，大/小尾端
- 指令编码
  - 定长、变长：变长指令程序代码短、定长指令实现简单
  - 操作数的个数、类型对指令长度影响很大

# 指令系统组成

## ---指令操作

# 指令操作

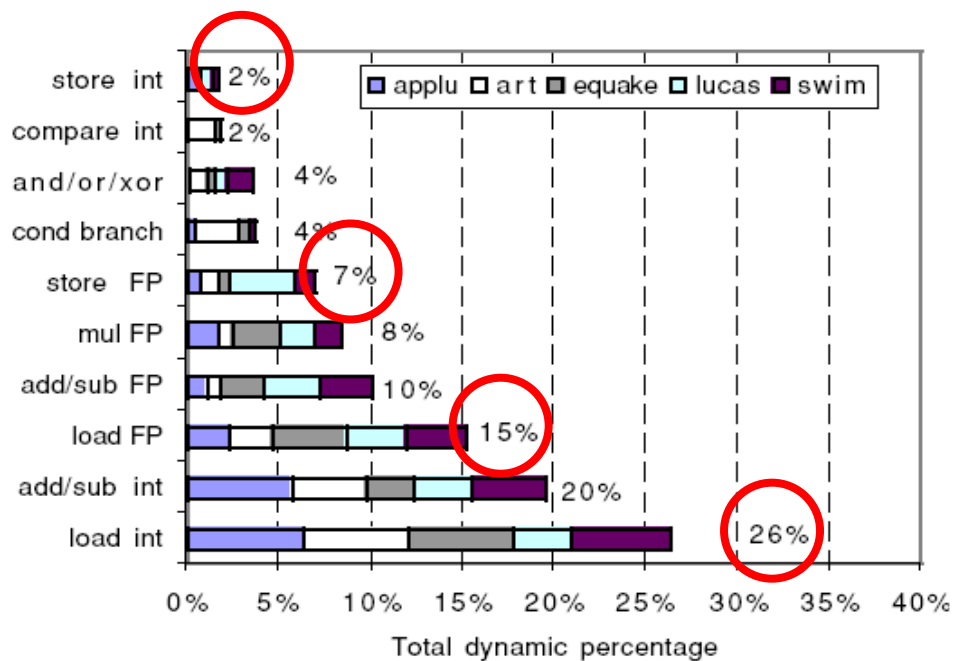
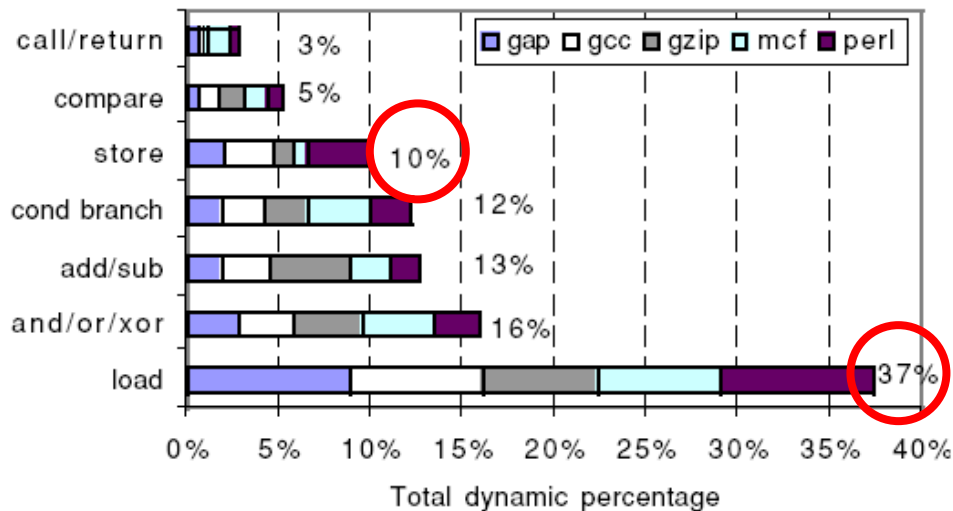
- 算术和逻辑运算指令
  - 加、减、乘、除、开方……
  - 移位：左移与右移、逻辑移位与算术移位……
  - 与、或、非、异或……
  - 格式转换……
- 访存指令：取数、存数
  - 不同长度和不同类型：定点/浮点，字节/半字/字/双字
  - 不同寻址方式
- 转移指令
  - 相对/绝对、直接/间接、条件/无条件
- 系统管理指令
  - TLB管理、Cache管理、异常管理、安全管理

# 常见指令操作

- 最常用的指令是简单指令
  - SPECint92的X86指令统计
  - 把这些简单指令做得快一点，其他慢一点没关系

编号	指令	比例
1	Load	22%
2	Conditional branch	20%
3	Compare	16%
4	Store	12%
5	Add	8%
6	And	6%
7	Sub	5%
8	Move reg-reg	4%
9	Call	1%
10	Return	1%
总计		96%

# SPEC CPU2000动态指令分布



# 转移指令

- 转移指令类型
  - 条件转移/无条件转移
  - 过程调用/过程返回
- 转移地址类型
  - 相对：PC+偏移量
  - 绝对：指令中给出转移地址
  - 间接：根据寄存器内容转移（编译器不知道目标地址），如Switch语句、函数指针、动态链接、过程返回等

# 转移指令特点

- SPEC CPU2000在Alpha结构上的统计
  - 条件转移最多

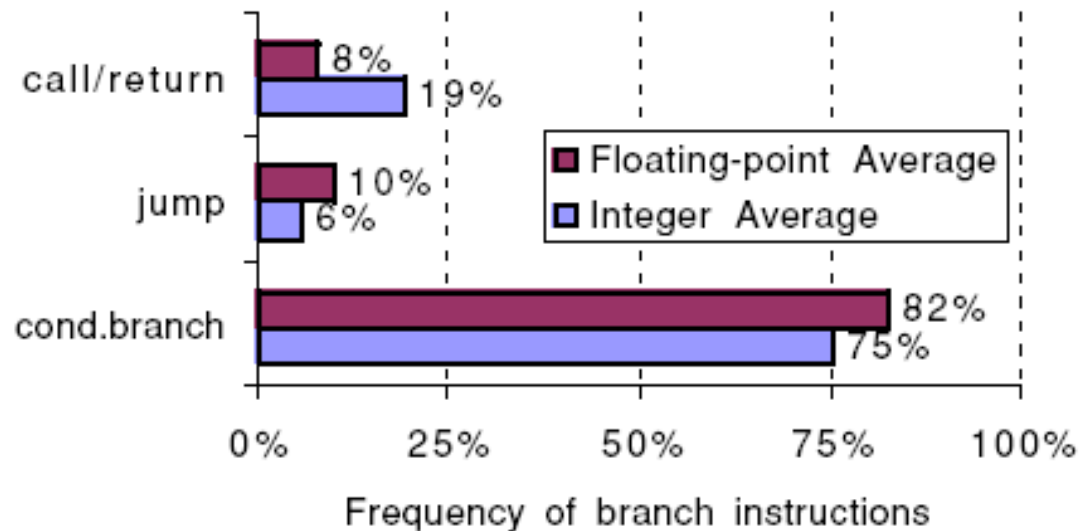
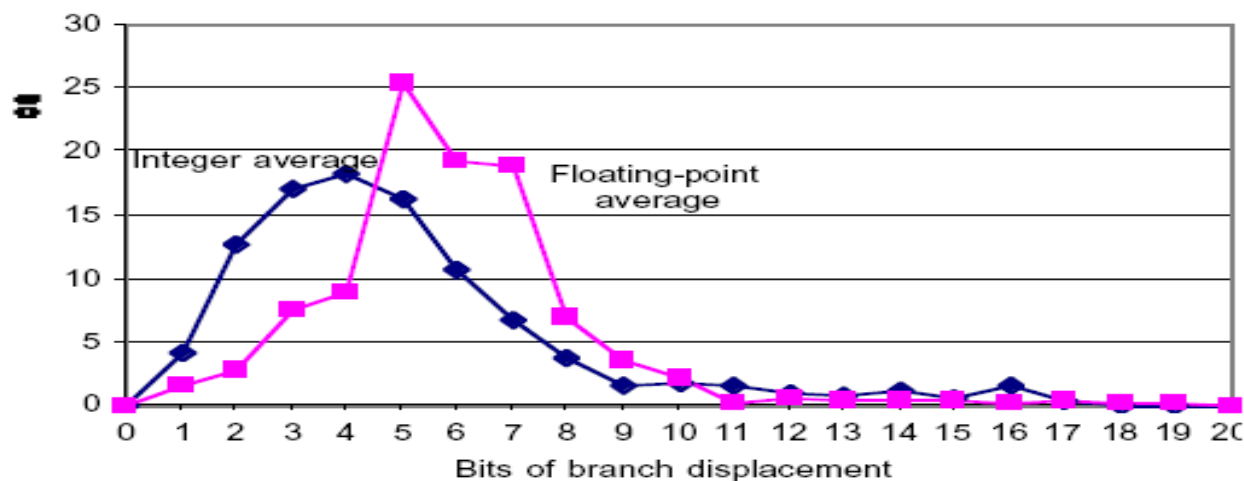


FIGURE 2.19 Breakdown of control flow instructions into three classes: calls or returns, jumps, and conditional branches. Conditional branches clearly dominate. Each type is counted in one of three bars. The programs and computer used to collect these statistics are the same as those in Figure 2.8.



# 转移指令偏移量位数

- SPEC CPU2000在Alpha结构上的统计
  - 多数是4-8位
- 虚拟机生成的代码放得较远，转移指令偏移量大



**FIGURE 2.20** Branch distances in terms of number of instructions between the target and the branch instruction. The most frequent branches in the integer programs are to targets that can be encoded in four to eight bits. This result tells us that short displacement fields often suffice for branches and that the designer can gain some encoding density by having a shorter instruction with a smaller branch displacement. These measurements were taken on a load-store computer (Alpha architecture) with all instructions aligned on word boundaries. An architecture that requires fewer instructions for the same program, such as a VAX, would have shorter branch distances. However, the number of bits needed for the displacement may increase if the computer has variable length instructions to be aligned on any byte boundary. Exercise 2.1 shows the accumulative distribution of this branch displacement data (see Figure 2.42 on page 173). The programs and computer used to collect these statistics are the same as those in Figure 2.8.

# 转移条件的分布

- SPEC CPU2000在Alpha结构上的统计
  - 小于、等于、小于或等于比较最多

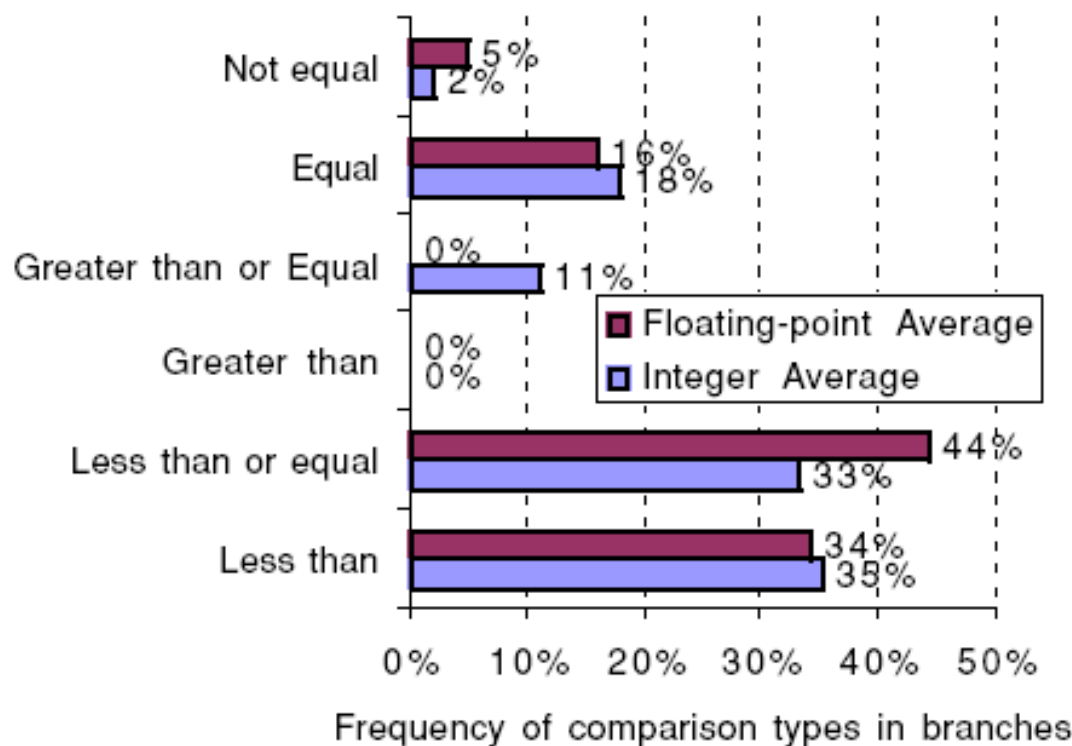


FIGURE 2.22 Frequency of different types of compares in conditional branches. Less than (or equal) branches dominate this combination of compiler and architecture. These measurements include both the integer and floating-point compares in branches. The programs and computer used to collect these statistics are the same as those in Figure 2.8

# 转移条件的表达

- 根据条件位判断转移
- 直接比较寄存器内容转移

Name	Examples	How condition is tested	Advantages	Disadvantages
Condition code (CC)	80x86, ARM, PowerPC, SPARC, SuperH	Special bits are set by ALU operations, possibly under program control.	Sometimes condition is set for free.	CC is extra state. Condition codes constrain the ordering of instructions since they pass information from one instruction to a branch.
Condition register	Alpha, MIPS	Tests arbitrary register with the result of a comparison.	Simple.	Uses up a register.
Compare and branch	PA-RISC, VAX	Compare is part of the branch. Often compare is limited to subset.	One instruction rather than two for a branch.	May be too much work per instruction for pipelined execution.

**FIGURE 2.21** The major methods for evaluating branch conditions, their advantages, and their disadvantages. Although condition codes can be set by ALU operations that are needed for other purposes, measurements on programs show that this rarely happens. The major implementation problems with condition codes arise when the condition code is set by a large or haphazardly chosen subset of the instructions, rather than being controlled by a bit in the instruction. Computers with compare and branch often limit the set of compares and use a condition register for more complex compares. Often, different techniques are used for branches based on floating-point comparison versus those based on integer comparison. This dichotomy is reasonable since the number of branches that depend on floating-point comparisons is much smaller than the number depending on integer comparisons.

# 指令系统组成

---操作数的存储（地址空间）

# 地址空间的组成

- **立即数**：在指令附带，译码时直接获得
- **寄存器**：在指令中以寄存器号引用
  - 整数通用寄存器
  - 浮点通用寄存器
  - 协处理器寄存器
- **内存/I0**：通过访存/I0指令访问
  - 内存空间
  - I0空间：RISC中没有专门的I0空间，映射到内存空间

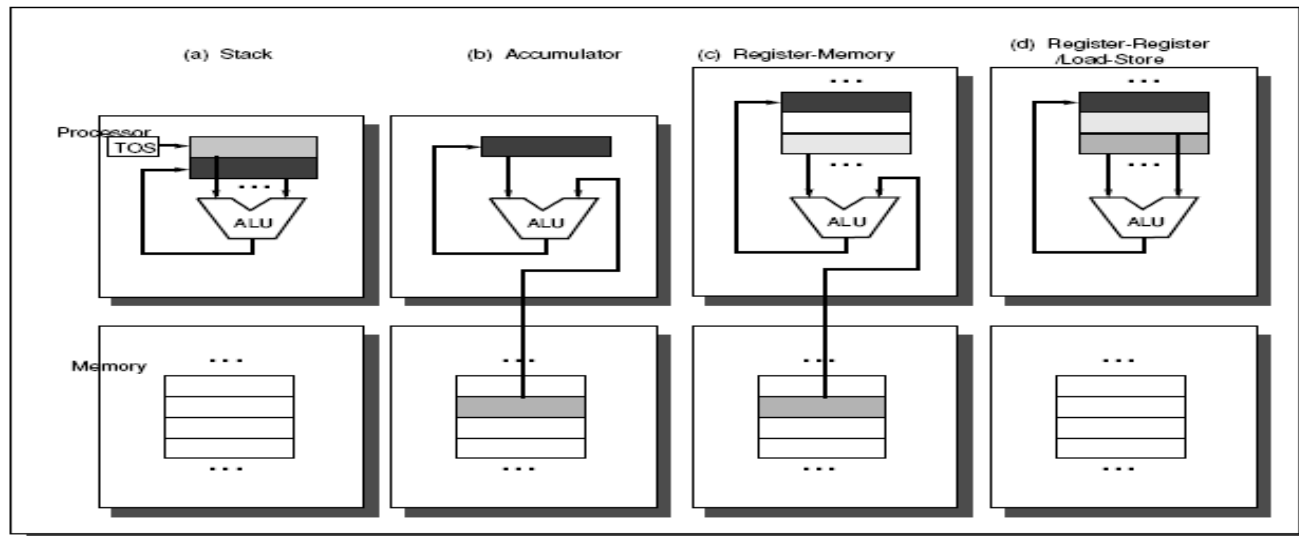
# 指令系统的地址空间的演变

- 堆栈型（Stack）：零地址指令
  - 操作数在栈顶，运算操作不用指定操作数
- 累加器型（Accumulator）：单地址指令
  - 一个操作数总在累加器中，结果也写回累加器
- 寄存器型（Register）：多地址指令
  - Register-Register型
  - Register-Memory型
  - Memory-Memory型

# 不同类型指令功能举例

- 例子：不同指令系统完成 $C=A+B$ 的指令序列
  - 假设A、B、C在内存中不同的单元

Stack	Accumulator	Register (register-memory)	Register (load-store)
Push A	Load A	Load R1, A	Load R1,A
Push B	Add B	Add R1, B	Load R2,B
Add	Store C	Store C, R1	Add R3,R1,R2
Pop C			Store C R3



# 指令系统类型的发展

- 早期的计算机多用堆栈和累加器型指令
  - 出于降低硬件复杂度的考虑
  - 现在已经不用（Intel有点例外），JAVA字节码使用堆栈结构
- 1980年代后的机器主要是寄存器型
  - 访问寄存器比访问存储器快, 便于编译器使用和优化
  - 寄存器可以用来存放变量, 减少访存次数
  - 寄存器间的相关容易判断, 易于实现流水线、多发射、乱序执行等
  - X86通过把复杂指令翻译成类似于RISC的内部操作并使用RISC指令流水线技术提高性能, X86的向量指令也是寄存器型
- RISC的不断复杂化
  - 内存离寄存器越来越远, 以寄存器为中心的结构增加了不必要的数据搬运开销（如 memcpy）
  - 向量指令、超越函数指令、Transactional memory等



# 不同指令系统通用寄存器数量

指令集	整数通用寄存器数
Itanium	128
VAX	16
ARMv8	31
PowerPC	32
Alpha	32(including "zero")
SPARC	32(including "zero")
MIPS	4-32(including "zero")
ARMv7	7 in 16bit thumb mode,14 in 32bit
X86	8 in 16/32bit,16 in 64bit

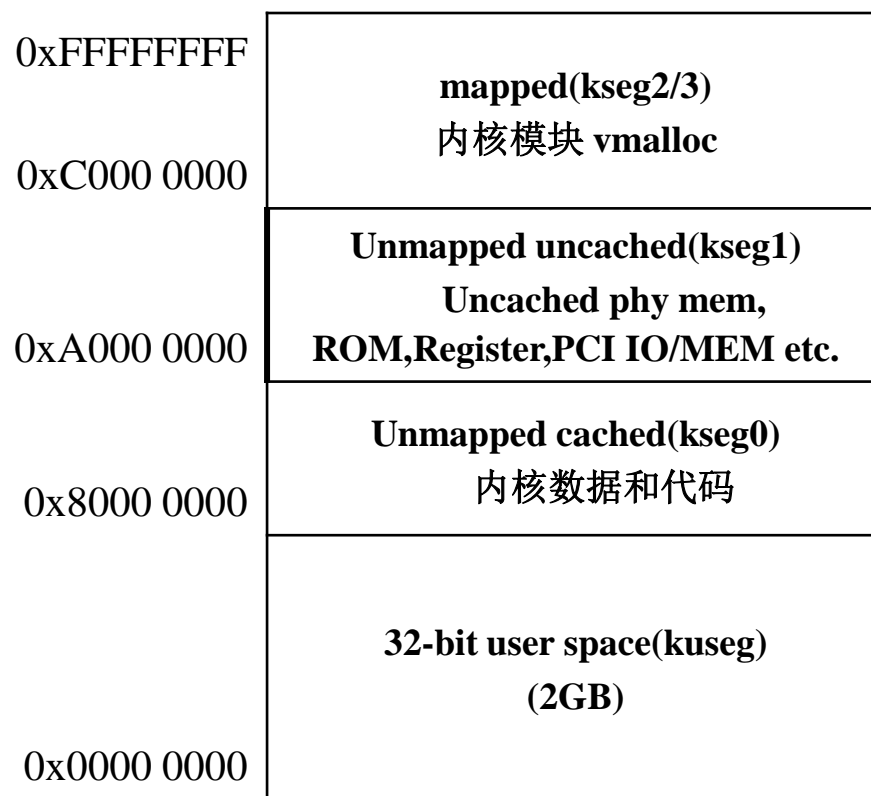
# MIPS寄存器空间

- 32个整数通用寄存器
  - \$0 - \$31 (\$0总是返回0)
- 32个浮点通用寄存器
  - \$f0 - \$f31
- 控制寄存器
  - 仅OS使用
- 若干协处理器寄存器
  - DSP、MSA……

助记符	编号	说明
SR	12	状态寄存器，包含CPU特权等级、中断使能和其他模式配置。
Cause	13	标记异常和中断发生的原因。
EPC	14	异常程序计数器，异常和中断处理结束后的重新执行地址。
Count	9	组成一个简单但有用的高精度内部计数器。
Compare	11	
BadVAddr	8	
Context	4	
EntryHi	10	
EntryLo0-1	2-3	
Index	0	
PageMask	5	
Random	1	存储管理（TLB）相关寄存器，将在第五章进行详细介绍。
Wired	6	
PRId	15	
Config	16	
Config1-3	16.1-3	
EBase	15.1	
IntCtl	12.1	
SRSCtl	12.2	影子寄存器相关控制。
SRSMap	12.3	
CacheErr	27	
ECC	26	用于分析内存错误的寄存器。
ErrorEPC	30	
TagLo	28.0	
DataLo	28.1	cache操作相关寄存器。
TagHi	29.0	
DataHi	29.1	
Debug	23.0	EJTAG调试单元相关寄存器。
DEPC	24.0	
DESAVE	31.0	
WatchLo	18.0	数据观测点寄存器，当CPU对该地址进行访存时会触发异常。
WatchHi	19.0	
PerfCtl	25.0	性能计数器寄存器。
PerfCnt	25.1	
LLAddr	17.0	存放LL指令的地址。
HWREna	7.0	决定哪些硬件寄存器对用户特权程序可访问。

# Linux/MIPS虚拟地址空间安排

- IO空间?
  - X86规定了独立的IO空间，使用专门的in/out指令来访问
  - MIPS/ARM不区分IO空间和内存空间，使用同样的访存指令



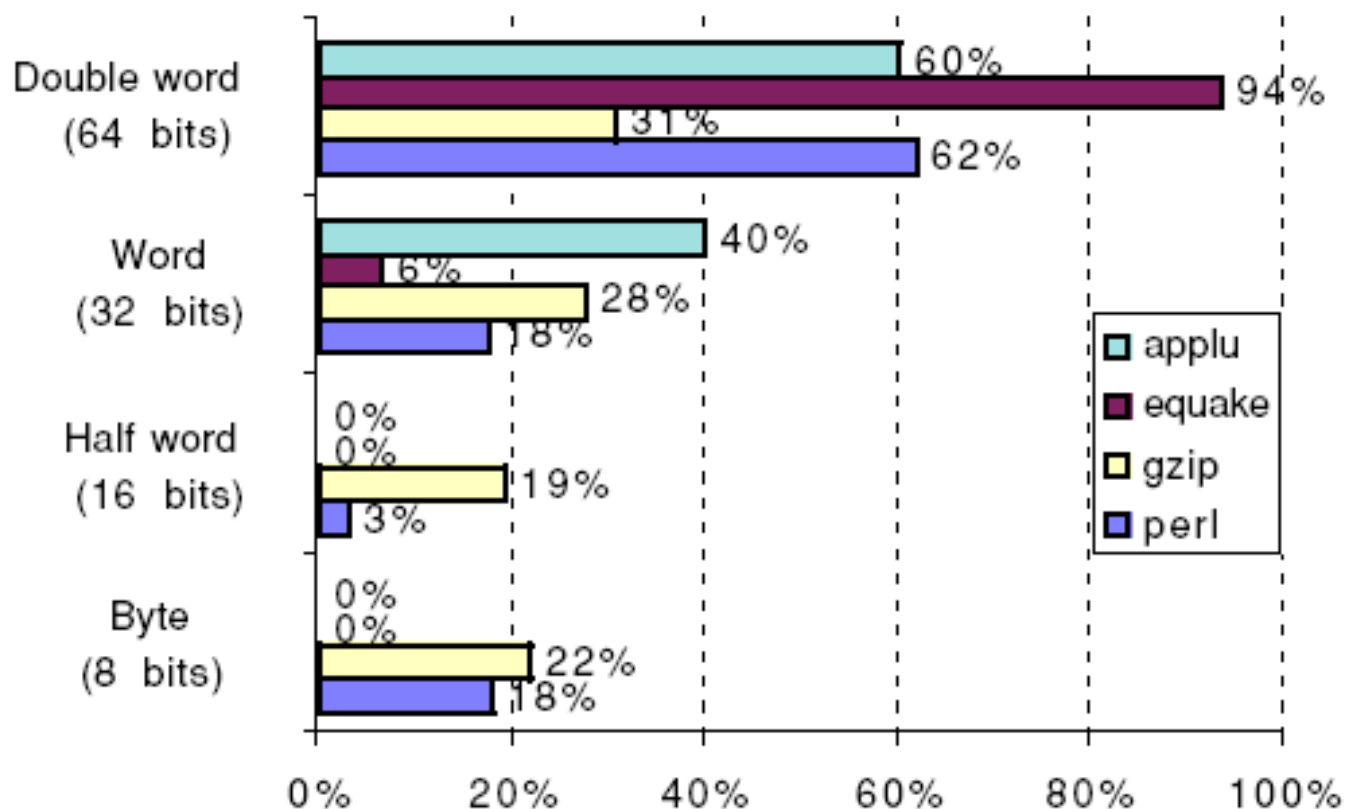
# 指令系统组成

## ---操作数的表示

# 数据类型和大小

- 类型：
  - 整数、实数、字符、十进制数
  - 字节、半字、字、双字
  - IEEE 754格式
- 类型的表示
  - 一般由操作码来区分不同类型
  - 专门的类型标志

# 数据类型的分布



**FIGURE 2.12** Distribution of data accesses by size for the benchmark programs. The double word data type is used for double-precision floating-point in floating-point programs and for addresses, since the computer uses 64-bit addresses. On a 32-bit address computer the 64-bit addresses would be replaced by 32-bit addresses, and so almost all double-word accesses in integer programs would become single word accesses.

# 访存对象

- 存储器按字节编址
  - 所有地址都是字节地址
  - 访问长度：字节、半字、字、双字
- 访存地址是否对齐（ Aligned vs. Misaligned ）
  - 地址对齐简化硬件设计：如字地址最低两位为0
  - 跨数据通路边界的访问可能需要访问两次RAM，跨Cache行和跨页
  - 如何支持不对齐访问（如串操作）
- 大尾端（Big Endian）和小尾端（Little Endian）
  - Little Endian地址指向一个字的最右字节
  - Big Endian 反之

# 寻址方式

寻址方式	格式	含义
Register	ADD R1, R2	$\text{regs}[\text{R1}] = \text{reg}[\text{R1}] + \text{reg}[\text{R2}]$
Immediate	ADD R1, #2	$\text{regs}[\text{R1}] = \text{reg}[\text{R1}] + 2$
Displacement	ADD R1, 100(R2)	$\text{regs}[\text{R1}] = \text{reg}[\text{R1}] + \text{mem}[100 + \text{reg}[\text{R2}]]$
Reg. Indirect	ADD R1, (R2)	$\text{regs}[\text{R1}] = \text{reg}[\text{R1}] + \text{mem}[\text{reg}[\text{R2}]]$
Indexed	ADD R1, (R2+R3)	$\text{regs}[\text{R1}] = \text{reg}[\text{R1}] + \text{mem}[\text{reg}[\text{R2}] + \text{reg}[\text{R3}]]$
Absolute	ADD R1, (100)	$\text{regs}[\text{R1}] = \text{reg}[\text{R1}] + \text{mem}[100]$
Mem. Indirect	ADD R1, @(R2)	$\text{regs}[\text{R1}] = \text{reg}[\text{R1}] + \text{mem}[\text{mem}[\text{reg}[\text{R2}]]]$
Autoincrement	ADD R1, (R2)+	$\text{regs}[\text{R1}] = \text{reg}[\text{R1}] + \text{mem}[\text{reg}[\text{R2}]],$ $\text{reg}[\text{R2}] = \text{reg}[\text{R2}] + d$
Autodecrement	ADD R1, -(R2)	$\text{reg}[\text{R2}] = \text{reg}[\text{R2}] - d,$ $\text{regs}[\text{R1}] = \text{reg}[\text{R1}] + \text{mem}[\text{reg}[\text{R2}]]$
Scaled	ADD R1, 100(R2)[R3]	$\text{regs}[\text{R1}] = \text{reg}[\text{R1}] +$ $\text{mem}[100 + \text{reg}[\text{R2}] + \text{reg}[\text{R3}] * d]$



# 常用寻址方式

- 三个程序在VAX机上的统计
  - 寄存器访问占一半，存储器访问占一半
  - 简单寻址方式占存储器访问的97%

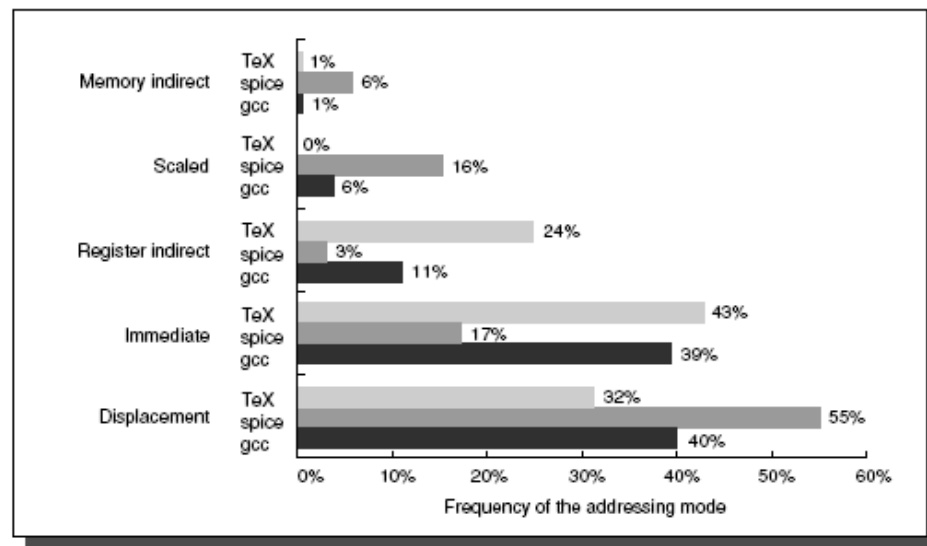
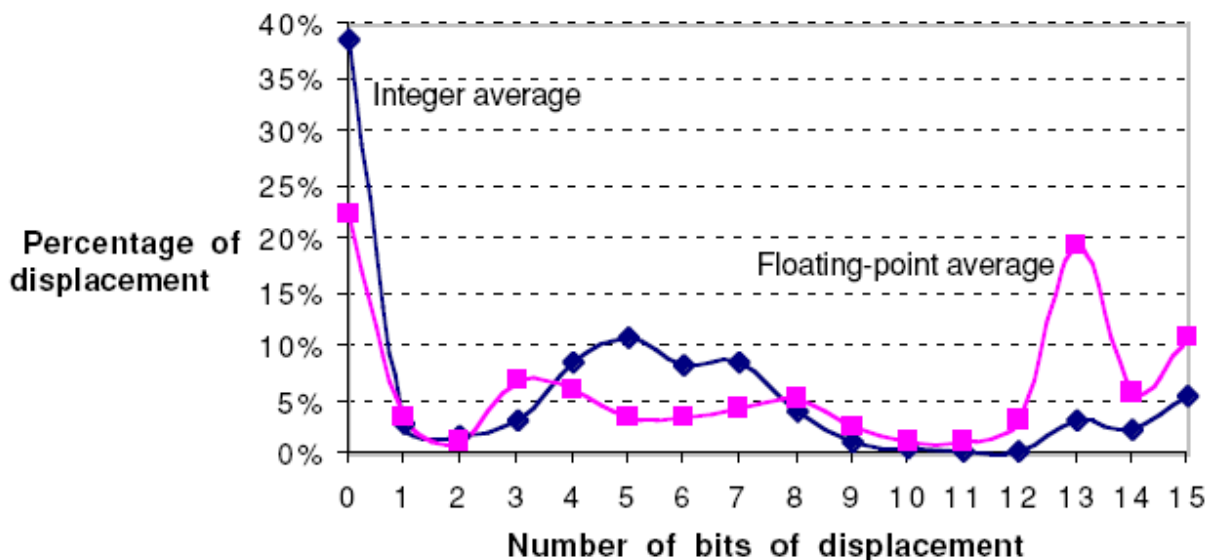


FIGURE 2.7 Summary of use of memory addressing modes (including immediates). These major addressing modes account for all but a few percent (0% to 3%) of the memory accesses. Register modes, which are not counted, account for one-half of the operand references, while memory addressing modes (including immediate) account for the other half. Of course, the compiler affects what addressing modes are used; see section 2.11. The memory indirect mode on the VAX can use displacement, autoincrement, or autodecrement to form the initial memory address; in these programs, almost all the memory indirect references use displacement mode as the base. Displacement mode includes all displacement lengths (8, 16, and 32 bit). The PC-relative addressing modes, used almost exclusively for branches, are not included. Only the addressing modes with an average frequency of over 1% are shown. The data are from a VAX using three SPEC89 programs.

# 偏移量值的分布

- SPEC CPU2000在Alpha结构（最大偏移为16位）上的统计
  - 小偏移和大偏移较多，大偏移（14位以上）多数为负数
  - 跟数据在内存中的分布有关



**FIGURE 2.8 Displacement values are widely distributed.** There are both a large number of small values and a fair number of large values. The wide distribution of displacement values is due to multiple storage areas for variables and different displacements to access them (see section 2.11) as well as the overall addressing scheme the compiler uses. The x axis is  $\log_2$  of the displacement; that is, the size of a field needed to represent the magnitude of the displacement. Zero on the x axis shows the percentage of displacements of value 0. The graph does not include the sign bit, which is heavily affected by the storage layout. Most displacements are positive, but a majority of the largest displacements (14+ bits) is negative. Since this data was collected on a computer with 16-bit displacements, it cannot tell us about longer displacements. These data were taken on the Alpha architecture with full optimization (see section 2.11) for SPEC CPU2000, showing the average of integer programs (CINT2000) and the average of floating-point programs (CFP2000).

# 立即数的比例

- SPEC CPU2000在Alpha结构上的统计
  - ALU操作定点1/4、浮点1/5需要立即数
  - Load操作有近1/4是取立即数（没有真正访存）
  - 平均定点1/5、浮点1/6的指令需要立即数

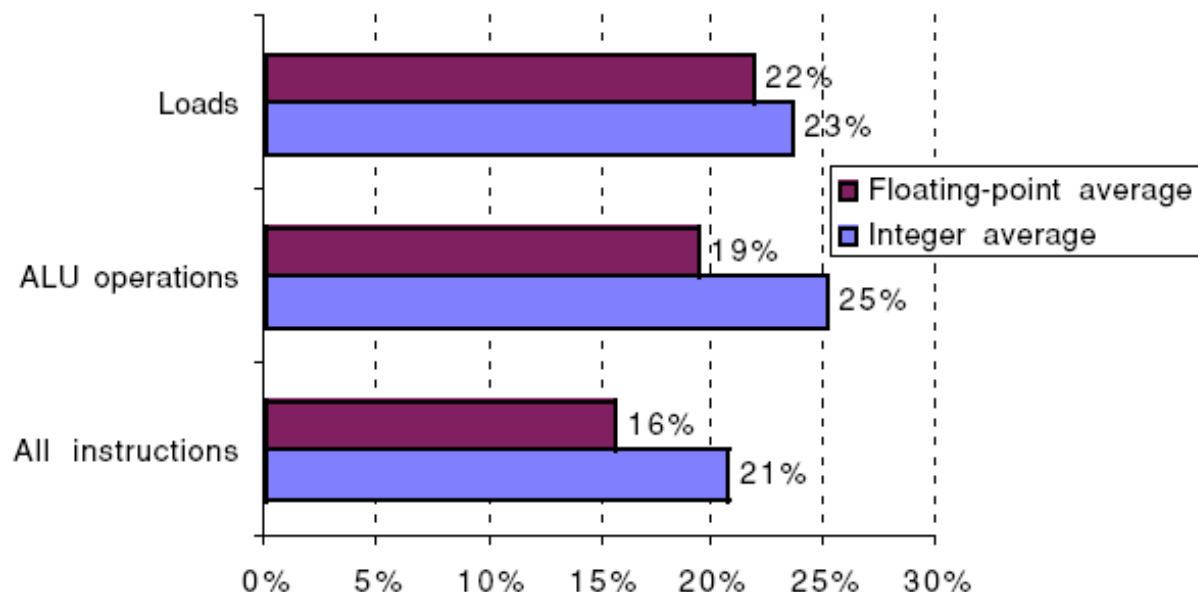
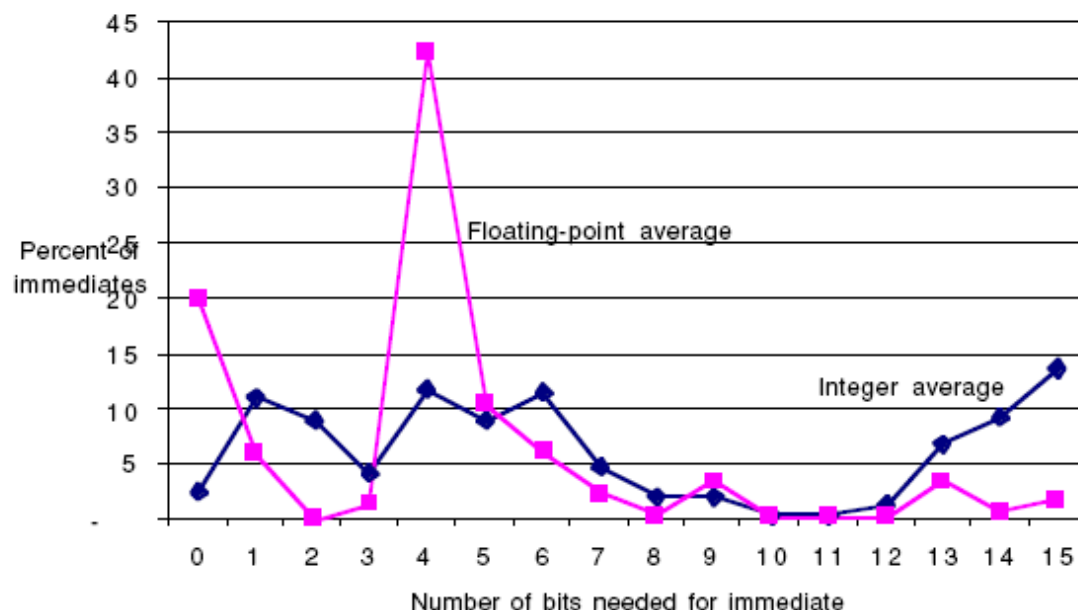


FIGURE 2.9 About one-quarter of data transfers and ALU operations have an immediate operand. The bottom bars show that integer programs use immediates in about one-fifth of the instructions, while floating-point programs use immediates in about one-sixth of the instructions. For loads, the load immediate instruction loads 16 bits into either half of a 32-bit register. Load immediates are not loads in a strict sense because they do not access memory. Occasionally a pair of load immediates is used to load a 32-bit constant, but this is rare. (For ALU operations, shifts by a constant amount are included as operations with immediate operands.) These measurements as in Figure 2.8.

# 立即数值的分布

- SPEC CPU2000在Alpha结构上的统计
  - CINT2000中20%、CFP2000中30%的立即数是负的
  - 在支持32位立即数的 VAX上统计表明，20%–30%立即数大于16位



**FIGURE 2.10** The distribution of immediate values. The x axis shows the number of bits needed to represent the magnitude of an immediate value—0 means the immediate field value was 0. The majority of the immediate values are positive. About 20% were negative for CINT2000 and about 30% were negative for CFP2000. These measurements were taken on a Alpha, where the maximum immediate is 16 bits, for the same programs as in Figure 2.8. A similar measurement on the VAX, which supported 32-bit immediates, showed that about 20% to 25% of immediates were longer than 16 bits.

# 寻址方式小结

- 至少支持以下寻址方式
  - Register
  - Immediate
  - Displacement
  - Register indirect
- 指令中常数位数
  - 地址偏移量位数12-16位
  - 立即数位数8-16位

# 从上述分析可以看出

- 简单操作和简单寻址方式用得最多
  - 10种简单操作指令占96%
  - 寄存器，立即数，偏移寻址，寄存器间接寻址四种寻址方式
- 简单指令便于高效实现和使用
  - load-store结构简化硬件设计，提高主频
  - 定长简化译码
  - 符合编译器“常用的做得快，少用的只要对”的原则
- 硬件优化应充分考虑兼容性
  - 流水、多发射不改变指令系统
  - 流水、多发射技术在load-store指令系统上容易实现
- 上述原因呼唤RISC系统结构
  - 简单是最复杂的创新

# 一个“典型”的RISC

- 32位定长指令
- 32个32位通用寄存器
- 三寄存器操作数运算指令
- Load-Store指令，基址+偏移量寻址方式
- 简单转移条件

# MIPS指令格式

R-type	OP(6)	RS1(5)	RS2(5)	RD(5)	SA(5)	OPX(6)
--------	-------	--------	--------	-------	-------	--------

I-type	OP(6)	RS(5)	RD(5)	Immediate
--------	-------	-------	-------	-----------

J-type	OP(6)	target
--------	-------	--------



# MIPS指令类型

- 访存指令（包括定点和浮点）
- 运算指令（包括定点和浮点）
- 比较和转移指令（包括定点和浮点）
- 系统管理指令
  - TLB、CACHE、例外处理
  - TRAP、Breakpoint

# RISC发展历史

# RISC发展过程（1）

- 1964年CDC公司推出的CDC 6600是第一台超级计算机，具备了RISC的一些基本特征
  - CDC 6600的设计者认识到为了实现有效的流水技术，需要简化体系结构：Load-Store 结构
  - 记分板（Score-Boarding）动态流水线调度
  - 乱序执行（Out-of-Order）技术
- 1976年的Cray-1向量机使用了与CDC 6600类似想法
  - Cray是CDC 6600的主要设计者之一
- 上述简化结构以高效实现的想法在60-70年代没有受到小型机和微处理器设计者的重视

# RISC发展过程（2）

- 1968年John Cocke在IBM的San Jose研究中心开始ASC（Advanced Scientific Computer）项目的研究
  - 基本思想是让编译器做更多的指令调度以减少硬件复杂度
  - 还提出了每个周期发射多条指令的思想
  - ASC计划后来被取消，Cocke在1971年到Future System
- 1975年Cocke到IBM的Yorktown研究中心开始研制IBM 801，801是最早开始设计的RISC处理器
  - Cocke获得了Eckert-Mauchly和Turing奖
  - 801是PowerPC的前身
- 比801稍晚开始的有Patterson在Berkeley的RISC-I及RISC-II与Hennessy在Standford的MIPS项目
  - 这两个大学的研究生曾参与801项目的研究，后来返回大学
  - RISC-II是SPARC的前身，MIPS项目是MIPS处理器前身

# RISC发展过程（3）

- 801的项目经理Joel Birnbaum到HP创立了PA-RISC
- DEC在推出Alpha之前曾经使用MIPS处理器三年
- 从上述发展过程不难解释刚开始时五个RISC处理器的相似性
- 后来每个RISC处理器有了不同的发展
  - 如Alpha的指令简单，容易高主频实现，“a speed demon”
  - PowerPC指令功能强，灵活，架构上追求ILP，“a brainiac”
- 最近Berkeley推出的RISC-V
  - Berkeley在RISC-I/II演变成SPARC后又发展了SOAR、SPUR
  - RISC-V是Berkeley的第五代指令系统，V还代表Victory
- 现代X86处理器内部的核心也是RISC结构

# RISC指令系统的发展

	<b>MIPS</b>	<b>ALPHA</b>	<b>PA-RISC</b>	<b>SPARC</b>	<b>PowerPC</b>
<b>1986</b>	<b>MIPS I</b>		<b>PA-RISC 1.0</b>		<b>RT/PC</b>
<b>1987</b>				<b>SPARC v8</b>	
<b>1988</b>					
<b>1989</b>	<b>MIPS II</b>				
<b>1990</b>			<b>PA-RISC 1.1</b>		<b>Power 1</b>
<b>1991</b>					
<b>1992</b>	<b>MIPS III (64b)</b>	<b>Alpha (64b)</b>			
<b>1993</b>					<b>Power 2&amp; Power PC</b>
<b>1994</b>	<b>MIPS IV (64b)</b>			<b>SPARC v9 (64b)</b>	
<b>1995</b>					<b>Power PC (64b)</b>
<b>1996</b>			<b>PA-RISC 2.0 (64b)</b>		

# 常见RISC指令系统的比较

# 常见RISC指令系统比较

- 通过比较常见RISC处理器的指令加深对RISC的了解
  - MIPS、PA-RISC、PowerPC、SPARC
- 通过以下方面进行比较
  - 指令格式
  - 寻址方式
  - 指令功能



# 指令格式比较

Reg-Reg	MIPS	OP(6)	RS1(5)	RS2(5)	RD(5)	SA(5)	OPX(6)	
	PowerPC	OP(6)	RD(5)	RS1(5)	RS2(5)	OPX(11)		
	PA-RISC	OP(6)	RS1(5)	RS2(5)	OPX(11)		RD(5)	
	SPARC	OP(2)	RD(5)	OPX(6)	RS1(5)	0	OPX(8)	RS2(5)
Reg-Imm	MIPS	OP(6)	RS1(5)	RS2(5)	Const(16)			
	PowerPC	OP(6)	RD(5)	RS1(5)	Const(16)			
	PA-RISC	OP(6)	RS1(5)	RS2(5)	OPX(6)	Const(11)		
	SPARC	OP(2)	RD(5)	OPX(6)	RS1(5)	1	Const(13)	
Branch	MIPS	OP(6)	RS1(5)	OPX/RS2	Const(16)			
	PowerPC	OP(6)	OPX(5)	RS1(5)	Const(14)		OPX	
	PA-RISC	OP(6)	RS1(5)	RS2(5)	OPX(3)	Const(11)		0 C
	SPARC	OP(2)	OPX(11)		Const(19)			
Jump/Call	MIPS	OP(6)	Const(26)					
	PowerPC	OP(6)	Const(24)				OPX	
	PA-RISC	OP(6)	RS1(5)	RS2(5)	Const(14)		0 C	
	SPARC	OP(2)	Const(30)					65

# 寻址方式比较

寻址方式	MIPS IV	PA-RISC 1.0	PowerPC	SPARC v9
Register	✓	✓	✓	✓
Imm.	✓	✓	✓	✓
Disp. (reg+offser)	✓	✓	✓	✓
Indexed(reg+reg)	✓ (FP)	✓	✓	✓
Scaled(reg+scaled reg)		✓		
(reg+offset+update reg)		✓	✓	
(reg+reg+update reg)		✓	✓	

# 指令功能比较

- 所有RISC处理器都有一些公共指令
  - load/store指令
  - 算术运算及逻辑指令
  - 控制流指令
  - 系统管理指令
- 不同处理器在发展过程中形成的特色举例
  - MIPS的非对齐访问
  - SPARC的寄存器窗口
  - PowerPC的Link和Count寄存器
  - HP的Nullification
  - .....

# Load/Store指令

- 对任何GPR和FPR进行存取操作
  - 通常R0总是为0
- MIPS的例子

OpCode	Description
<b>LB</b>	Load Byte
<b>LBU</b>	Load Byte Unsigned
<b>LH</b>	Load Halfword
<b>LHU</b>	Load Halfword Unsigned
<b>LW</b>	Load Word
<b>LWL</b>	Load Word Left
<b>LWR</b>	Load Word Right
<b>SB</b>	Store Byte
<b>SH</b>	Store Halfword
<b>SW</b>	Store Word
<b>SWL</b>	Store Word Left
<b>SWR</b>	Store Word Right

# ALU指令

- 所有ALU指令都是寄存器型的
- ALU的常见操作有加、减、与、或、异或、移位、比较，乘除法在专门的部件进行
- MIPS的例子

OpCode	Description	OpCode	Description	OpCode	Description
<b>ADDI</b>	Add Immediate	<b>ADD</b>	Add	<b>MULT</b>	Multiply
<b>ADDIU</b>	Add Immediate Unsigned	<b>ADDU</b>	Add Unsigned	<b>MULTU</b>	Multiply Unsigned
<b>SLTI</b>	Set on Less Than Immediate	<b>SUB</b>	Subtract	<b>DIV</b>	Divide
<b>SLTIU</b>	Set on Less Than Immediate Unsigned	<b>SUBU</b>	Subtract Unsigned	<b>DIVU</b>	Divide Unsigned
<b>ANDI</b>	AND Immediate	<b>SLT</b>	Set on Less Than	<b>MFHI</b>	Move From HI
<b>ORI</b>	OR Immediate	<b>SLTU</b>	Set on Less Than Unsigned	<b>MTHI</b>	Move To HI
<b>XORI</b>	Exclusive OR Immediate	<b>AND</b>	AND	<b>MFLO</b>	Move From LO
<b>LUI</b>	Load Upper Immediate	<b>OR</b>	OR	<b>MTLO</b>	Move To LO
		<b>XOR</b>	Exclusive OR		
		<b>NOR</b>	NOR		

# 控制流指令

- 绝对跳转 jump和相对转移branch
- MIPS的例子

OpCode	Description
<b>J</b>	Jump
<b>JAL</b>	Jump And Link
<b>JR</b>	Jump Register
<b>JALR</b>	Jump And Link Register
<b>BEQ(L)</b>	Branch on Equal (Likely)
<b>BNE</b>	Branch on Not Equal
<b>BLEZ</b>	Branch on Less Than or Equal to Zero
<b>BGTZ</b>	Branch on Greater Than Zero
<b>BLTZ</b>	Branch on Less Than Zero
<b>BGEZ</b>	Branch on Greater Than or Equal to Zero
<b>BLTZAL</b>	Branch on Less Than Zero And Link
<b>BGEZAL</b>	Branch on Greater Than or Equal to Zero And Link

# 条件转移的条件判断

- SPARC v8使用4位条件码(CC)，该条件码在程序状态字中
  - 整数运算指令设置CC，条件转移指令检测CC
  - 浮点运算有另外两位CC
  - v9为了支持64位运算增加了4位整数CC，3位浮点CC
- MIPS直接比较寄存器内容判断是否转移
  - MIPS III浮点部件有一位条件码，记录cmp指令的结果
  - MIPS IV有多位浮点条件码
- PowerPC有4位CC，一个条件寄存器中有8份4位CC
  - 整数和浮点运算各1位，其它用于比较指令。
  - Branch指令需指定根据哪一位进行转移
  - 运算指令中有一位指定该指令是否影响CC
- PA-RISC有多种选择，最常用的是比较两个寄存器的值并根据结果决定是否转移

# 系统管理指令

- 原子操作指令
- 存储管理指令
- 例外管理指令
- 共享存储同步指令
- 等等



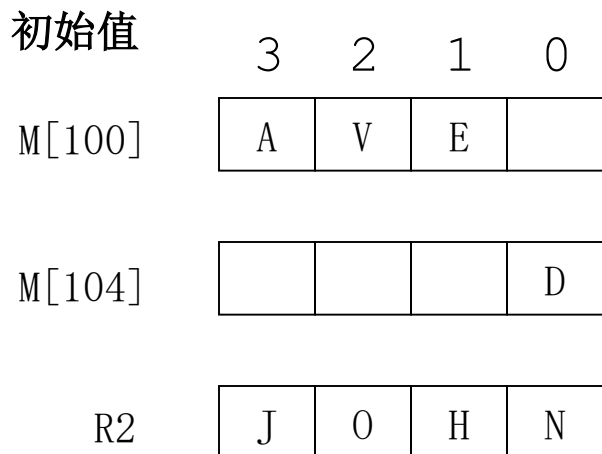
# 原子操作指令

- 以MIPS的LL和SC指令 为例
  - LL (Load Linked) 取数且置系统中LLbit为1
  - LL为1时，处理器检查相应单元是否被修改，如果其它处理器或设备访问了相应单元或执行了ERET操作，LLbit置为0
  - 执行SC (Store Conditional) 时若LLbit为1，则成功，目标寄存器为1；否则存数不成功，目标寄存器为0

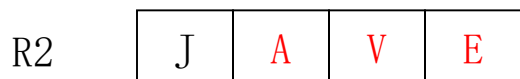
```
L1:  LL      R1, (R3)
      ADD     R2, R1, 1
      SC      R2, (R3)
      BEQ     R2, 0, L1
      NOP
```

# MIPS特色—非对齐访存指令

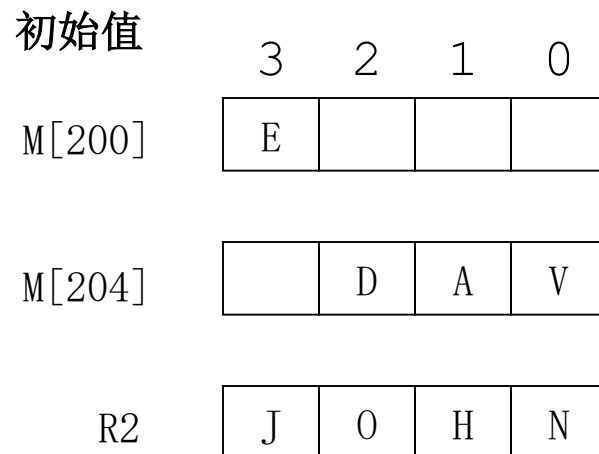
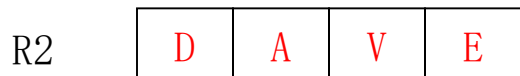
- 边界不对齐的数据传送（小尾端）



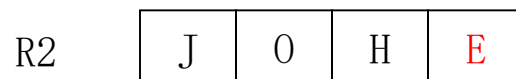
执行“LWR R2, 0x101”后



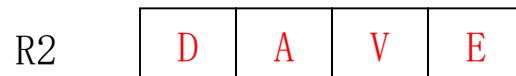
执行“LWL R2, 0x104”后



执行“LWR R2, 0x203”后



执行“LWL R2, 0x206”后



# LWL/LWR指令举例

- 如果没有它们, 取一个不对齐的字需要10条指令
  - 包括4个load/store并需要一个临时寄存器:

```
lbu  rt,3(base)
```

```
sll  rt,rt,24
```

```
lbu  rtmp,2(base)
```

```
sll  rtmp,rtmp,16
```

```
or   rt,rt,rtmp
```

```
lbu  rtmp,1(base)
```

```
sll  rtmp,rtmp,8
```

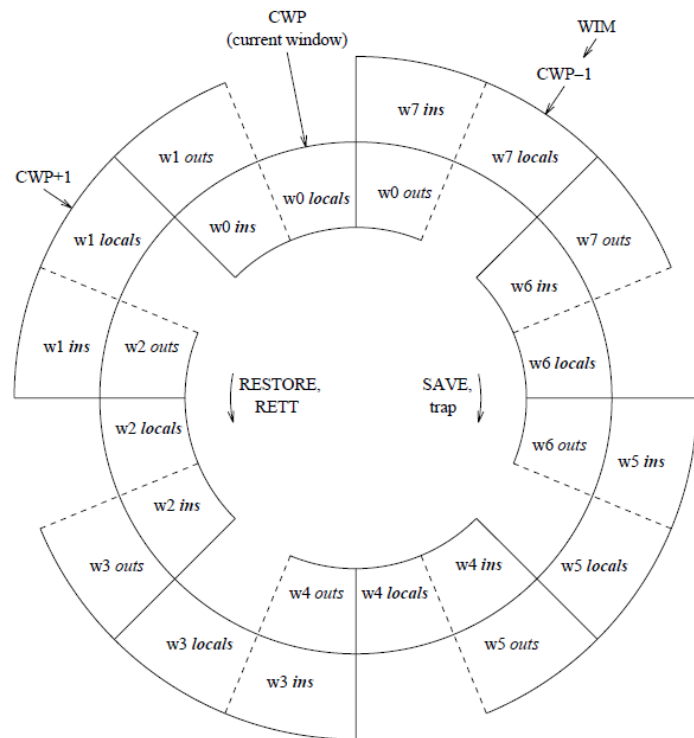
```
or   rt,rt,rtmp
```

```
lbu  rtmp,rtmp,0(base)
```

```
or   rt,rt,rtmp
```

# SPARC特色一寄存器窗口

- 2-32个寄存器窗口，用于不同过程
  - 8个全局寄存器用于存放全局变量
  - 24个局部寄存器
    - 8个输入参数，8个局部变量，8个输出参数
  - 过程调用和退出不用把现场保留到存储器
- SAVE和RESTORE指令
  - SAVE: 功能同ADD，源寄存器来自调用过程(caller)，目标寄存器来自被调用过程(callee)，该指令自动修改寄存器窗口指针CWP--
  - RESTORE: 功能同ADD，源寄存器来自被调用过程(callee)，目标寄存器来自调用过程(caller)，该指令自动修改寄存器窗口指针CWP++
- AMD AM29000的局部寄存器窗口大小可变，全局寄存器64个



# PowerPC特色—Link和Count寄存器

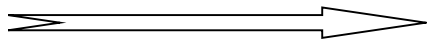
- Link寄存器用于保存返回地址，实现快速过程调用
- Count寄存器用于循环计数，每次自动递减
- 这两个寄存器还可以放转移地址
- PowerPC不用Delay Slot
- 其它特色
  - Load和Store指令同时存取多个寄存器（多达32个）
  - Load和Store字符串（变长或定长、对齐或不对齐）

# PA-RISC的Nullification

- 根据当前指令执行结果确定下一条指令是否执行
  - 所有的转移指令和多数算术指令可用
  - 如ADDB (Add and branch) 指令在完成加法后, 检查加法结果是否满足条件, 如果不满足就转移。同时判断下一条指令 (延迟槽) 是否执行
  - 可以消除一些简单的转移指令

if (a>b) s=a;

else s=b;



ADD	%r1, %r0, %r3 // r3 = r1(a)
SUB, *>	%r1, %r2, %r0 // r1(a) - r2(b)
ADD	%r2, %r0, %r3 // r3 = r2(b)

- 其它指令系统有条件移数指令如 “CMOV”
- 后来演化为IA64的谓词技术
  - 运算指令通过64个谓词寄存器决定结果是否保存

# Alpha和PowerPC指令功能举例

源代码: `for (k=0; k<512; k++) x[k] = r * x[k] + t * y[k];`

PowerPC代码	Alpha代码
<p>r3+8指向x r4+8指向y fp1内容为t fp3内容为r CTR内容为512 LOOP:</p> <pre> LFU    fp0=y(r4=r4+8)  //FP load with update FMUL   fp0=fp0, fp1     //FP multiply LF      fp2=x(r3, 8)     //FP load FMADD  fp0=fp0, fp2, fp3 //FP multiply-add STFU   x(r3=r3+8)=fp0   //FP load with update BC      LOOP, CTR&gt;0     //decrement CTR, branch if&gt;0 </pre>	<p>r1指向x r2指向y, r6指向y的末尾 fp2内容为t fp4内容为r LOOP:</p> <pre> LDT     fp3=y(r2, 0) LDT     fp1=x(r1, 0) MULT    fp3=fp3, fp2 // t*y ADDQ    r2=r2, 8 MULT    fp1=fp1, fp4 // r*x SUBQ    r4=r2, r6 ADDT    fp1=fp3, fp1 //t*y+r*x STT     x(r1, 0)=fp1 ADDQ    r1=r1, 8 BNE     r4, LOOP </pre>

# Alpha和PowerPC比较

- 从这个例子可以看出
  - PowerPC的load-with-update和store-with-update指令适合于数组运算，Alpha没有寄存器加寄存器的寻址方式，指向数组的指针每次分别递增
  - 在Alpha中，循环次数由指针实现，在PowerPC中，有CTR专门用于保存循环次数
  - PowerPC只需两条浮点指令：乘及乘加
  - Alpha需要10条指令，比PowerPC多4条
  - Alpha指令简单容易高效实现，主频也高



# RISC指令系统小结

	PA-RISC			SPARC		MIPS				Power		
	1.0	1.1	2.0	v8	v9	I	II	III	IV	1	2	PC
Interlocked loads	✓	✓	✓	✓	✓		✓	✓	✓	✓	✓	✓
Load/store FP double	✓	✓	✓	✓	✓		✓	✓	✓	✓	✓	✓
Semaphore	✓	✓	✓	✓	✓		✓	✓	✓	✓	✓	✓
Square root	✓	✓	✓	✓	✓		✓	✓	✓		✓	✓
Single-precision FP ops	✓	✓	✓	✓	✓	✓	✓	✓	✓			✓
Memory synchronization	✓	✓	✓	✓	✓		✓	✓	✓	✓	✓	✓
Coprocessor	✓	✓	✓	✓		✓	✓	✓	✓			
Base+index addressing	✓	✓	✓	✓	✓				✓	✓	✓	✓
32 64-bit FP registers		✓	✓		✓			✓	✓	✓	✓	✓
Annulling delayed branch	✓	✓	✓	✓	✓		✓	✓	✓			
Branch register contents	✓	✓	✓		✓	✓	✓	✓	✓			
Big or little Endian		✓	✓		✓	✓	✓	✓	✓			✓
Branch prediction bit					✓		✓	✓	✓	✓	✓	✓
Conditional move					✓				✓	✓	✓	
Prefetch data into cache			✓		✓				✓	✓	✓	✓
64-bit addressing/int. op			✓		✓			✓	✓			✓
32-bit multiply, divide		✓	✓		✓	✓	✓	✓	✓	✓	✓	✓
Load/store FP quad					✓						✓	
Fused FP mul/add			✓						✓	✓	✓	✓
String instruction	✓	✓	✓							✓	✓	

- 对于一个程序在上述四种RISC结构上的执行，平均90%以上的指令为四个指令系统共有的

龙芯自主指令系统LoongArch

# 指令系统是信息产业绕不过去的话题

- 我国不可能基于国外指令系统建设自主信息产业生态
  - 中国人可以用英文写文章，但不可能用英文发展民族文化
  - 做跟班可以，想超过不行（华为超过思科、龙芯超过MIPS）：丫鬟拿一辈子钥匙还是丫鬟
  - 克服奴才心态，自主CPU之间不能靠比谁的美国“主子”发展得好来论英雄
- 自主与兼容指令系统的长期（>15年）争论
  - 兼容的好处：软件生态，直接利用X86和ARM的现成生态
  - 兼容的弊端：受制于人，X86不授权，ARM严格授权，阻碍自主基础软件的发展
- 能不能做到既自主又兼容？

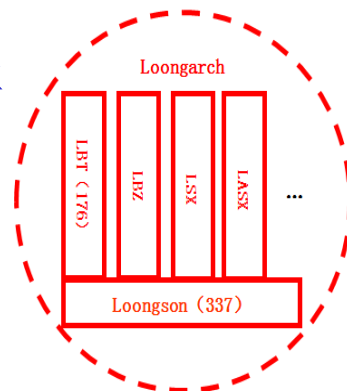
# 指令系统既自主又兼容需要2+3+3+2能力

- 基础软件（BIOS、内核、编译器/汇编器）
  - BIOS（PMON/UEFI）、内核（含图形系统及虚拟机）：工作量不大
- 静态编译器
  - 汇编器及编译器（GCC、LLVM、GOLANG）：工作量可控
  - 整个操作系统重新迁移和编译工作量不大
- 动态翻译虚拟机（Java、JavaScript、.NET）
  - Java、JavaScript、.NET：均由龙芯完成迁移
  - Java、JS、.NET应用不用改，可以直接跑
- 二进制翻译（X86、ARM）
  - 在Android上直接运行 ARM应用，运行Windows及其应用
  - Qemu都可以实现，关键是提高运行效率（跨指令系统一般不到10%）

# Loongarch特点和格式

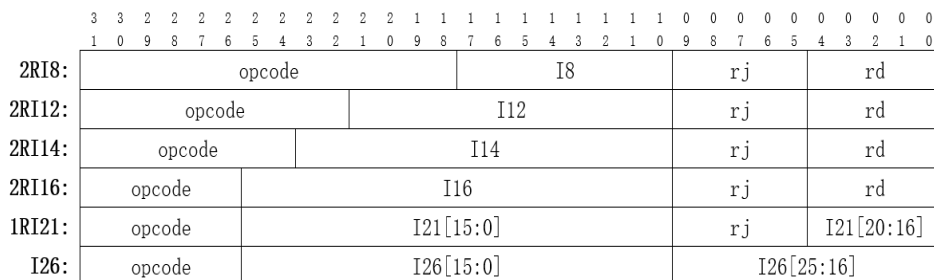
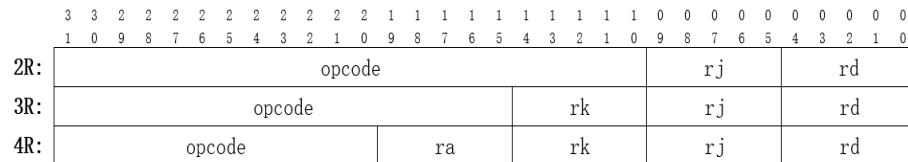
## Loongarch特点

- **先进性**：吸收近年来指令集发展的先进技术成果，**提高代码效率**
- **兼容性**：融合X86、ARM等的主要特点，**高效支持二进制翻译**
- **模块化**：基础部分、二进制翻译、虚拟化、向量化
- **扩展性**：指令槽留有余地，利于今后的持续演进



## Loongarch格式：尽量满足部分长立即数指令要求，节省指令槽

- MIPS只有3种格式，立即数均为16位
- Loongarch有9种格式，多种立即数



R-type  
I-type  
J-type

OP (6)	RS1 (5)	RS2 (5)	RD (5)	SA (5)	OPX (6)
OP (6)	RS (5)	RD (5)	Immediate		
OP (6)	target				

# Loongarch先进性

- 用户态提升指令易用性与执行效率
  - “典型” RISC： 32位定长指令、32个通用寄存器、32个浮点/向量寄存器
  - 取消转移指令延迟槽，新增将PC作为源操作数的运算指令，增加相对转移偏移量……
- 核心态更适合现代操作系统

	MIPS	Loongarch
运行模式	用户态、监管态、核心态三级	PLV0~PLV3四级
计时系统	计时频率随处理器核频率变化	计时频率恒定
例外/中断	27种例外，多个例外共用入口 用EXL、ERL寄存器辅助处理嵌套例外	25种例外，每个例外独立入口 用PPLV、PIE和scratch寄存器辅助处理嵌套例外
内存管理	寻址空间固定分段，且与允许的运行模式、虚实映射规则紧密相关	单一平整（flat）寻址空间，支持所有空间均用页表映射
控制寄存	最多 $2^8$ 个，不支持域的原子修改	最多 $2^{14}$ 个，支持域的原子修改

# Loongarch大幅提高性能

- 动态指令数减少15-20%
- Loongarch vs. MIPS
  - 完全相同的微结构
  - FPGA 20MHz
  - SPEC CPU2000 train运行时间
  - 波动较大程序测2-3遍
- GCC-8.3.0
  - Loongarch  
-O3 -mabi=lp64 -march=loongarch
  - MIPS  
-O3 -mabi=64 -march=gs464v

Benchmark	MIPS	LA	MIPS/LA
164. gzip	2063. 2	1695. 12	122%
300. twolf	691. 19	549. 02	126%
255. vortex	416. 09	437. 47	95%
176. gcc	156. 41	161. 53	97%
253. perlbnk	1013. 64	922. 59	110%
253. perlbnk	1032. 3	634. 3	163%
253. perlbnk	613. 03	618. 58	99%
186. crafty	765. 86	760. 54	101%
256. bzip2	1292. 24	1413. 84	91%
252. eon	38. 21	32. 09	119%
252. eon	53. 79	46. 07	117%
252. eon	206. 73	179. 09	115%
197. parser	393. 81	354. 22	111%
181. mcf	1474. 54	1553. 74	95%
175. vpr	574. 95	466. 35	123%
175. vpr	605. 53	502. 9	120%
254. gap	295. 02	300. 77	98%
Average	687. 44	625. 19	112%

# Loongarch的兼容性

- 融合X86、ARM、MIPS、RISC-V指令系统的主要功能
  - 定义专门产生EFLAG结果的运算类指令加速X86、ARM架构下独有的**EFLAG值模拟**
  - 设计浮点寄存器的栈访问模式加速X87浮点协处理器指令的模拟
  - 实现RISC-V中丰富的同步指令……
- 对高效率二进制翻译过程的支持
  - 调整TLB结构使其能够直接用于二进制翻译过程中的访存操作的**两级虚实地址映射**
  - 设计便签寄存器、专用插桩转移指令等加速翻译中边角情况的处理……
- **支持二进制翻译的硬件开销：**面积和延迟可以忽略不计
  - 通用CPU中80%面积在为运算器提供足够的数据和指令：多级Cache、转移猜测表、动态调度
  - 运算器中80%面积在浮点运算：二进制翻译硬件支持主要涉及定点和访存地址运算



# 例：X86二进制翻译举例

0		SUB	ECX	EDX		
1		JE	X86_target			

- EFLAG问题
  - X86通过EFLAG标志来表示运算结果并用于转移条件
  - MIPS没有EFLAG标志，需要40多条指令来模拟
  - 定义新的MIPS格式指令来产生EFLAG标志
  -

0.00		SUBU	Result	Recx	Redx	
0.01		SRL	Rst	Result	31	/*SF=Result[31]*/
0.02		BEQ	Result	R0	L1	
0.03		ADD	Rzf	R0	R0	/*ZF=0*/
0.04		B	L2			
0.05		NOP				
0.06	L1:	ADDI	Rzf	R0	1	/*ZF=1*/
0.07	L2:	SRL	Rtmp1	Result	31	
0.08		SRL	Rtmp2	Recx	31	
0.09		SRL	Rtmp3	Recx	31	
0.10		BEQ	Rtmp1	Rtmp3	L3	
0.11		NOP				
0.12		BEQ	Rtmp2	Rtmp3	L3	
0.13		NOP				
0.14		ADDI	Rof	R0	1	/*OF=1*/
0.15		B	L4			
0.16		NOP				
0.17	L3:	ADD	Rof	R0	R0	/*OF=0*/
0.18	L4:	SRL	Rhigh2	Recx	16	
0.19		SRL	Rhigh1	Recx	16	
0.20		SUBU	Rtmp	Rhigh2	Rhigh1	
0.21		BEQ	Rtmp	R0	L5	
0.22		NOP				
0.23		BLTZ	Rtmp		L7	
0.24		NOP				
0.25		B	L6			
0.26		NOP				
0.27	L5:	SLL	Rlow2	Recx	16	
0.28		SRL	Rlow2	Rlow2	16	
0.29		SLL	Rlow1	Recx	16	
0.30		SRL	Rlow1	Rlow1	16	
0.31		SUBU	Rtmp	Rlow2	Rlow1	
0.32		BLTZ	Rtmp		L7	
0.33		NOP				
0.34	L6:	ADD	Rcf	R0	R0	/*CF=0*/
0.35		B	L8			
0.36		NOP				
0.37	L7:	ADDI	Rcf	R0	1	/*CF=1*/
0.38	L8	ADD	Recx	Result	R0	
1.00		BNE	Rzf	R0	MIPS_target	
1.01		NOP				

0.0		SUB	Result	Recx	Redx	/*Generating Sub result*/
0.1		X86SUB	Reflag	Recx	Redx	/*Generating EFLAGS*/
1.0		X86JE	Reflag	MIPS_target		/*Branch on EFLAGS*/

# 例：访存地址翻译和加速

## X86指令

```
movl    0xc(%esi), %eax
```

## QEMU softmmu：翻译成MIPS后的快速路径（TLB命中的情况，共16条指令）

```
lw      s1, 24(s0)      # load %esi, s0是结构体CPUX86State的基地址，24是esi寄存器对
应的偏移。
addiu   s2, s1, 12      # 加偏移得到S2 = gva(guest虚拟地址)
ld      at, -32(s0)     # 开始访问软TLB，把gva翻译成host虚拟地址。取掩码
ld      t9, -24(s0)     # 软tlb表头
srl     t7, s2, 0x7     # gva对应的表偏移
and     t7, t7, at
daddu   t7, t7, t9
lwu     at, 0(t7)       # 取软TLB表项内容
li      t9, -4093
ld      t8, 16(t7)      # 软TLB存放gva和hva的偏移差值
and     t9, t9, s2
dext    a0, s2, 0x0, 0x20
bne     at, t9, not_hit # 是否命中
daddu   a0, t8, a0      # gva -> hva (放a0寄存器)
lw      s2, 0(a0)       # 取出0xc(%esi)的值
sw      s2, 0(s0)       # 存到%eax
```

不命中的情况下将保存上下文后调用一个QEMU函数完成处理，代价在几百条指令以上

## 使用硬件TLB加速后的翻译

```
setmem <guest mem id> #使用龙芯TLB扩展，给guest地址提供专门machine id空间，用前缀指令
和普通访存区分
lw      0xc(S5), S2     #X86的ESI/EAX分别映射到S5/S2寄存器，若不命中，例外处理用软件TLB
路径访问，更新TLB
```

# 正成为与X86/ARM并列的顶层开源生态系统

- 得到国际开源软件界广泛认可与支持
  - 向GNU组织申请到ELF Machine编号（258号），LA的“身份证”
  - Binutils、GCC、内核、GLIBC，LLVM、V8、图形系统等几十个OS核心模块并入国际开源社区，LA分支的维护者（Maintainer）均是龙芯公司员工，大幅提高了我国在上游开源社区的发言权
  - .NET虚拟机和ACPI国际标准“唯三”支持（X86、ARM、LA）
- 得到国内基础软件企业认可
  - 统信、麒麟操作系统“唯四”支持（X86、ARM、MIPS、LA）
  - 欧拉、龙蜥社区“唯三”支持（X86、ARM、LA）
  - WPS、微信、钉钉等基础软件“唯三/四”支持（X86、ARM、MIPS、LA）



# Binutils、GCC、内核、GLIBC.....

**From:** Nick Clifton <nicks-AT-redhat.com>  
**To:** binutils-AT-sourceware.org  
**Subject:** GNU Binutils 2.38 has been  
**Date:** Wed, 09 Feb 2022 13:29:  
**Message-ID:** <87h798182x.fsf\_10043\_

Hi Everyone,

We are pleased to announce that ve  
sources have been released and are

<https://ftp.gnu.org/gnu/binutils>  
<https://sourceware.org/pub/binutils>

The SHA256 checksums are as follows

```
070ec71cf077a6a580b959f05a09a35f description GNU Compiler Collection
6e54170356709d40f1cb781f86bb596f last change Tue, 29 Mar 2022 09:56:06 +
b3f1dc5b17e75328f19bd88250e2ee2ef URL
864d330b71f2b40120d96e68ebdd43a0f git://gcc.gnu.org/git/gcc.git
807ccfa77ccfc3e09b1f760cd73e1383 ssh://gcc.gnu.org/git/gcc.git
49ee3c3b5803dea2c15a3f4c8ad0da
e316477a14f567ec3c4d529785b8bd
41301d67da78d1ad6df04aef9e97beaf
```

This release contains numerous bug fixes and the following new features:

```

Assembler:
General:
    * Add support for the LoongArch64 architecture.

    * Add an option to control how the assembler handles
      the assembler. Using the option, you can specify
      such characters are encountered in the source file(s).

```

```
AArch64 and ARM:
* Add support for more system
* Add support for Scalable Ma
* Add support for Cortex-R52-
Cortex-X2, Cortex-A710 core
* Add support for 'v8.7-a',
'armv9.2-a' and 'armv9.3-a'
```

```
X86:
* Add a command-line option to
  unaligned vector move.
* Add support for Intel AVX512
* The outputs of .ds.x directives
  input have been reduced from
  output of .tfloat directives
```

```
Linker:
* Add support for the LoongArch
* Add -z pack-relative-relocs/
linker to pack relative reloca
```

[git://gcc.gnu.org / gcc.git /](https://git://gcc.gnu.org/gcc.git)

[summary](#) | [shortlog](#) | [log](#) | [commit](#) | [commit](#)

description	GNU Compiler Collection
last change	Tue, 29 Mar 2022 09:56:06 +0000
URL	<a href="https://gcc.gnu.org/git/gcc.git">git://gcc.gnu.org/git/gcc.git</a> <a href="https://gcc.gnu.org/git/gcc.git">ssh://gcc.gnu.org/git/gcc.git</a> <a href="https://gcc.gnu.org/git/gcc.git">https://gcc.gnu.org/git/gcc.git</a>

shortlog

[illegible]

\* Re: [PATCH V8 00/22] arm64: dts: qcom: sm8250: Add support for the Qualcomm SM8250 SoC  
2022-03-21 21:55

@ 2022-03-21 22:03

0 siblings, 0 replies;

From: Linus Torvalds @ 20

To: Arnd Bergmann

Cc: Huacai Chen, Andy L

Andrew Morton, Da

```
open list:DOCUMENT
```

Yanteng Si, Huaca

On Mon, Mar 21, 2022 at 2

>

- > I can prepare a pull request

> should be fixed first,

Thanks. No problem on 5.1

for this merge window alr

## Linus

[git://sourceware.org](https://sourceware.org) / [glibc.git](https://sourceware.org/git) / blobdiff

[summary](#) | [shortlog](#) | [log](#) | [commit](#) | [commitdiff](#) | [tree](#)  
[raw](#) | [inline](#) | [side by side](#)

**LoongArch: Update NEWS and README for the LoongArch port.**

[\[glibc.git\]](#) / [NEWS](#)

```
diff --git a/NEWS b/NEWS
```

index 8420a65cd06874ee09518366b8fba746a557212a..5827b206d9ff8720cc36591cd8e17c83c5d56495 100644

--- a/NEWS

+++ b/NEWS

@@ -64,6 +64,14 @@ Major new features:

added. The functions use a pseudo-random number generator along with entropy from the kernel.

```
+* Support for LoongArch running on Linux has been added. This port requires
+ as least binutils 2.38, GCC 12, and Linux 5.19. Currently only hard-float
+ ABI is supported:
```

```
+
+ - loongarch64-linux-gnu
+
+ The LoongArch ABI is 64-bit little-endian.
```

# 完成LoongArch基础软件体系建设

- 原生支持Linux全部主流基础软件和应用环境
  - 在Linux平台上，X86、ARM有的，龙芯也有
  - 但Linux只在服务器上取得成功：服务器的用户是开发者、桌面的用户是使用者
- Linux的桌面生态与Windows、IOS、Android有很大差距
  - 龙芯的终端类软件生态正在超过X86和ARM：从比“烂”到比“好”



# LoongArch软件生态建设思路

- 夯实基础

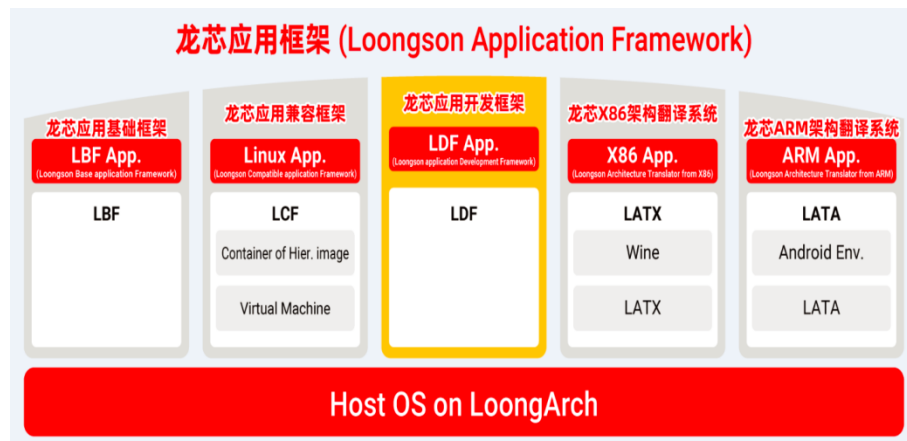
- **LBF**: 规范硬件兼容性, 通过统一系统架构实现操作系统**跨硬件兼容**
- **LCF**: 克服Linux平台软件发散的缺点, 实现Linux系统不同分支和版本的**应用兼容**

- 广泛兼容

- **LATX**: 通过高效二进制翻译, 在龙芯平台上**运行X86/Linux及X86/Windows应用** (不运行Windows)
- **LATA**: 通过高效二进制翻译, 在龙芯平台上**运行ARM/Android应用**

- 自主应用

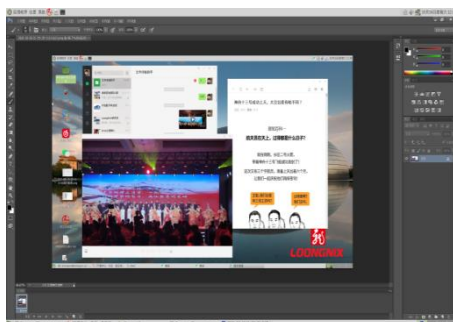
- **LDF**: 最后形成**自主编程语言和编程框架**, 手机APP有安卓版和苹果版, 电脑应用有Windows版和龙芯版
- **开发自主基础应用**: 龙芯浏览器 (IE兼容)、龙芯打印机驱动、龙芯GIS显控、VxWorks图形系统.....



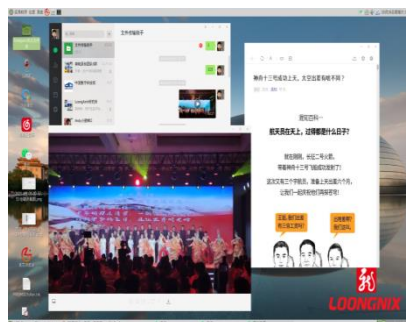


# 二进制翻译取得积极进展

- 在龙芯平台上运行X86/Windows应用



Photoshop



Windows版微信



植物大战僵尸



血腥大地

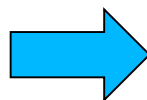
- IE兼容的龙芯浏览器



MediaPlayer等插件不支持



ActiveX插件不支持



龙芯浏览器兼容IE Active插件应用的运行示例

# 作业