



Intel® Cyclone® 10 GX 器件系列管脚连接指南

本翻译版本仅供参考，如果本翻译版本与其英文版本存在差异，则以英文版本为准。某些翻译版本尚未更新对应到最新的英文版本，请参考[英文版本](#)以获取最新信息。



在线版本

发送反馈

PCG-01022

ID: 683417

版本: 2017.11.06

内容

| | |
|---|----------|
| Intel® Cyclone® 10 GX 器件系列管脚连接指南 | 3 |
| Intel® Cyclone® 10 GX 管脚连接指南 | 4 |
| 时钟和 PLL 管脚..... | 4 |
| 专用配置/JTAG 管脚..... | 5 |
| 可选的/复用配置管脚..... | 7 |
| 差分 I/O 管脚..... | 8 |
| 外部存储器接口管脚..... | 9 |
| 电压传感器管脚..... | 10 |
| 参考管脚..... | 11 |
| 电源管脚..... | 11 |
| 收发器管脚..... | 14 |
| Intel Cyclone 10 GX 管脚连接指南的注释..... | 17 |
| Intel Cyclone 10 GX 器件的电源共享指南..... | 18 |
| 实例 1— Intel Cyclone 10 GX | 18 |
| 实例 2— Intel Cyclone 10 GX | 20 |
| Intel Cyclone 10 GX 器件系列管脚连接指南的文件修订历史..... | 22 |

Intel® Cyclone® 10 GX 器件系列管脚连接指南

Disclaimer

© 2017 Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Megacore, NIOS, Quartus Prime and Stratix words and logos are trademarks of Intel Corporation in the US and/or other countries. Other marks and brands may be claimed as the property of others. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

These pin connection guidelines, and your use thereof, are subject to and governed by Intel's terms and conditions below. By using these pin connection guidelines, you indicate your acceptance of all such terms and conditions. If you do not agree with such terms and conditions, you may not use the pin connection guidelines, and you are required to promptly and irrevocably destroy the pin connection guidelines and any copies or portions thereof in your possession or under your control.

Terms and Conditions:

1. These pin connection guidelines are provided as examples only, and should not be deemed to be technical specifications or recommendations. The use of the pin connection guidelines for any particular design should be verified for device operation with the applicable datasheet and Intel.
2. Subject to these terms and conditions, Intel grants to you the use of these pin connection guidelines as examples of possible pin connections of an Intel programmable logic device-based design. You may not use these pin connection guidelines for any other purpose except as expressly permitted in these terms and conditions. Intel does not recommend, suggest, or require that these pin connection guidelines be used in conjunction or combination with any other software or product, and makes no representations, warranties or guaranties, implied or express as well as any warranties arising from course of performance, course of dealing, or usage in trade including but not limited to the accuracy, completeness or genuineness thereof.
3. Intel will not be liable for any lost revenue, lost profits, or other consequential, indirect, or special damages caused by your use of these pin connection guidelines even if advised of the possibility of such damages occurring.
4. This agreement shall be governed in all respects by the laws of the State of Delaware, without regard to conflict of law or choice of law principles. You agree to submit to the exclusive jurisdiction of the federal and state courts in the State of Delaware for the resolution of any dispute or claim arising out of or relating to these terms of use.

Intel® Cyclone® 10 GX 管脚连接指南

时钟和 PLL 管脚

注意: Intel® 建议您创建一个 Intel Quartus® Prime 设计，输入器件 I/O 约束并编译设计。Intel Quartus Prime 软件将会根据 I/O 约束和布局规则检查您的管脚连接性。根据器件密度、封装、I/O 约束、电压分配和本文档或器件手册未详细说明了其它因素，这些规则因不同的器件会有所不同。

表 1. 时钟和 PLL 管脚

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|---|-----------|---|--|
| CLK_[2,3] [A,B,J,K,L]_[0,1]p | I/O, 时钟输入 | 可用于数据输入或输出的专用高速时钟输入管脚。这些管脚都支持差分输入 OCT R _D 、单端输入 OCT R _T 以及单端输出 OCT R _S 。 | 将未使用的管脚接地(GND)或者悬空它们。 如果管脚未连接，请使用 Intel Quartus Prime 软件可编程的选项内部偏置这些管脚。这些管脚可保留为使能了弱上拉电阻的输入三态，或者保留为输出驱动 GND。 |
| CLK_[2,3] [A,B,J,K,L]_[0,1]n | I/O, 时钟输入 | 可用于数据输入或输出的专用高速时钟输入管脚。这些管脚都支持差分输入 OCT R _D 、单端输入 OCT R _T 以及单端输出 OCT R _S 。 | 将未使用的管脚接地(GND)或者悬空它们。 如果管脚未连接，请使用 Intel Quartus Prime 软件可编程的选项内部偏置这些管脚。这些管脚可保留为使能了弱上拉电阻的输入三态，或者保留为输出驱动 GND。 |
| PLL_[2,3] [A,B,J,K,L]_FB[0,1] | I/O, 时钟 | 可用作单端输入、单端输出、或外部反馈输入管脚的复用 I/O 管脚。要了解关于所支持管脚的更多信息，请参阅器件管脚输出文件。 | 将未使用的管脚接地(GND)或者悬空它们。 如果管脚未连接，请使用 Intel Quartus Prime 软件可编程的选项内部偏置这些管脚。这些管脚可保留为使能了弱上拉电阻的输入三态，或者保留为输出驱动 GND。 |
| PLL_[2,3] [A,B,J,K,L]_CLKOUT[0:1]], PLL_[2,3] [A,B,J,K,L]_CLKOUT[0:1]]p | I/O, 时钟 | 可用作两个单端时钟输出管脚，或一个差分时钟输出对的 I/O 管脚。要了解关于所支持管脚的更多信息，请参阅器件管脚输出文件。 | 将未使用的管脚接地(GND)或者悬空它们。 如果管脚未连接，请使用 Intel Quartus Prime 软件可编程的选项内部偏置这些管脚。这些管脚可保留为使能了弱上拉电阻的输入三态，或者保留为输出驱动 GND。 |
| PLL_[2,3] [A,B,J,K,L]_CLKOUT[0:1]]n | I/O, 时钟 | 可用作两个单端时钟输出管脚，或一个差分时钟输出对的 I/O 管脚。要了解关于所支持管脚的更多信息，请参阅器件管脚输出文件。 | 将未使用的管脚接地(GND)或者悬空它们。 如果管脚未连接，请使用 Intel Quartus Prime 软件可编程的选项内部偏置这些管脚。这些管脚可保留为使能了弱上拉电阻的输入三态，或者保留为输出驱动 GND。 |

专用配置/JTAG 管脚

注意: Intel 建议您创建一个 Intel Quartus Prime 设计，输入器件 I/O 约束并编译设计。Intel Quartus Prime 软件将会根据 I/O 约束和布局规则检查您的管脚连接性。根据器件密度、封装、I/O 约束、电压分配和本文档或器件手册未详细说明的其它因素，这些规则因不同的器件会有所不同。

表 2. 专用配置/JTAG 管脚

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|------------|--------|---|--|
| nIO_PULLUP | 输入 | 确定用户 I/O 管脚和复用 I/O 管脚(DATA[0:31]、CLKUSR、INIT_DONE、DEV_OE 和 DEV_CLRn)上的内部上拉电阻的专用输入管脚在配置之前和配置期间是开还是关。逻辑高电平会关闭弱上拉电阻，而逻辑低电平则会打开弱上拉电阻。 | 使用 1 k Ω 上拉电阻，将 nIO-PULLUP 管脚直接连接到 VCC，或者直接连接到 GND。该管脚具有内部 25-k Ω 下拉电阻。如果将该管脚连接到 VCC，请确保配置前或配置期间所有用户 I/O 管脚和复用 I/O 管脚都处于 logic - 0。 |
| TEMPDIODEp | 输入 | 用于 FPGA 内部的温度感应二极管的管脚(偏置高电平输入)。 | 如果没有将温度感应二极管与外部温度感应器件一起使用，请将管脚连接到 GND。 |
| TEMPDIODEn | 输入 | 用于 FPGA 内部的温度感应二极管的管脚(偏置低电平输入)。 | 如果没有将温度感应二极管与外部温度感应器件一起使用，请将管脚连接到 GND。 |
| MSEL[0:2] | 输入 | 对 FPGA 器件设置配置方案的配置输入管脚。 | 这些管脚通过 25-k Ω 电阻内部连接到 GND。请勿悬空这些管脚。未使用这些管脚时，可以将它们连接到 GND。 根据所使用的配置方案，将这些管脚连接到 VCCPGM 或 GND。要了解关于配置方案选项的更多信息，请参阅 <i>Intel Cyclone® 10 GX 器件的配置、设计安全和远程系统更新</i> 章节。 如果使用 JTAG 配置方案，可将这些管脚连接到 GND。 |
| nCE | 输入 | 专用的有效低电平芯片使能管脚。当 nCE 管脚处于低电平时，器件被使能。当 nCE 管脚处于高电平时，器件被禁用。 | 在多器件配置中，第一个器件的 nCE 管脚被连接至低电平，而其 nCEO 管脚驱动链中下一个器件的 nCE 管脚。 在单器件配置和 JTAG 编程中，将 nCE 管脚连接到 GND。 |
| nCONFIG | 输入 | 专用的配置控制输入管脚。用户模式期间下拉该管脚会导致 FPGA 丢失配置数据，进入复位状态，并且三态所有 I/O 管脚。返回这个管脚至逻辑高电平表明重配置。 | 当 FPGA 使用被动配置方案时，可将 nCONFIG 管脚直接连接到配置控制器。 当 FPGA 使用主动串行(AS)配置方案时，可通过 10-k Ω 电阻将 nCONFIG 管脚连接到 VCCPGM。 如果没有使用该管脚，直接连接它，或者通过 10-k Ω 电阻连接到 VCCPGM。 |
| CONF_DONE | 双向(开漏) | 专用的配置完成(configuration done)管脚。 | 将外部 10-k Ω 上拉电阻连接到 VCCPGM。VCCPGM 必有具有足够高的电平来满足器件和外部主机上的 I/O 的 VIH 规范。 使用被动配置方案时，配置控制器监控此管脚。 |

继续...

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|---------|-------------|--|---|
| | | <p>作为状态输出，CONF_DONE 管脚在配置之前和期间驱动至低电平。在准确无误的接收所有的配置数据后，初始化周期开始，释放 CONF_DONE。</p> <p>作为状态输入，接收了所有数据后，CONF_DONE 管脚变为高电平。该器件初始化并进入用户模式。该管脚不可以用作 I/O 管脚。</p> | |
| nCEO | I/O, 输出(开漏) | <p>器件配置完成后，nCEO 管脚驱动至低电平。</p> <p>如果未将该管脚作为配置管脚使用，则可以将它作为用户 I/O 管脚使用。</p> | <p>在多器件配置中，nCEO 管脚提供后续 FPGA 的 nCE 管脚。</p> <p>通过外部 10-kΩ 上拉电阻将该管脚连接到 VCCPGM。</p> <p>在单器件配置中，可以悬空该管脚。</p> |
| nSTATUS | 双向(开漏) | <p>专用的配置状态管脚。FPGA 在上电后立即驱动 nSTATUS 管脚到低电平，并且在上电复位(POR)时间后释放它。</p> <p>作为状态输出，如果在配置期间发生错误，nSTATUS 管脚被拉低。</p> <p>作为状态输入，当配置或初始化期间，nSTATUS 管脚被外部源驱动至低电平时，器件进入错误状态。该管脚不可以作为用户 I/O 管脚使用。</p> | <p>将外部 10-kΩ 上拉电阻连接到 VCCPGM。VCCPGM 必须具有足够高的电平来满足器件和外部主机上的 I/O 的 VIH 规范。</p> <p>使用被动配置方案时，配置控制器监控此管脚。</p> |
| TCK | 输入 | 专用 JTAG 测试时钟输入管脚。 | <p>通过 1-kΩ 下拉电阻将该管脚连接到 GND。该管脚具有内部 25-kΩ 下拉电阻。</p> <p>切勿对 TCK 管脚的 VCCPGM 电源驱动高于 1.8-、1.5-或 1.2-V 的电压。TCK 输入管脚由 VCCPGM 电源供电。</p> |
| TMS | 输入 | 专用 JTAG 测试模式选择输入管脚。 | <p>通过 1 - 10-kΩ 上拉电阻将该管脚连接到 VCCPGM。</p> <p>如果未使用 JTAG 接口，则使用 1-kΩ 电阻将 TMS 管脚连接到 VCCPGM。该管脚具有内部 25-kΩ 上拉电阻。</p> <p>切勿对 TMS 管脚的 VCCPGM 电源驱动高于 1.8-、1.5-或 1.2-V 的电压。TMS 输入管脚由 VCCPGM 电源供电。</p> |
| TDI | 输入 | 专用 JTAG 测试数据输入管脚。 | <p>通过 1 - 10-kΩ 上拉电阻将该管脚连接到 VCCPGM。</p> <p>如果未使用 JTAG 接口，则使用 1-kΩ 电阻将 TDI 管脚连接到 VCCPGM。该管脚具有内部 25-kΩ 上拉电阻。</p> <p>切勿对 TDI 管脚的 VCCPGM 电源驱动高于 1.8-、1.5-或 1.2-V 的电压。TDI 输入管脚由 VCCPGM 电源供电。</p> |
| TDO | 输出 | 专用 JTAG 测试数据输出管脚。 | 如果未使用 JTAG 接口，则悬空 TDO 管脚。 |
| TRST | 输入 | 专用低电平有效 JTAG 测试复位输入管脚。TRST 管脚用于异步复位 JTAG 边界扫描电路。 | <p>TRST 管脚的使用是可选的。如果未使用该管脚，可通过 1-kΩ 上拉电阻将它连接到 VCCPGM。</p> <p>使用该管脚时，确保 TMS 管脚处于高电平或者当 TRST 管脚从低电平变成高电平时，TCK 管脚处于静态。</p> |
| 继续... | | | |

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|-----------|------|--|--|
| | | | 要禁用 JTAG 电路，可将该管脚连接到 GND。该管脚具有内部 25-k Ω 上拉电阻。 切勿对 TRST 管脚的 VCCPGM 电源驱动高于 1.8-V、1.5-V 或 1.2-V 的电压。TRST 输入管脚由 VCCPGM 电源供电。 |
| nCS0[0:2] | 输出 | AS 配置方案中从 FPGA 到 EPCQ-L 器件的专用输出控制信号使能了 EPCQ-L 器件 | 当您不在 AS 配置方案中编程 FPGA 时，就没有使用 nCS0 管脚。当没有将这个管脚作为输出管脚使用时，就悬空它。 |

可选的/复用配置管脚

注意: Intel 建议您创建一个 Intel Quartus Prime 设计，输入器件 I/O 约束并编译设计。Intel Quartus Prime 软件将会根据 I/O 约束和布局规则检查您的管脚连接性。根据器件密度、封装、I/O 约束、电压分配和本文档或器件手册未详细说明了其它因素，这些规则因不同的器件会有所不同。

表 3. 可选的/复用配置管脚

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|-----------|---------------------|--|--|
| DCLK | 输入(PS, FPP); 输出(AS) | 专用的配置时钟管脚。在被动串行(PS)和快速被动并行(FPP)配置方案中，DCLK 被用于将配置数据从外部源驱动到 FPGA。 在 AS 配置方案中，DCLK 是 FPGA 中的一个输出，为配置接口提供时序。 | 不要悬空该管脚。可将该管脚驱动到高电平或低电平。 |
| CRC_ERROR | I/O, 输出(开漏) | 有效高电平信号表明错误检测电路已经检测到配置 RAM (CRAM)位中的错误。 该信号的下降沿表明在错误消息寄存器(EMR)中可找到错误位置和类型的信息。 复用管脚仅在用户模式下使能错误检测时才使用。 该管脚可作为用户 I/O 管脚使用。 | 将开漏输出专用的 CRC_ERROR 管脚作为可选的管脚使用时，可通过外部 10-k Ω 上拉电阻，将该管脚连接到 VCCPGM。 当没有将开漏输出复用 CRC_ERROR 管脚作为可选的管脚使用，并且 CRC_ERROR 管脚也没有作为 I/O 管脚使用时，就按照 Intel Quartus Prime 软件中的定义连接该管脚。 |
| DEV_CLRn | I/O, 输入 | 可选管脚使您能够覆盖所有器件寄存器的清零。 当该管脚驱动至低电平时，所有寄存器均被清零；当驱动至高电平(VCCPGM)时，所有寄存器均按编程工作。 | 当没有使用复用 DEV_CLRn 管脚，并且也没有作为 I/O 管脚使用时，可将它连接到 GND。 |
| DEV_OE | I/O, 输入 | 可选管脚使您能够覆盖器件上的所有三态。 当该管脚驱动至低电平时，所有 I/O 管脚均为三态；当驱动至高电平(VCCPGM)时，所有 I/O 管脚均按编程工作。 | 当没有使用复用 DEV_OE 管脚，并且也没有作为 I/O 管脚使用时，可将它连接到 GND。 |
| DATA0 | I/O, 输入 | 复用配置数据输入管脚。可将 DATA0 管脚用于 PS 或 FPP 配置方案中，或者在配置完成后作为 I/O 管脚使用。 | 当没有使用专用的输入 DATA0 管脚，并且也没有作为 I/O 管脚使用时，可悬空该管脚。 |
| 继续... | | | |

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|---------------|-------------|--|--|
| DATA[1:31] | I/O, 输入 | 复用配置数据输入管脚。 分别将 DATA [1:7]管脚用于 FPP x8, 将 DATA [1:15]管脚用于 FPP x16, 将 DATA [1:31]管脚用于 FPP x32 配置模式下, 或作为常规 I/O 管脚。这些管脚在配置后也可以用作用户 I/O 管脚。 | 当没有使用复用 DATA[1:31]管脚, 并且这些管脚也没有作为 I/O 管脚使用时, 可悬空它们。 |
| INIT_DONE | I/O, 输出(开漏) | 这是一个复用管脚, 当没有使能为 INIT_DONE 管脚时, 可用作 I/O 管脚。 使能该管脚时, 一个从低至高的跳变表明器件已经进入用户模式。如果使能了 INIT_DONE 输出, 那么 INIT_DONE 管脚在配置后无法作为用户 I/O 管脚使用。 | 使用可选的开漏输出专用 INIT_DONE 管脚时, 可通过外部 10-kΩ 上拉电阻将该管脚连接到 VCCPGM。 在 AS 或 PS 多器件配置模式下使用这个管脚时, 请确保使能了 Intel Quartus Prime 器件中的 INIT_DONE 管脚。当没有使用专用的 INIT_DONE 可选开漏输出, 并且也没有作为 I/O 管脚使用时, 就按照 Intel Quartus Prime 软件中的定义连接该管脚。 |
| nPERSTL0 | I/O, 输入 | 仅在与 PCI Express® (PCIe®) hard IP (HIP)一起使用时, 才可以使用复用基本复位管脚。 当该管脚为低电平时, 收发器处于复位状态。当该管脚为高电平时, 收发器则退出复位。没有将该管脚作为基本复位使用时, 可将它作为用户 I/O 管脚使用。 | 按照 Intel Quartus Prime 软件中的定义连接该管脚。该管脚由 1.8V 供电, 而且必须由 1.8V 兼容的 I/O 标准来驱动。 将 PCIe nPERST 管脚连接到电平转换器, 以便可以将电压从 3.3V LVTTL 降至 1.8V, 最终连接该管脚。 |
| AS_DATA0/ASDO | 双向 | 专用的 AS 配置管脚。使用 EPCQ-L 器件(x1 模式)时, 这是 ASDO 管脚, 并用于发送地址以及控制 FPGA 器件和 EPCQ-L 器件之间的信号。 | 当不在 AS 配置模式下编程器件时, 就不会使用 ASDO 管脚。没有使用该管脚时, 请悬空它。 |
| AS_DATA[1:3] | 双向 | 专用的 AS 配置数据管脚。当连接到 EPCQ-L 器件时, 会在这些管脚上传输这些配置数据。 | 当没有使用该管脚时, 请悬空它。 |

差分 I/O 管脚

注意: Intel 建议您创建一个 Intel Quartus Prime 设计, 输入器件 I/O 约束并编译设计。Intel Quartus Prime 软件将会根据 I/O 约束和布局规则检查您的管脚连接性。根据器件密度、封装、I/O 约束、电压分配和本文档或器件手册未详细说明的其它因素, 这些规则因不同的器件会有所不同。

表 4. 差分 I/O 管脚

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|---|---------------|--|--|
| LVDS[2,3] [A,B,J,K,L]_[1:24]p, LVDS[2,3] [A,B,J,K,L]_[1:24]n | I/O, TX/RX 通道 | 这些在 I/O bank 列是真 LVDS 接收器/发送器通道。每对 I/O 可配置为 LVDS 接收器或 LVDS 发送器。"p"后缀的管脚为差分通道提供正信号。"n"后缀的管脚为差分通道提供负信号。如果不用于差分信号, 这些引脚用作用户 I/O 管脚。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |

外部存储器接口管脚

注意: Intel 建议您创建一个 Intel Quartus Prime 设计，输入器件 I/O 约束并编译设计。Intel Quartus Prime 软件将会根据 I/O 约束和布局规则检查您的管脚连接性。根据器件密度、封装、I/O 约束、电压分配和本文档或器件手册未详细说明了其它因素，这些规则因不同的器件会有所不同。

表 5. 外部存储器接口管脚

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|---------------|---------|---|--|
| DQS[#] | I/O, 双向 | 用于外部存储器连接的可选数据选通信号。这些管脚驱动到专用的 DQS 相移电路。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| DQSn[#] | I/O, 双向 | 用于外部存储器连接的可选补充数据选通信号。这些管脚驱动到专用的 DQS 相移电路。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| DQ[#] | I/O, 双向 | 用于外部存储器连接的可选数据信号。指定 DQ 总线内 DQ 位的顺序并不重要。不过，如果计划移植具有不同 DQ 总线宽度的不同存储器接口，则需要重新评估管脚约束。对管脚列表中所有相关 DQS 列的 DQ 管脚进行分析。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| DQS[#]_[#] | I/O, 双向 | 用于外部存储器连接的可选数据选通信号。这些管脚驱动到专用的 DQS 相移电路。移位后的 DQS 信号也能驱动到内部逻辑。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| DQSn[#]_[#] | I/O, 双向 | 用于外部存储器连接的可选补充数据选通信号。这些管脚驱动到专用的 DQS 相移电路。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| DQ[#]_[#]_[#] | I/O, 双向 | 用于外部存储器连接的可选数据信号。指定 DQ 总线内 DQ 位的顺序并不重要。不过，如果计划移植具有不同 DQ 总线宽度的不同存储器接口，则需要重新评估管脚约束。对管脚列表中所有相关 DQS 列的 DQ 管脚进行分析。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| DM[#]_[#] | I/O, 输出 | 可选的写数据屏蔽、在写入期间与 DQ 边沿对齐。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| RESET_N_0 | I/O, 输出 | 低电平有效复位信号。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| A_[#] | I/O, 输出 | DDR3 SDRAM 的地址输入。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| BA_[#] | I/O, 输出 | DDR3 SDRAM 的 bank 地址输入。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| CK_[#] | I/O, 输出 | 外部存储器器件的输入时钟。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| CK_N_[#] | I/O, 输出 | 外部存储器器件的输入时钟，反转的 CK。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| CKE_[#] | I/O, 输出 | 高信号使能时钟，低信号禁用时钟。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| 继续... | | | |

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|------------|---------|---|--|
| CS_N_[#] | I/O, 输出 | 有效低电平片选。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| CA_[#]_[#] | I/O, 输出 | LPDDR3 SDRAM 的命令和地址输入。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| ODT_[#] | I/O, 输出 | 设置每个管脚的匹配电阻的片上匹配信号。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| WE_N_0 | I/O, 输出 | DDR3 SDRAM 的写使能输入(write-enable)以及所有支持的协议。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| CAS_N_0 | I/O, 输出 | DDR3 SDRAM 的列地址选通。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| RAS_N_0 | I/O, 输出 | DDR3 SDRAM 的行地址选通。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| ALERT_N_0 | I/O, 输入 | 警报输入, 表明系统的存储控制器出现了特定的警报或者事件。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| PAR_0 | I/O, 输出 | 奇偶校验输出的命令和地址。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| CFG_N_0 | I/O, 输出 | 配置位。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |
| LBK[#]_N_0 | I/O, 输出 | Loop-back 模式。 | 按照 Intel Quartus Prime 软件中的定义连接未使用的管脚。 |

电压传感器管脚

注意: Intel 建议您创建一个 Intel Quartus Prime 设计, 输入器件 I/O 约束并编译设计。Intel Quartus Prime 软件将会根据 I/O 约束和布局规则检查您的管脚连接性。根据器件密度、封装、I/O 约束、电压分配和本文档或器件手册未详细说明了的其它因素, 这些规则因不同的器件会有所不同。

表 6. 电压传感器管脚

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|-----------|------|--------------|---|
| VREFP_ADC | 输入 | 专用的精密模拟电压参考。 | 将 VREFP_ADC 连接到外部 1.25V 精确参考源(+/- 0.2%)以获得更好的 ADC 性能。将 VREFP_ADC 当作模拟信号, 与 VREFN_ADC 信号一起提供差分 1.25V 电压。如果没有提供外部参考, 则始终将 VREFP_ADC 连接到 GND。通过将管脚连接到 GND 可以激活片上参考源(+/-10%)。 |
| 继续... | | | |

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|-------------|------|---|---|
| VREFN_ADC | 输入 | 2 对模拟差分输入管脚与 FPGA 内部的电压传感器一起使用，以监控外部模拟电压。 | VREFP_ADC 必须等于或小于 VCCA_PLL 以防止损坏。 |
| VSIGP_[0,1] | 输入 | | 将 VREFN_ADC 连接到外部 1.25V 精确参考源(+/- 0.2%)的 GND 管脚以获得更好的 ADC 性能。将 VREFN_ADC 当作模拟信号，与 VREFP_ADC 信号一起提供差分 1.25V 电压。如果没有提供外部参考，则始终将 VREFN_ADC 连接到 GND。 |
| VSIGN_[0,1] | 输入 | | 如果没有使用，则将这些管脚连接到电压传感器功能的 GND。有关这些管脚使用情况的详细信息，请参阅 <i>Intel Cyclone 10 GX 器件的功耗管脚</i> 章节。 在 VCCA_PLL 电源轨到达 1.62V 之前，不可驱动 VSIGP 和 VSIGN 管脚，以防止损坏。 |

参考管脚

注意: Intel 建议您创建一个 Intel Quartus Prime 设计，输入器件 I/O 约束并编译设计。Intel Quartus Prime 软件将会根据 I/O 约束和布局规则检查您的管脚连接性。根据器件密度、封装、I/O 约束、电压分配和本文档或器件手册未详细说明了其它因素，这些规则因不同的器件会有所不同。

表 7. 参考管脚

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|---------|------|--|--|
| RZQ_[#] | I/O | I/O bank 的参考管脚。RZQ 管脚与它们所位于的 I/O bank 共享同一 VCCIO。将外部精密电阻连接到 bank 内指定的管脚。如果不需要，该管脚是普通 I/O 管脚。 | 使用 OCT 时，通过 240-Ω 或 100-Ω 电阻将这些管脚连接到 GND，取决于所需的 OCT 阻抗。有关所需 OCT 方案的 OCT 阻抗选项，请参阅 <i>Intel Cyclone 10 GX 器件手册</i> 。 |
| DNU | 不能使用 | 不能使用(DNU)。 | 请勿连接电源、GND 或任何其它信号。这些管脚必须悬空。 |
| NC | 无连接 | 不要驱动信号到这些管脚。 | 在设计器件移植时，可以选择将这些管脚连接到电源、GND 或者信号走线，这取决于选择进行移植的器件的管脚约束。不过，如果不需要考虑器件移植，则可以悬空这些管脚。 |

电源管脚

注意: Intel 建议您创建一个 Intel Quartus Prime 设计，输入器件 I/O 约束并编译设计。Intel Quartus Prime 软件将会根据 I/O 约束和布局规则检查您的管脚连接性。根据器件密度、封装、I/O 约束、电压分配和本文档或器件手册未详细说明了其它因素，这些规则因不同的器件会有所不同。

表 8. 电源管脚

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|----------|------|---|---|
| VCCP | 电源 | VCCP 为外设提供电源。 | <p>VCC、VCCP 和 VCCERAM 必须在相同的电压上进行操作，应该共享电路板上的同一个电源层，并且从同一个稳压器中获取。</p> <p>将 VCCP 管脚连接到 0.9V 电源。有关性能和功耗的详细信息，请参阅 Intel Quartus Prime 软件的时序报告以及 Intel Cyclone 10 GX 早期功耗估算器(EPE)。</p> <p>当电源轨要求相同的电压电平时，您可以从与 VCCP 或 VCC 相同的稳压器中选择获取 VCCR_GXB、VCCT_GXB 和 VCCERAM。</p> <p>有关所建议的操作条件的详细信息，请参阅器件数据表中的电气特征。</p> <p>使用 Intel Cyclone 10 GX 早期功耗估算器(EPE)来确定 VCCP 和其它电源供应的电流要求。去耦这些管脚取决于指定电路板的去耦需求。请参考注释 2、3、4、5、6 和 10。</p> |
| VCC | 电源 | VCC 为内核提供电源。VCC 也为 Hard IP for PCI Express core 提供电源。 | <p>VCC、VCCP 和 VCCERAM 必须在相同的电压上进行操作，应该共享电路板上的同一个电源层，并且从同一个稳压器中获取。</p> <p>将 VCC 管脚连接到 0.9V 电源。有关性能和功耗的详细信息，请参阅 Intel Quartus Prime 软件的时序报告以及 Intel Cyclone 10 GX 早期功耗估算器(EPE)。</p> <p>当电源轨要求相同的电压电平时，您可以从与 VCC 或 VCCP 相同的稳压器中选择获取 VCCR_GXB、VCCT_GXB 和 VCCERAM。</p> <p>有关所建议的操作条件的详细信息，请参阅器件数据表中的电气特征。</p> <p>使用 Intel Cyclone 10 GX 早期功耗估算器(EPE)来确定 VCC 和其它电源供应的电流要求。去耦这些管脚取决于指定电路板的去耦需求。请参考注释 2、3、4、5、6 和 10。</p> |
| VCCPT | 电源 | 可编程功耗技术和 I/O 预驱动器的电源。 | <p>将 VCCPT 连接到 1.8V 低噪声开关稳压器。可以从与 VCCPT 相同的稳压器中获取以下信息：</p> <ul style="list-style-type: none"> 具有适当的隔离过滤的 VCCH_GXB 和 VCCA_PLL VCCBAT，如果使用相同的电压电平，并且不要求设计安全密钥功能 <p>对 VCCPT 管脚附近的 VCCPT 电源轨提供了 1uF 的最小去耦。</p> <p>有关电源轨共享的信息，请参阅 Intel Cyclone 10 GX 器件的电源共享指南。</p> <p>请参考注释 2、3、4、7 和 10。</p> |
| VCCA_PLL | 电源 | PLL 模拟电源。 | <p>将 VCCA_PLL 连接到 1.8V 低噪声开关稳压器。通过适当的隔离过滤，可以从与 VCCPT 相同的稳压器中获取 VCCA_PLL。</p> <p>请参考注释 2、3、4、7 和 10。</p> |

继续...

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|------------------------------------|------|---|--|
| VCCIO([2][A,J,K,L], [3][A,B]) | 电源 | 这些是 banks 1 至 12 的 I/O 电源电压管脚。每个 bank 可支持不同的电压电平。支持 VCCIO 标准, 包括 Diff HSTL/HSTL(12, 15, 18)、Diff SSTL/SSTL(12, 125, 135, 15, 18)、Diff HSUL/HSUL(12)、Diff POD 12, LVDS/Mini_LVDS/RSDS、1.2V、1.5V、1.8V、2.5V、3.0V I/O 标准。 | 将这些管脚连接到 1.2V、1.25V、1.35V、1.5V、1.8V、2.5V 或者 3.0V 电源, 取决于特定 bank 所要求的 I/O 标准。当这些管脚要求与 VCCPGM 相同的电压电平时, 您可以选择将它们连接到与 VCCPGM 相同的稳压器。并非所有的 I/O bank 都支持 2.5V 或 3.0V 电源。更多信息, 请参阅 <i>Intel Cyclone 10 GX 器件的 I/O 和高速 I/O</i> 。 有关电源轨共享的信息, 请参阅 <i>Intel Cyclone 10 GX 器件的电源共享指南</i> 。 请参考注释 2、3、4、8 和 10。 |
| VCCPGM | 电源 | 配置管脚电源 | 将这些管脚连接到 1.2V、1.5V 或者 1.8V 电源。当复用配置管脚用于配置时, 将 bank 的 VCCIO 连接到与 VCCPGM 相同的稳压器上, 范围从 1.2V、1.5V 或 1.8V。当没有使用复用配置管脚进行配置时, 将 VCCIO 连接到 1.2V、1.25V、1.35V、1.5V 或 1.8V。 当这些管脚要求与 VCCIO 相同的电压电平时, 您可以选择将它们连接到与 VCCIO 相同的稳压器。 对 VCCPGM 管脚附近的 VCCPGM 电源轨提供了 47nF 的最小去耦。 有关电源轨共享的信息, 请参阅 <i>Intel Cyclone 10 GX 器件的电源共享指南</i> 。 请参考注释 2、3、4 和 10。 |
| VCCERAM | 电源 | 存储电源管脚。 | 将所有 VCCERAM 管脚连接到 0.9V 线性或者低噪声开关电源。 VCC、VCCP 和 VCCERAM 必须在相同的电压上进行操作, 应该共享电路板上的同一个电源层, 并且从同一个稳压器中获取。 请参考注释 2、3、7 和 10。 |
| VCCBAT | 电源 | 设计安全易失性密钥寄存器的电池后备电源。 | 使用设计安全易失性密钥时, 将该管脚连接到非易失性电池电源, 范围是 1.2V - 1.8V。 不使用易失性密钥时, 将该管脚连接到电源, 范围从 1.5V 到 1.8V。在不使用设计安全密钥时选择了 1.8V, 则可以从与 VCCPT 相同稳压器获取该管脚。 该管脚必须如 Intel Cyclone 10 GX 器件监控 VCCBAT 的 POR 电路一样, 按照建议的电压范围正常供电。 对 VCCBAT 管脚附近的 VCCBAT 电源轨提供了 47nF 的最小去耦。 有关电源轨共享的信息, 请参阅 <i>Intel Cyclone 10 GX 器件的电源共享指南</i> 。 |
| GND | 接地 | 器件接地管脚。 | 所有 GND 管脚应该连接到电路板地平面。 |
| VREFB[[2][A,J,K,L], [3][A,B]]N0 | 电源 | 每个 I/O bank 的输入参考电压。如果 bank 使用电压参考的 I/O 标准, 就将这些管脚作为 bank 的电压参考管脚使用。 | 如果没有使用 VREF 管脚, 则将它们连接到管脚所在的 bank 的 VCCIO 或者 GND。请参考注释 2、8、10 和 11。 |
| 继续.. | | | |

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|-----------|------|---------------|---|
| VCCLSENSE | 电源 | 到外部稳压器的差分感应线。 | <p>VCCLSENSE 和 GNDSENSE 是 VCC 电源的差分远程传感管脚。将稳压器的差分远程传感线连接到相应的 VCCLSENSE 和 GNDSENSE 管脚。这样补偿了与 VCC 电源的 PCB 和器件封装相关的 DC IR 压降。路由这些连接作为差分对走线，并让他们远离任何其它的噪声源。</p> <p>当 I_{CC} 电流 $>30A$ 时，将 VCCLSENSE 和 GNDSENSE 线连接到稳压器的远程传感输入。</p> <p>如果 I_{CC} 电流 $\leq 30A$，那么 VCCLSENSE 和 GNDSENSE 线连接是可选的。不过，Intel 建议对支持远程传感线功能的稳压器连接 VCCLSENSE 和 GNDSENSE。</p> <p>如果没有使用 VCCLSENSE 和 GNDSENSE 管脚，则悬空 VCCLSENSE 和 GNDSENSE 管脚。</p> |
| GNDSENSE | 接地 | | |
| ADCGND | 接地 | 专用的安静接地。 | <p>如果使用电压传感器，必须通过适当的具有抗氧体磁珠的隔离过滤器，将 ADCGND 平面连接到电路板 GND。当它显示最大化噪声水平时，根据噪声剖面的频率来选择抗氧体磁珠。或者，您也可以基于 ADCGND 的最大化电流值，即 10 mA，来选择抗氧体磁珠。</p> <p>如果没有使用电压传感器，则具有抗氧体磁珠的隔离过滤器到电路板 GND 是可选的。</p> |

收发器管脚

注意: Intel 建议您创建一个 Intel Quartus Prime 设计，输入器件 I/O 约束并编译设计。Intel Quartus Prime 软件将会根据 I/O 约束和布局规则检查您的管脚连接性。根据器件密度、封装、I/O 约束、电压分配和本文档或器件手册未详细说明了其它因素，这些规则因不同的器件会有所不同。

表 9. 收发器管脚

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|--------------------|------|---------------------------------|--|
| VCCR_GXB[L1] [C,D] | 电源 | 模拟电源、接收器、专用于器件左侧(L)的每个收发器 bank。 | <p>将 VCCR_GXB 管脚连接到 0.95V 或者 1.03V 低噪声开关稳压器。通过适当的隔离过滤器，当这些电压处于相同电平时，VCCR_GXB 可以与 VCCP 和 VCC 电源共享。</p> <p>所有收发器 bank 中的全部 VCCR_GXB 必须上电用于器件的正常操作。</p> <p>VCCR_GXB 和 VCCT_GXB 必须以相同的电压电平供电。</p> <p>请参考注释 2、3、4、7 和 10。</p> |
| VCCT_GXB[L1] [C,D] | 电源 | 模拟电源、发送器、专用于器件左侧(L)的每个收发器 bank。 | <p>将 VCCT_GXB 管脚连接到 0.95V 或者 1.03V 低噪声开关稳压器。</p> |

继续...

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|---|------|--|---|
| | | | 通过适当的隔离滤波器，当这些电压处于相同电平时，VCCT_GXB 可以与 VCCP 和 VCC 电源共享。 如果所有的收发器、fPLL 和 IOPLL 都没有使用，那么 VCCT_GXB 电源轨可被连接到 GND 以节省功耗，不管它们是内部或是外部 bank。 VCCR_GXB 和 VCCT_GXB 必须以相同的电压电平供电。 请参考注释 2、3、4、7 和 10。 |
| VCCH_GXB[L] | 电源 | 模拟电源、模块级发送器缓冲、专用于器件左侧(L)。 | 将 VCCH_GXB 管脚连接到 1.8V 低噪声开关稳压器。通过适当的隔离滤波器，可以从与 VCCPT 相同的稳压器中获取 VCCH_GXB。 所有收发器 bank 中的全部 VCCH_GXB 必须上电用于器件的正常操作。 器件同一侧的 VCCH_GXB 管脚必须具有相同的电压。 对 VCCH_GXB 管脚附近的 VCCH_GXB 电源轨提供了 2.2nF 的最小去耦。 请参考注释 2、3、4、7 和 10。 |
| GXB[L1] [C,D]_RX_[0:5]p, GXB[L][1] [C,D]_REFCLK_CH[0:5]p | 输入 | 高速正向差分接收器通道。专用于器件左侧(L)的每个收发器 bank。 | 使用时，这些管脚可以是 AC 耦合或 DC 耦合。将所有未使用的 GXB_RXp 管脚直接连接到 GND、VCCR_GXB 或 VCCT_GXB 管脚。 |
| GXB[L1] [C,D]_RX_[0:5]n, GXB[L][1] [C,D]_REFCLK_CH[0:5]n | 输入 | 高速负向差分接收器通道。专用于器件左侧(L)的每个收发器 bank。 | 使用时，这些管脚可以是 AC 耦合或 DC 耦合。将所有未使用的 GXB_RXn 管脚直接连接到 GND。 |
| GXB[L1] [C,D]_TX_CH[0:5]p | 输出 | 高速正向差分发送器通道。专用于器件左侧(L)的每个收发器 bank。 | 悬空所有未使用的 GXB_TXp 管脚。 |
| GXB[L1] [C,D]_TX_CH[0:5]n | 输出 | 高速负向差分发送器通道。专用于器件左侧(L)的每个收发器 bank。 | 悬空所有未使用的 GXB_TXn 管脚。 |
| REFCLK_GXB[L1] [C,D]_CH[B,T]p | 输入 | 高速差分参考时钟正向接收器通道，专用于器件左侧(L)的每个收发器 bank。 即使收发器通道不能用，REFCLK_GXB 也可以作为专用的时钟输入管脚与 fPLL 一起用于内核时钟生成。 | 如果所选的 REFCLK I/O 标准不是 HCSL，那么这些管脚必须是 AC 耦合的。 在 PCI Express 配置中，如果所选的 REFCLK I/O 标准是 HCSL，那么 REFCLK 支持 DC 耦合。 单独将所有未使用的管脚连接到 GND 或者通过一个 10-kΩ 电阻将所有未使用的管脚一起连接到 GND。确保从管脚到电阻的走线尽可能短。 请参考注释 9。 |
| 继续... | | | |

| 管脚名称 | 管脚功能 | 管脚说明 | 连接指南 |
|----------------------------------|------|--|---|
| REFCLK_GXB[L1] [C,D]_CH[B,T]n | 输入 | 高速差分参考时钟补充，补充接收器通道，专用于器件左侧(L)的每个收发器 bank。 即使收发器通道不能用，REFCLK_GXB 也可以作为专用的时钟输入管脚与 fPLL 一起用于内核时钟生成。 | 如果所选的 REFCLK I/O 标准不是 HCSSL，那么这些管脚必须是 AC 耦合的。 在 PCI Express 配置中，如果所选的 REFCLK I/O 标准是 HCSSL，那么 REFCLK 支持 DC 耦合。 单独将所有未使用的管脚连接到 GND 或者通过一个 10-kΩ 电阻将所有未使用的管脚一起连接到 GND。确保从管脚到电阻的走线尽可能短。 请参考注释 9。 |
| CLKUSR | I/O | 该管脚作为收发器校准的时钟使用，并且在使用收发器是强制要求的。该管脚可以选择用于 EMIF HMC 标准，也可以是配置时钟输入，用于同步多个器件的初始化。这是用户提供的时钟，输入频率必须是 100 MHz 到 125 MHz 的范围。 该管脚仅在在没有使用收发器、EMIF HMC 以及没有将其作为用户提供的配置时钟使用时，才能作为 GPIO 管脚使用。 | <p>如果将 CLKUSR 管脚用于配置和收发器校准，那么在器件配置开始以及器件进入用户模式时，必须提供一个外部自由运行且稳定的时钟给 CLKUSR 管脚。如果器件在上电时没有出现这个时钟，那么收发器校准将会延迟直到该时钟出现。这可能会影响协议的合规性。 您需要确保对 CLKUSR 管脚提供适用于配置模式和收发器校准的通用时钟频率。</p> <p>如果没有将 CLKUSR 管脚用于配置，而是将 CLKUSR 管脚用于收发器校准，那么在器件配置开始以及器件进入用户模式时，必须提供一个外部自由运行且稳定的时钟给 CLKUSR 管脚。如果器件在上电时没有出现这个时钟，那么收发器校准将会延迟直到该时钟出现。这可能会影响协议的合规性。</p> <p>如果使用 CLKUSR 管脚进行配置，而不是使用 CLKUSR 管脚进行收发器校准，则必须使用用户提供的时钟输入。 更多信息，请参阅 <i>Intel Cyclone 10 GX GX 器件的配置、设计安全和远程系统更新</i> 章节。</p> <p>如果在下面的情况下没有使用 CLKUSR 管脚，则将 CLKUSR 管脚连接到 GND：</p> <ul style="list-style-type: none"> 配置时钟输入 收发器校准时钟 一个 I/O 管脚 |
| RREF_[T,B][L] | 输入 | fPLL、IOPLL 和收发器的参考电阻，专用于器件顶端(T)、底部(B)和左侧(L)。 | 如果使用了任何 REFCLK 管脚、器件一侧的收发器通道或 IOPLL，则必须通过其自身单独的 2kΩ 电阻，将器件该侧的每个 RREF 管脚连接到 GND。否则，可以将该器件侧上的每个 RREF 管脚直接连接到 GND。在 PCB 布局中，需要布线从该管脚到电阻的走线，以避免任何干扰信号。 |

Intel Cyclone 10 GX 管脚连接指南的注释

注意: Intel 建议您创建一个 Intel Quartus Prime 设计，输入器件 I/O 约束并编译设计。Intel Quartus Prime 软件将会根据 I/O 约束和布局规则检查您的管脚连接性。根据器件密度、封装、I/O 约束、电压分配和本文档或器件手册未详细说明的其它因素，这些规则因不同的器件会有所不同。

Intel 提供这些指南仅作为建议。设计人员有责任将仿真结果应用到设计，从而验证设计的正常功能性。

1. 这些管脚连接指南是基于 Intel Cyclone 10 GX 器件种类创建的。
2. 考虑需要对去耦的特定电路提供操作频率的供电量后，选择电源的电容值。基于器件/电源的电流消耗和电压降的要求来计算电源层的目标阻抗。然后，使用合适数量的电容去耦电源层。由于封装的安装“等效串联电感”，板级电容不会去耦高于 100 Mhz。考虑适当的电路板设计技术，如具有低电感的电容用于较高频率的去耦。请参考 PDN 工具。
3. 使用 Intel Cyclone 10 GX 早期功耗估算器(EPE)来确定 VCC 和其它电源供应的电流要求。使用 Intel Quartus Prime 功耗分析器获得该电源或其它电源最准确的电流要求。
4. 这些电源可能在多个 Intel Cyclone 10 GX 器件中共享电源层。
5. 功耗管脚不应该共享 BGA 的引出过孔。BGA 上的每个焊球需要有自身专用的引出过孔。VCC 不得共享引出过孔。
6. 实例 1 和实例 2 介绍了 Intel Cyclone 10 GX 器件的电源共享指南。
7. 低噪声开关稳压器 — 定义为开关稳压器电路封装在薄小型表面安装的封装，包含开关控制器、功率 FET、感应器以及其它支持的组件。开关频率通常在 800kHz 和 1MHz 之间，并具有快速瞬态响应。开关频率范围并不是 Intel 的要求。不过，Intel 要求线路调节(Line Regulation)和负载调节(Load Regulation)满足下面的规范：
 - Line Regulation < 0.4%
 - Load Regulation < 1.2%
8. Intel Cyclone 10 GX 器件上模块化 I/O bank 的数量取决于器件密度。有关特定器件适用的索引信息，请参阅 *Intel Cyclone 10 GX 器件手册* 的 I/O Bank 部分。
9. 对于 AC 耦合链接，AC 耦合电容可沿着受到协议或设计要求支配的通道置于任何地方。PCI Express 协议要求将 AC 耦合电容置于接口的发送器侧，该接口允许插入和拔出适配器。
10. 这些管脚的去耦取决于指定电路板的设计去耦需求。
11. 不可将 1.8V 以上的电压连接到 VREFB[[2][A,J,K, L], [3][A,B]]N0 管脚。对于 3V I/O bank，将未使用的 VREF 管脚连接到 GND。

Intel Cyclone 10 GX 器件的电源共享指南

实例 1— Intel Cyclone 10 GX

表 10. Intel Cyclone 10 GX 器件的电源共享指南，其中芯片到芯片应用的收发器数据速率 ≤ 11.3 Gbps

实例要求 3 个电源稳压器

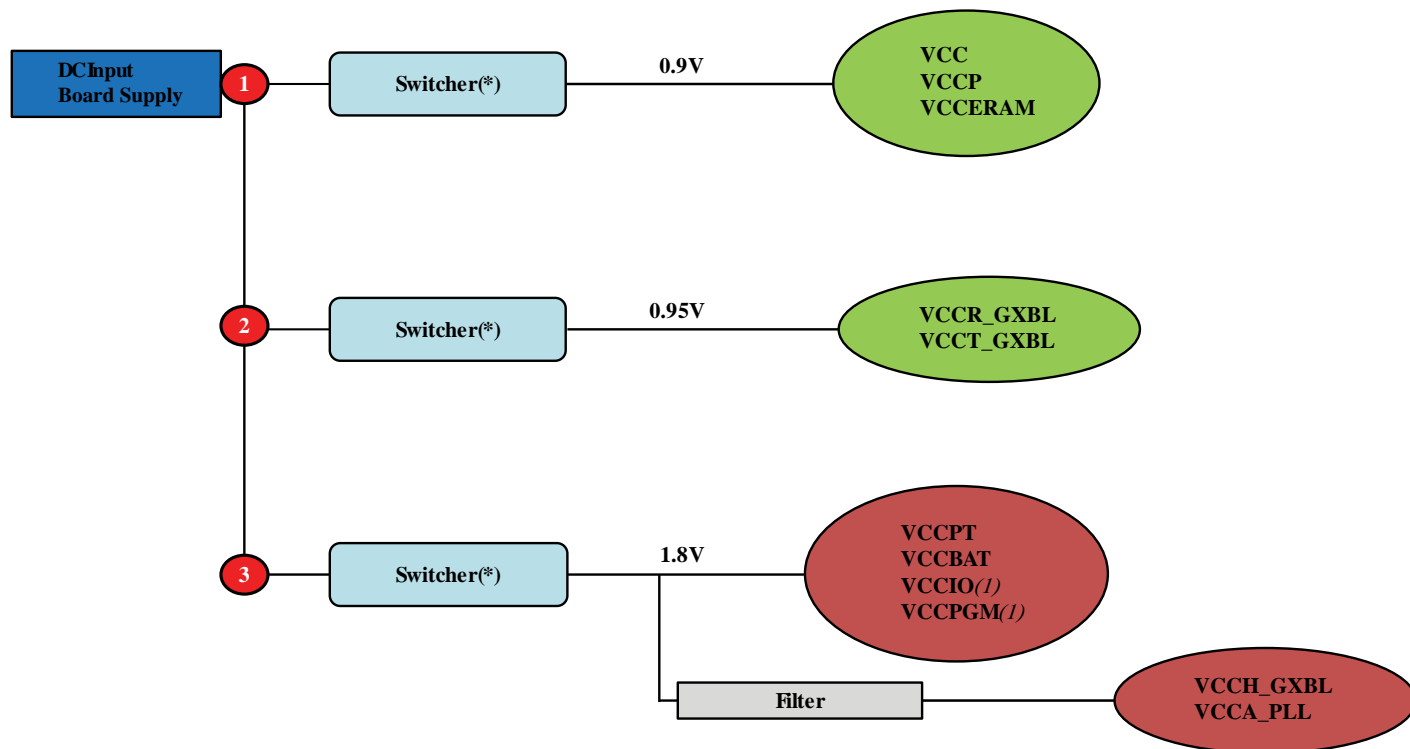
| 电源管脚名称 | 稳压器组 | 电压电平 (V) | 电源容限 | 电源 | 稳压器共享 | 注释: |
|-----------|------|----------|-----------|--------|-------------|--|
| VCC | 1 | 0.9 | ±30 mV | 开关 (*) | 共享 | — |
| VCCP | | | | | | |
| VCCERAM | | | | | | |
| VCCR_GXBL | 2 | 0.95 | ±30 mV | 开关 (*) | 共享 | 要获得更佳的性能，可相互隔离 VCCR_GXB 和 VCCT_GXB。 为了满足 DisplayPort TX 电气完全合规性，VCCT_GXB 必须为 1.03V 或更高。 |
| VCCT_GXBL | | | | | | |
| VCCBAT | 3 | 不定 | ± 5% (**) | 开关 (*) | 如果 1.8V，则共享 | 当所有的电源轨要求 1.8V 时，可为 VCCBAT、VCCPT、VCCIO 和 VCCPGM 提供选择来共享相同的稳压器。根据稳压器的功能，可以选择与多个 Intel Cyclone 10 GX 器件共享这个电源。 |
| VCCPT | | 1.8 | | | | |
| VCCIO | | 不定 | | | | |
| VCCPGM | | | | | | |
| VCCH_GXBL | | 1.8 | | | 隔离 | 当所有的电源轨要求 1.8V 且具有适当的隔离过滤器时，提供了共享 VCCH_GXB 和 VCCA_PLL 的选择，与 VCCBAT、VCCPT、VCCIO 和 VCCPGM 具有相同的稳压器。 |
| VCCA_PLL | | | | | | |

(*)使用开关来提供电压时，开关必须是低噪声开关，如 *Intel Cyclone 10 GX 管脚连接指南* 的注释 7 所定义。

(**)VCCIO 电源所支持的容差因 I/O 标准的不同而不同。更多信息，请参阅 *Intel Cyclone 10 GX 器件数据表* 中的 I/O 标准规范。使用 EPE (早期功耗评估) 工具协助确定特定设计中的电源要求。

每个电路板设计都需要自身的功耗分析，来确定满足特定电路板设计要求所需的电源稳压器。图 1 提供了使用 Intel Cyclone 10 GX 器件的实例结构图。

图 1. Intel Cyclone 10 GX 器件的电源共享指南，其中芯片到芯片应用的收发器数据速率 ≤ 11.3 Gbps 的实例



注释：

- (1) 假设VCCIO和VCCPGM均为1.8V。仅在这些电源轨与VCCPT共享相同的稳压器时，其电源顺序才能与Group 2的VCCPT一起斜升。如果这些电源轨中的任何一个不是1.8V，那么必须单独调节，并且严格按照Group 3中的电源顺序要求。有关电源顺序要求的更多信息，请参阅Intel Cyclone 10 GX器件的功耗管理。

实例 2— Intel Cyclone 10 GX

表 11. Intel Cyclone 10 GX 器件的电源共享指南，其中芯片到芯片应用的收发器数据速率 ≤ 12.5 Gbps (背板应用的收发器数据速率 ≤ 6.6 Gbps)

实例要求 3 个电源稳压器功耗

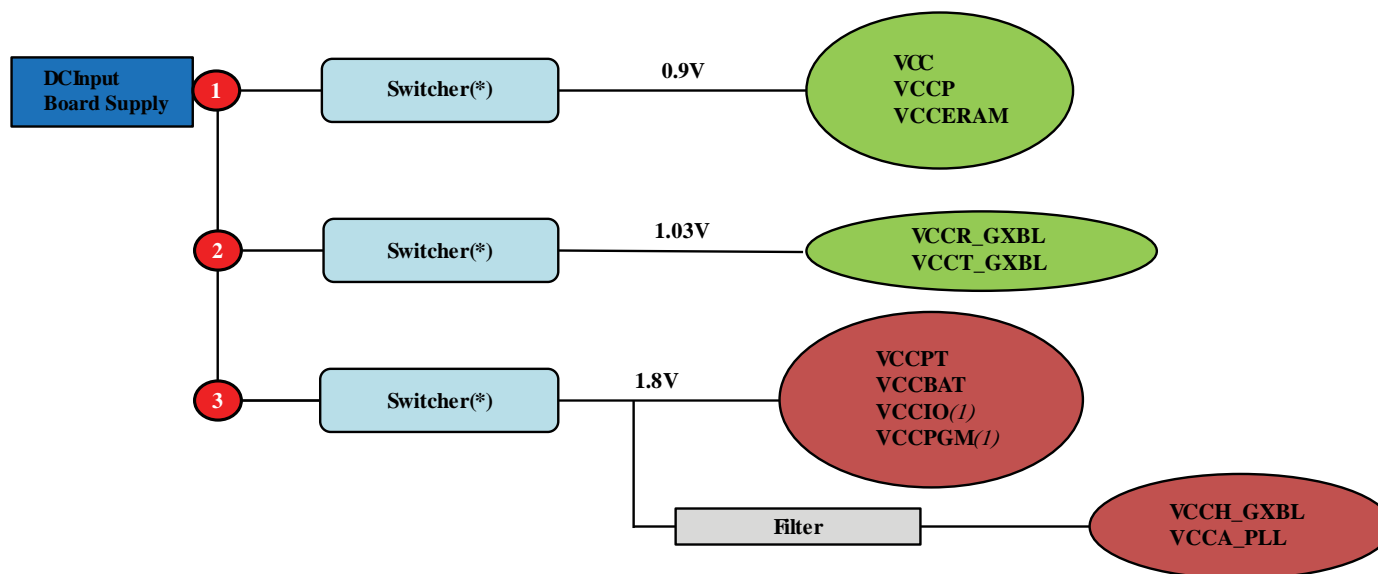
| 电源管脚名称 | 稳压器组 | 电压电平 (V) | 电源容限 | 电源 | 稳压器共享 | 注释: |
|-----------|------|----------|-----------|-------|-------------|--|
| VCC | 1 | 0.9 | ±30 mV | 开关(*) | 共享 | — |
| VCCP | | | | | | |
| VCCERAM | | | | | | |
| VCCR_GXBL | 2 | 1.03 | ±30 mV | 开关(*) | 共享 | 可为 VCCR_GXB 和 VCCT_GXB 提供选择来共享相同的稳压器。要获得更佳的性能，可相互隔离 VCCR_GXB 和 VCCT_GXB，对 1MHz 到 100MHz 带宽，至少隔离 30dB。 对于 VCCR_GXB 或 VCCT_GXB 这种具有高电流的设计，应该考虑通过电源层的 IR 压降并补偿它。 |
| VCCT_GXBL | | | | | | |
| VCCBAT | 3 | 不定 | ± 5% (**) | 开关(*) | 如果 1.8V，则分享 | 当所有的电源轨要求 1.8V 时，可为 VCCBAT、VCCPT、VCCIO 和 VCCPGM 提供选择来共享相同的稳压器。根据稳压器的功能，可以选择与多个 Intel Cyclone 10 GX 器件共享这个电源。 |
| VCCPT | | 1.8 | | | | |
| VCCIO | | 不定 | | | | |
| VCCPGM | | | | | | |
| VCCH_GXBL | | 1.8 | | | | |
| VCCA_PLL | | | | | | |

(*)使用开关来提供电压时，开关必须是低噪声开关，如 *Intel Cyclone 10 GX 管脚连接指南* 的注释 7 所定义。

(**)VCCIO 电源所支持的容差因 I/O 标准的不同而不同。更多信息，请参阅 *Intel Cyclone 10 GX 器件数据表* 中的 I/O 标准规范。使用 EPE (早期功耗评估) 工具协助确定特定设计中的电源要求。

每个电路板设计都需要自身的功耗分析，来确定满足特定电路板设计要求所需的电源稳压器。图 2 提供了使用 Intel Cyclone 10 GX 器件的实例结构图。

图 2. Intel Cyclone 10 GX 器件的电源共享指南，其中芯片到芯片应用的收发器数据速率 ≤ 12.5 Gbps (背板应用的收发器数据速率 ≤ 6.6 Gbps) 的实例



注释:

- (1) 假设VCCIO和VCCPGM均为1.8V。仅在这些电源轨与VCCPT共享相同的稳压器时，其电源顺序才能与Group 2的VCCPT一起斜升。如果这些电源轨中的任何一个不是1.8V，那么必须单独调节，并且严格按照Group 3中的电源顺序要求。有关电源顺序要求的更多信息，请参阅Intel Cyclone 10 GX器件的功耗管理。

Intel Cyclone 10 GX 器件系列管脚连接指南的文件修订历史

表 12. 文件修订历史

| 日期 | 版本 | 更改说明 |
|-------------|------------|--|
| 2017 年 11 月 | 2017.11.06 | <ul style="list-style-type: none"> 本文档不再是初步文档。 在 VCCR_GXB[L1] [C,D] 和 VCCT_GXB[L1] [C,D] 管脚的连接指南中添加了 VCCR_GXB 和 VCCT_GXB 必须在相同的电压电平指南下上电。 更新了 VCCR_GXB[L1] [C,D] 和 VCCT_GXB[L1] [C,D] 管脚连接指南中所支持的电压电平。 更新了 VCCIO([2][A,J,K,L], [3][A,B]) 管脚的连接指南。 |
| 2017 年 6 月 | 2017.06.21 | <ul style="list-style-type: none"> 添加了 Intel Cyclone 10 GX 器件的电源共享指南，其中芯片到芯片应用的收发器数据速率 ≤ 12.5 Gbps (收背板应用的收发器数据速率 ≤ 6.6 Gbps)。 更新了 nPERSTL0 管脚名称。 更新了 RZQ_[#] 管脚的管脚功能和连接指南。 更新了 CLKUSR 管脚的管脚功能。 更新了 Intel Cyclone 10 GX 器件的电源共享指南，其中芯片到芯片应用的收发器数据速率 ≤ 11.3 Gbps。 更新了 Intel Cyclone 10 GX 器件的电源共享指南，其中芯片到芯片应用的收发器数据速率 ≤ 11.3 Gbps，以包括 DisplayPort TX 电气完全合规的注释。 从 VCCERAM 中移除了 0.95V 的支持。 移除了对部分重配置的支持。 |
| 2017 年 2 月 | 2017.02.13 | 首次发布。 |