

文章编号: 1001—893X(2012)04—0591—04

Xilinx FPGA 上电时序分析与设计^{*}

纪 斌

(中国西南电子技术研究所, 成都 610036)

摘 要: 提出了由于 FPGA 容量的攀升和配置时间的加长, 采用常规设计会导致系统功能失效的观点。通过详细描述 Xilinx FPGA 各种配置方式及其在电路设计中的优缺点, 深入分析了 FPGA 上电时的配置步骤和工作时序以及各阶段 I/O 管脚状态, 说明了 FPGA 上电配置对电路功能的严重影响, 最后针对不同功能需求的 FPGA 外围电路提出了有效的设计建议。

关键词: 电路设计; FPGA 配置; 时序分析

中图分类号: TN702 文献标志码: A doi: 10.3969/j.issn.1001—893x.2012.04.034

Power-on Timing Analysis and Design of Xilinx FPGA

Ji Bin

(Southwest China Institute of Electronic Technology, Chengdu 610036 China)

Abstract: In view of the larger FPGA capacitance and longer configuration time, a point of view that using regular design may cause the failure of the system function is presented. All kinds of Xilinx FPGA configurations are deeply described and the advantage and disadvantage for the configuration are expatiated. At the same time, the power-on timing analysis and FPGA I/O pin's status are detailed, which illustrates the serious influence of FPGA power-on on circuit function. Finally, reference for the FPGA peripheral circuit design is suggested.

Key words: circuit design; FPGA configuration; timing analysis

1 引 言

随着半导体和芯片技术的飞速发展, 现在的 FPGA 集成了越来越多的可配置逻辑资源、各种各样的外部总线接口以及丰富的内部 RAM 资源, 使其在国防、医疗、消费电子等领域得到了越来越广泛的应用。但是 FPGA 大多数是基于 SRAM 工艺的, 具有易失性, 因此 FPGA 通常使用外部存储器件 (如 PROM) 存储必需的配置信息, 防止设备掉电后 FPGA 丢失自我配置能力。但 FPGA 配置在一定的条件和时间下才能成功完成, 随着 FPGA 容量的不断攀升, 配置时间也被大大加长, 上电时如不充分考虑 FPGA 的配置时序以及对其他器件的影响, 根据常规经验设计电路, 往往会影响系统其他外围器件的正常工作,

严重时会导致整个系统的失效。因此, FPGA 的配置方式和上电时序已成为系统设计的重要一环。

2 Xilinx FPGA 的配置方式和特点

Xilinx FPGA 支持多种配置方式, 其中包括串行主模式 (Master Serial)、串行从模式 (Slave Serial)、并行主模式 (Master SelectMAP)、并行 8 位从模式 (Slave SelectMAP8)、并行 32 位从模式 (Slave SelectMAP32), 以及边界扫描模式 (JTAG)^[1], Virtex5 器件后还增加了对 SPI 和 BPI 接口 Flash 的支持^[2]。

现在设计中通常用到的是串行主模式和并行主模式两种配置方式, 它们共同的特点是电路硬件设计时不需再接入一个配置时钟, 配置时由 FPGA 自身提供时钟, 这样减小了 PCB 设计难度以及时钟带

^{*} 收稿日期: 2012—01—03; 修回日期: 2012—03—16

来的时序干扰。但是它们也有各自的优缺点。并行配置的电路设计相对复杂,需要使用到一些多功能的配置引脚,如果在复杂或高速的配置电路中还要考虑到数据线的阻抗匹配和等长^[3],从而加大了PCB设计难度。因此,在选择FPGA配置方式时需要根据外围器件的上电初始化时间和受FPGA配置影响程度以及电路复杂特性等正确选择,同时也需要对必要的配置管脚做相应处理,后面会进行详细分析。表1为FPGA重要的配置管脚和定义,可以看到,有些配置管脚在并行模式下才需要用到。

表1 FPGA重要配置管脚

Table 1 Important configuration pins of FPGA		
管脚名称	类型	描述
M[2:0]	Input	配置模式选择引脚
CCLK	Input or Output	除了 JTAG 模式外所有配置下的时钟输入或输出
D-IN	Input	串行配置的时钟输入,在 CCLK 上升沿同步
DOUT-BUSY	Output	串行数据输出,到菊花链的下一级
DONE	Bidirectional, Open-Drain, or Active	高电平表示配置完成 0= FPGA not configured 1= FPGA configured
INIT-B	Input or Output Open-Drain	在配置模式管脚被采样前, INIT-B 是一个输入引脚,保持低电平可以推迟 FPGA 配置;在配置模式管脚被采样后, INIT-B 是一个集电极开路的输出管脚,低电平表示有 CRC 校验错误发生
PROGRAM-B	Input	低电平使整个芯片全局复位
D[31:0]	Three-State Bidirectional	并行配置数据, CCLK 上升沿有效
CS-B	Input	并行配置下,低电平表示整个总线使能 0= SelectMAP data bus enabled 1= SelectMAP data bus disabled
RDWR-B	Input	并行配置下,确定数据引脚 D[X: Q 方向 0= inputs 1= outputs
HSWAPEN	Input	低电平表示在 FPGA 上电和配置时让它的通用 IO 为弱上拉状态 0= Weak preconfiguration I/O pull-up resistors enabled 1= Weak preconfiguration I/O pull-up resistors disabled

3 Xilinx FPGA 上电配置时序

FPGA 和 CPLD 不同,上电不能直接工作,它需要一个配置过程。Xilinx FPGA 需要经过 8 个步骤才能运行正常的运行用户逻辑,整个流程^[4]如图 1 所示。

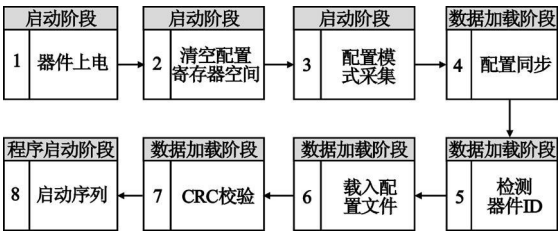


图 1 FPGA 上电配置步骤
Fig. 1 FPGA power-on step

3.1 FPGA 上电启动

FPGA 工作的第一步就是给器件加电。Xilinx 要求 VCCINT (核心电压)先启动,然后再是 VCCO(I/O 电压),最坏情况是它们之间不能相差 1 s 以上。在并行配置模式下,VCCO-2 要求参考电压必须和 PROM 参考电压相同,上电的过程^[1]如图 2 所示。其中, T_{POR} (Power-on-Reset) 为 5 ~ 30 ms, T_{PL} (Program Latency) 为 Max 4 ms, T_{ICCK} (CCLK (output) delay) 为 Min 500 ns。

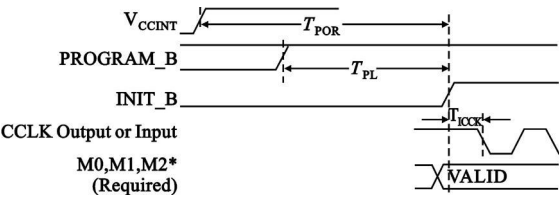


图 2 FPGA 上电时序
Fig. 2 FPGA power-on timing

在系统正常上电或者 PROG-B 是一个低脉冲时,FPGA 开始配置寄存器空间。这段时间除定义好的配置管脚外,其他 I/O 管脚均被设置为高阻态 (High-Z)。经多次测试,这个阶段需要 30 ms 左右的时间。

FPGA 启动阶段最后一步就是配置启动模式。在 PROG-B 变高时,FPGA 开始采集配置方式引脚 (M3.M2.M1),并同时驱动 CCLK 输出。在这个阶段,有两种方法可以延迟 FPGA 的配置时序,一种是拉低 INIT-B 管脚,这是由于 FPGA 检测到自身还没有初始化完毕,不会进行接下来的操作步骤,直到 INIT-B 管脚变高。另一种就是拉低 PROG-B 管脚,使 FPGA 还处于等待配置状态。

3.2 FPGA 数据加载

FPGA 正常数据加载前,需要做一个器件与 PROM 之间的同步检查。方法是传输一个特殊的 32 位数值 (0xAA995566)到 FPGA 中,提示 FPGA 下面开始传输的是配置数据。这个步骤对用户来说是透明

的,因为在 Xilinx ISE Bitstream Generator 中生成的 .bit 文件中已经自动加入了这个校验码。

在做完配置前的通信同步后,FPGA 与 PROM 之间还无法识别相互间是个什么器件,于是 Xilinx 就给每一个型号的 FPGA 设计了一个唯一的器件 ID 号,这个 ID 号可以在 Xilinx 配置手册中查到。如上述例子中用到的 XC4VS35,其 ID 号为 0x02088093。FPGA 需要从 PROM 中读出这个器件号和自身比对,如果相同就继续下面的步骤,不同的话,配置失败,并打印出配置故障信息。

所有准备工作正常完成后,FPGA 开始载入配置文件。这一步对大多数用户也是透明的,由器件自行完成。这也是配置过程中最耗时的步骤,时间从 100 ms 到几秒不等。这个过程中,FPGA 的所有可配置 I/O 根据 HSWAPEN 管脚的设置变为弱上拉(HSWAPEN=1)或者高阻态(HSWAPEN=0)。这个阶段的 I/O 管脚还没有变为用户需要的状态,也最有可能影响到其他外围电路的上电时序和运行。设计硬件电路时要特别注意并采取必要措施,如加入

上下拉电阻,改变器件加电顺序等来尽量避免或减少 FPGA 配置时对电路其他器件的影响。

配置文件载入完成后,为了验证数据的正确性,FPGA 还自动设置了 CRC 校验(这个在 ISE 配置选项中也可以去掉,但是为了确保载入数据的正确性,这个是必须选择的)。如果 CRC 校验不正确,FPGA 会自动把 INIT-B 拉低,放弃这次配置。用户必须把 PROG-B 引脚拉低,才能进行重新配置。

3.3 启动序列

CRC 校验正确后,FPGA 不会马上执行用户的逻辑,它还要进行一些自身内部电路的配置,如 DCM 锁定(DCMs to Lock)、全局写信号使能(Global Write Enable)等,这些信号的启动顺序也是在 ISE 配置选项中设置的。必须的启动序列^[3]为:释放 DONE 引脚;释放 GTS 信号,激活 IO 管脚;设置全局读写使能,使能内部 RAM 和 FIFOAssert;结束上电配置。

从上面论述可知,整个 FPGA 的上电配置正常时序如图 3 所示。

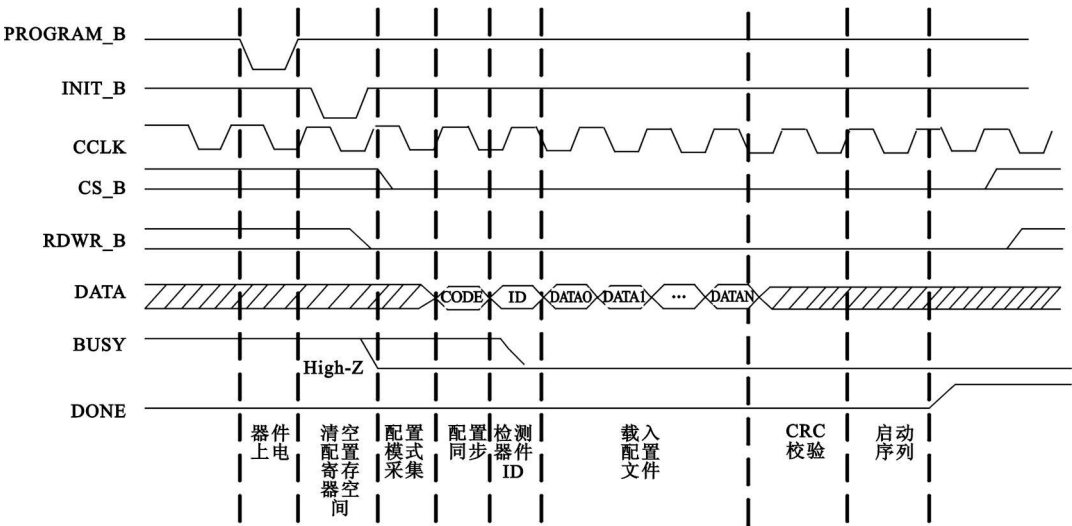


图 3 FPGA 配置时序图
Fig. 3 FPGA configuration timings

4 FPGA 配置外围电路设计冲突与解决方法

FPGA 上电配置整个过程大约需要 200 ms ~ 2 s,这段时间其他外围电路器件绝大部分都已经上电并正常工作了,而 FPGA 的通用 I/O 管脚还处于弱上拉(HSWAPEN=0)或者不定态(HSWAPEN=1),设计时就需要考虑到这些器件上电初始化和 FPGA 通用

I/O 管脚有无时序冲突。例如:上电时,外围器件要求 I/O 管脚都为低电平,而 FPGA 默认是弱上拉,初始化电平产生了冲突;外围器件要求在上电复位后马上采集配置管脚进行初始化,而 FPGA 还处在配置状态,没法正确上拉或下拉 I/O 管脚,器件初始化错误;外围器件要求上电初始化前需要时钟锁相,FPGA 配置时产生不了时钟,导致器件初始化失败

等。解决这些冲突大致有 3 种方法,但前提都是要正确配置 HSWAPEN 管脚。因为在 FPGA 执行“器件上电”步骤后(5~30 ms 时间),它输出的 I/O 管脚状态是可以通过 HSWAPEN 设定的。

方法 1: 在 FPGA 的 I/O 管脚外加上下拉电阻,阻值在 1~10 k Ω 之间,根据实际需要确定。FPGA 在上电后 10 ms 内能通过上下拉电阻把 I/O 管脚拉到用户需要的电平上,这样能解决上电较慢但是又要求固定电平的外围电路,如功放发射开关和保护开关等。

方法 2: FPGA 可以在配置完成后产生一个全局复位信号,使外围电路硬件复位,再进行一次初始化操作。这样能解决 PowerPC、ARM 这种上电初始化很快(在 100 ms 内就能完成),而 FPGA 没有配置完成,导致 PowerPC 初始化错误的问题。而且这种方式不用外接多余的上下拉电阻,减少了电路设计复杂性。

方法 3: FPGA 可以在配置完成后产生一个 Power Good 信号,系统根据此标志再给外围其他有时序要求的器件上电,这样能解决 DSP 或者高速 AD 这种需要时钟锁定后再进行初始化的器件。

这三种方法也可根据具体情况混合使用,能达到更好的效果。

5 结 论

通过上述分析可知,FPGA 上电是一个短暂而复杂的过程,设计时需要充分考虑 FPGA 上电配置时序和在这过程中 I/O 管脚的各种状态对外围电路的影响。根据系统设计的具体情况,通过选用最合理的配置方式以及外围电路连接,达到了既不影响其他器件性能和整个系统功能,同时又简化和完善了

整个电路设计的效果。

参考文献:

- [1] Xilinx Semiconductor, Inc. Virtex-4 Configuration Guide [EB/OL]. [2008-11-1]. <http://www.xilinx.com/support/documentation/virtex-4-user-guides.htm>.
- [2] Xilinx Semiconductor, Inc. Virtex-5 FPGA Configuration User Guide [EB/OL]. [2010-5-17]. <http://www.xilinx.com/support/documentation/virtex-5-user-guides.htm>.
- [3] 孙航. Xilinx 可编程逻辑器件高级应用于设计技巧 [M]. 北京: 电子工业出版社, 2004: 21-87.
SUN Hang. Advanced Application and Design Skill in Programmable Logical Device [M]. Beijing: Publishing House of Electronics Industry, 2004: 21-87. (in Chinese)
- [4] 王灵芝, 林培杰, 黄春晖. FPGA 的配置及其接口电路的设计 [J]. 电子测量与仪器学报, 2007, 21(2): 109-111.
WANG Ling-zhi, LIN Pei-jie, HUANG Chun-hui. Configuration of FPGA and Design of Its Interface Circuit [J]. Journal of Electronic Measurement and Instrument, 2007, 21(2): 109-111. (in Chinese)
- [5] 张承畅, 严单贵, 杨力生, 等. 基于 XCF32P 的多 FPGA 配置方案 [J]. 计算机工程, 2010, 36(15): 259-261.
ZHANG Cheng-chang, YAN Dan-gui, YANG Li-sheng, et al. Multi FPGA Configuration Scheme Based on XCF32P [J]. Computer Engineering, 2010, 36(15): 259-261. (in Chinese)

作者简介:

纪 斌(1981-), 男, 四川广汉人, 2007 年于电子科技大学获电路与系统专业硕士学位, 现为工程师, 主要研究方向为雷达终端显示控制。

Ji Bin was born in Guanghan, Sichuan Province, in 1981. He received the M. S. degree from University of Electronic Science and Technology of China in 2007. He is now an engineer. His research concerns radar display and control R&D.

Email: ziyoudianzi1981@yahoo.com.cn