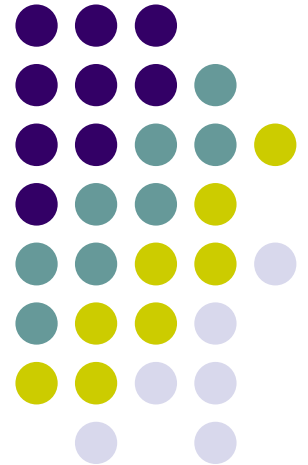




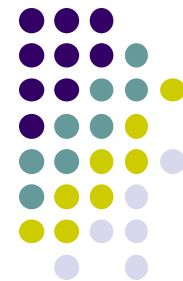
超大规模集成电路基础

Fundamental of VLSI

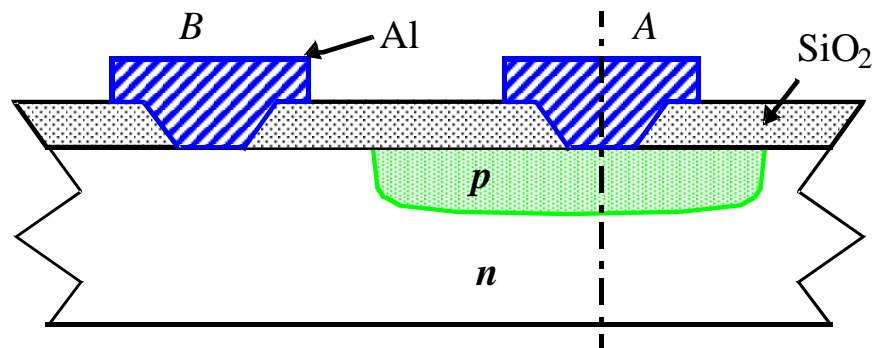
第二章 器件



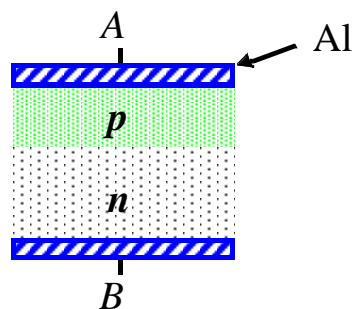
二极管



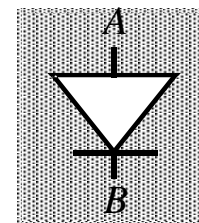
- MOS管内部包含一定数量的反向偏置二极管



MOS管内部的pn结



pn结的一维表示



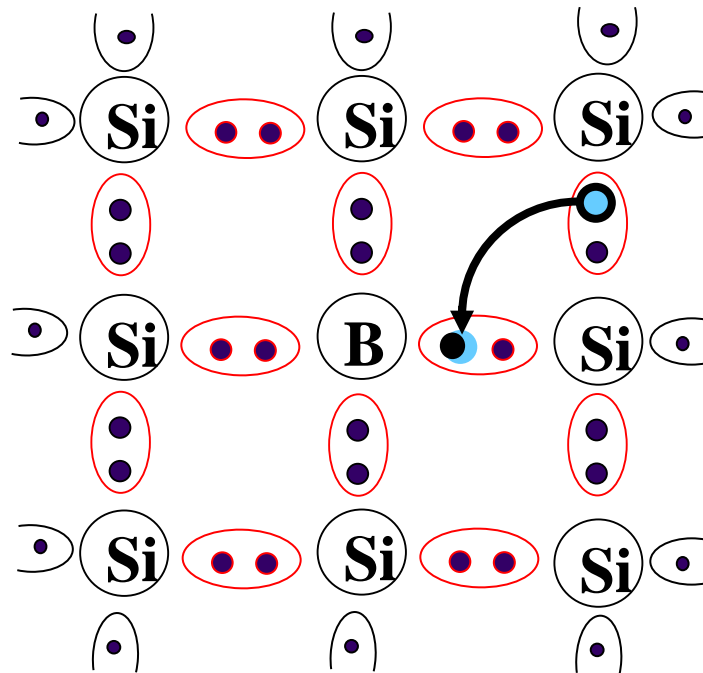
二极管符号



二极管

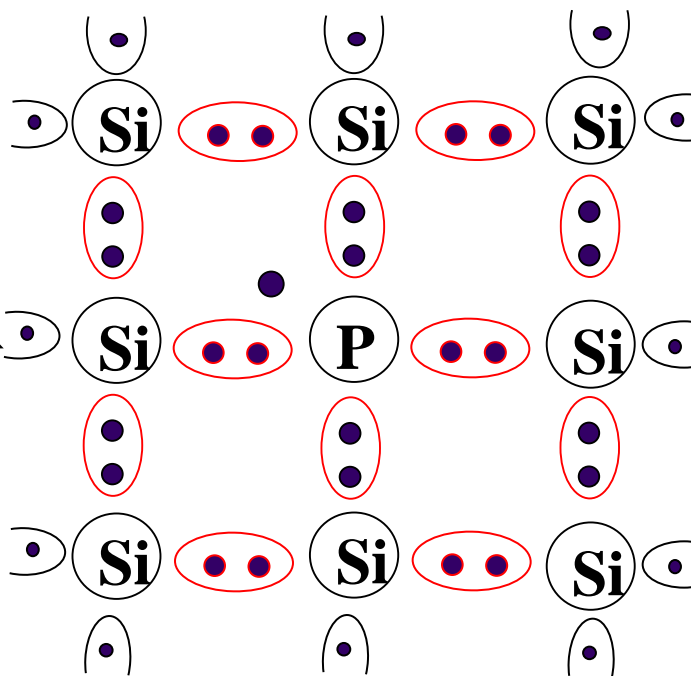
- p型半导体

- 掺杂硼等三价元素



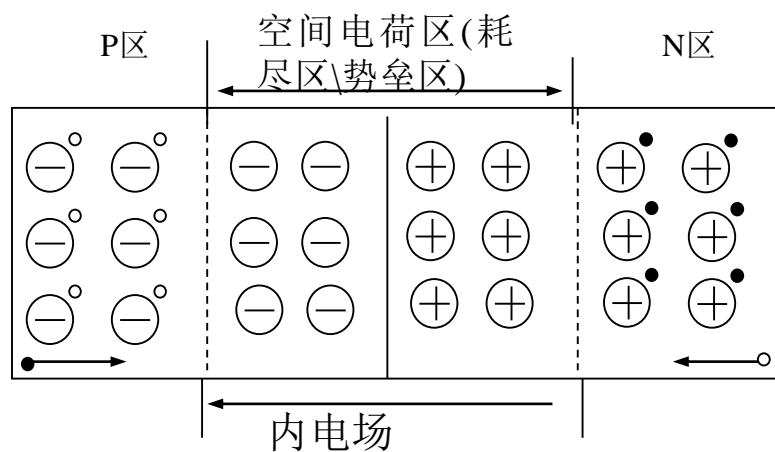
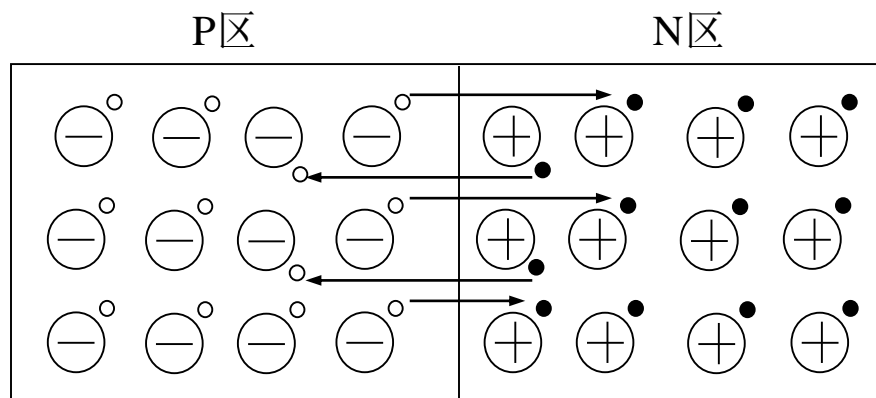
- n型半导体

- 掺杂磷、砷等五价元素



二极管

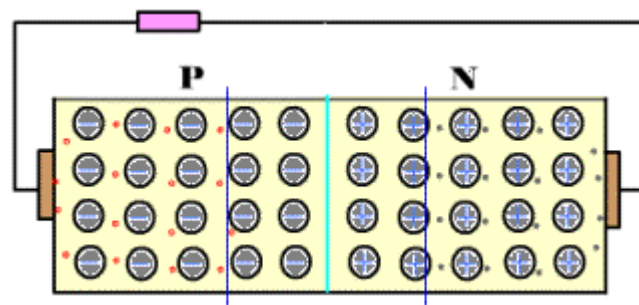
- 扩散和漂移



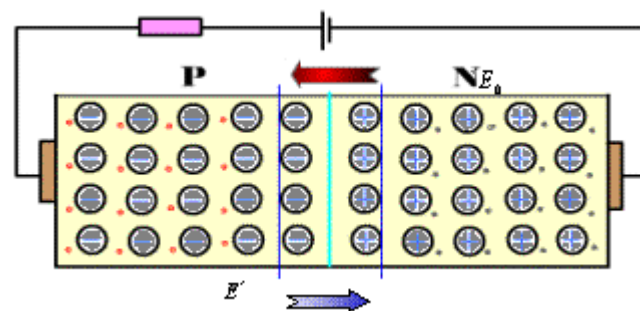
二极管

- 偏置

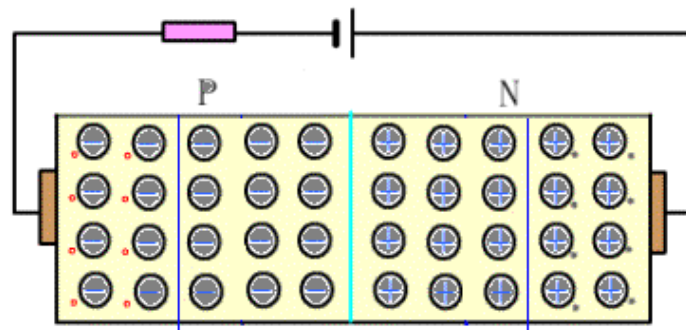
- 外部施加的电压
- 零偏置
- 正偏置
- 反偏置



零偏置



正偏置



反偏置



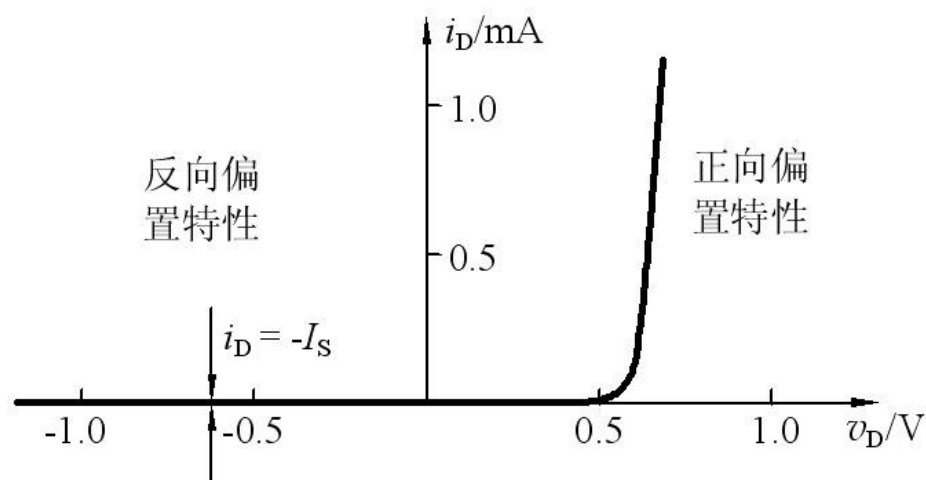
二极管



- 静态特性

- 二极管与所加偏置电压之间存在指数关系。

$$I_D = I_S (e^{v_D / \phi_T} - 1)$$



二极管



- 动态特性

- 耗尽区电容

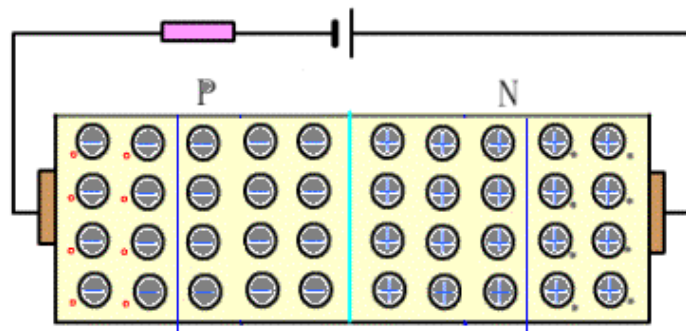
- 二极管的耗尽区厚度随着偏置电压改变，这相当于PN结中存储的电荷量的变化，反应出电容的充放电特性。

$$E_j = \sqrt{\left(\frac{2q}{\epsilon_{si}} \frac{N_A N_D}{N_A + N_D}\right)(\phi_0 - V_D)} \quad C_j = \frac{dQ_j}{dV_D} = A_D \sqrt{\left(\frac{\epsilon_{si} q}{2} \frac{N_A N_D}{N_A + N_D}\right)(\phi_0 - V_D)^{-1}} = \frac{C_{j0}}{\sqrt{1 - V_D / \phi_0}}$$

$$Q_j = A_D \sqrt{\left(2\epsilon_{si} q \frac{N_A N_D}{N_A + N_D}\right)(\phi_0 - V_D)}$$

$$C_{j0} = A_D \sqrt{\left(\frac{\epsilon_{si} q}{2} \frac{N_A N_D}{N_A + N_D}\right)\phi_0^{-1}}$$

$$W_j = W_n - W_p = \sqrt{\left(\frac{2q}{\epsilon_{si}} \frac{N_A + N_D}{N_A N_D}\right)(\phi_0 - V_D)}$$



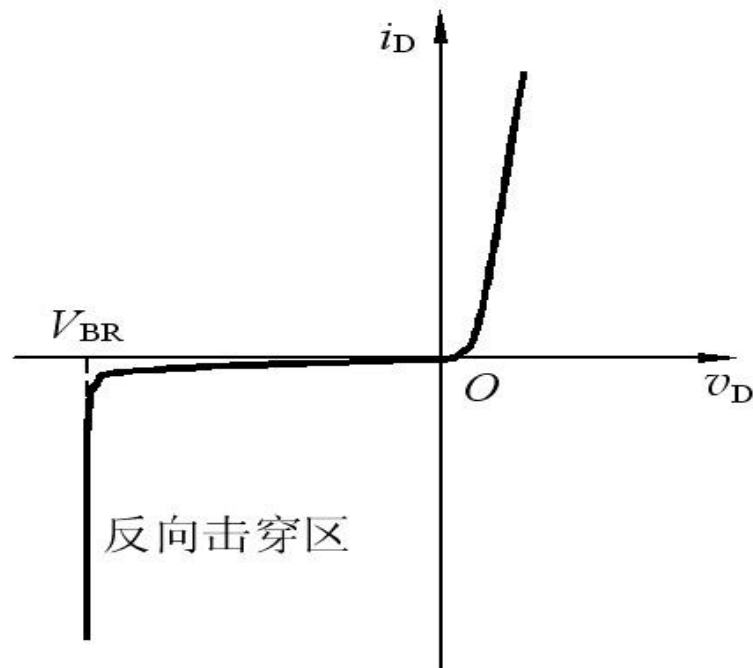
二极管



- pn结反向击穿

- 雪崩击穿（可逆）

- 二极管电场强度随电压升高而增强，当电场强度达到一定值后使漂移的载流子有很高的加速度，并撞击产生更多的载流子，使反向电流升高



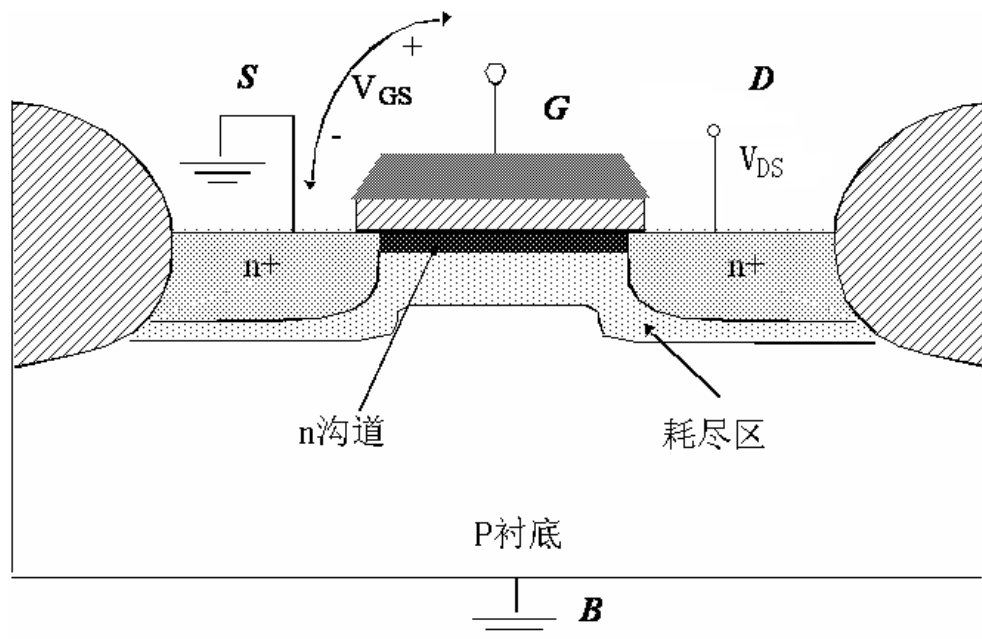
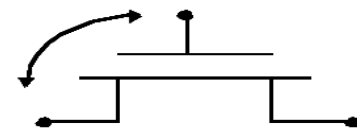
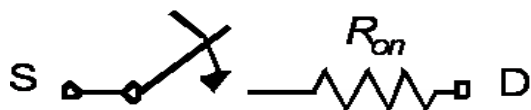
MOS晶体管



- 通过栅电压控制的具有电路开关功能的有源器件

- V_{GS} : 栅至源的电压

- V_{DS} : 源至漏的电压

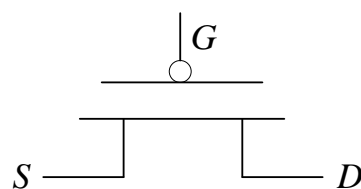
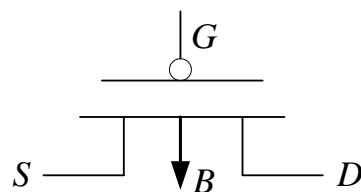
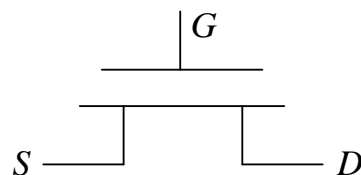
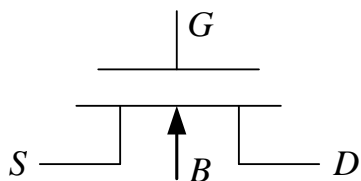


MOS晶体管



- MOS晶体管电路符号

- 四个端口：栅，源，漏，体
- 体端口通常和DC电源相连
 - NMOS的体端接地GND
 - PMOS的体端接高电压Vdd



MOS晶体管



- 静态特性

- 电压输出特性分为三个区域

- 截止区

- MOS管的源和漏之间没有电流通过，可以认为电阻极高

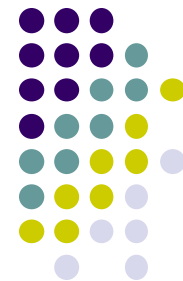
- 电阻区

- MOS管的源和漏之间电流与电压成线性关系，可以认为MOS管的电阻恒定

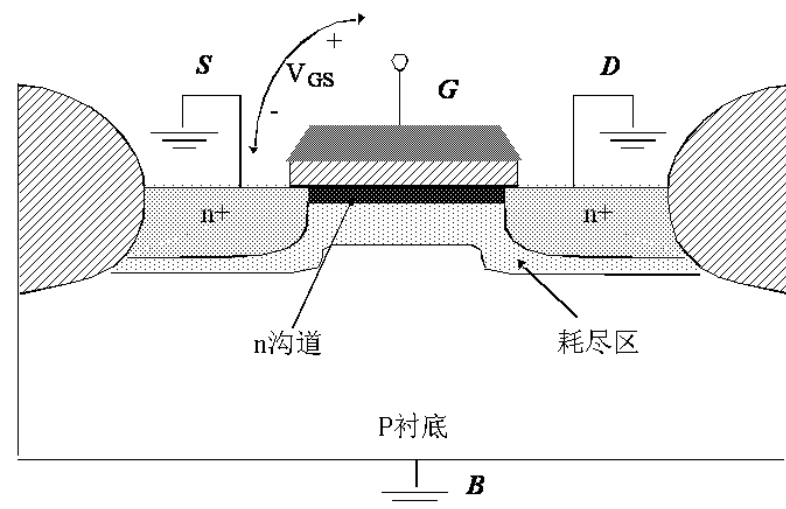
- 饱和区

- MOS管的源和漏之间电流恒定，不随漏和源之间的电压的变换而改变

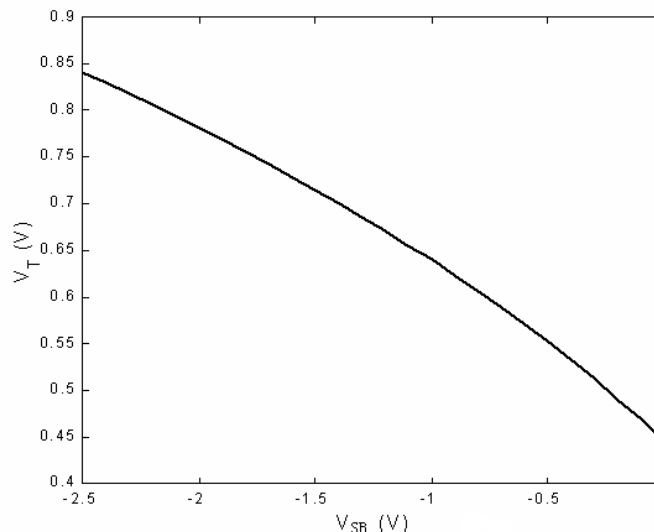
MOS晶体管



- 静态特性
 - 强反型层
 - 栅氧层下面源和漏之间的连续沟道
 - 阈值电压 V_T
 - 强反型层发生时 V_{GS} 的电压
 - 截止区 $V_{GS} < V_T$
 - MOS管中没有电流产生



MOS晶体管



- 静态特性

- 影响阈值电压的因素

- 栅和衬底材料间功函数差、氧化层厚度、费米电势、掺杂浓度、氧化层中的杂质电荷、源-体电压 V_{SB}

- 阈值电压计算

$$V_T = V_{T0} + \gamma(\sqrt{|(-2)\phi_F + V_{SB}|} - \sqrt{|2\phi_F|})$$

V_{T0} 为 $V_{SB}=0$ 时的阈值电压

- NMOS阈值电压为正值，PMOS阈值电压为负值

MOS晶体管



- 静态特性

- 电阻区: $V_{GS} > V_T$
- 单位面积沟道电荷

$$Q_i(x) = -C_{ox}[V_{GS} - V(x) - V_T]$$

$$I_D = -v_n(x)Q_i(x)W$$

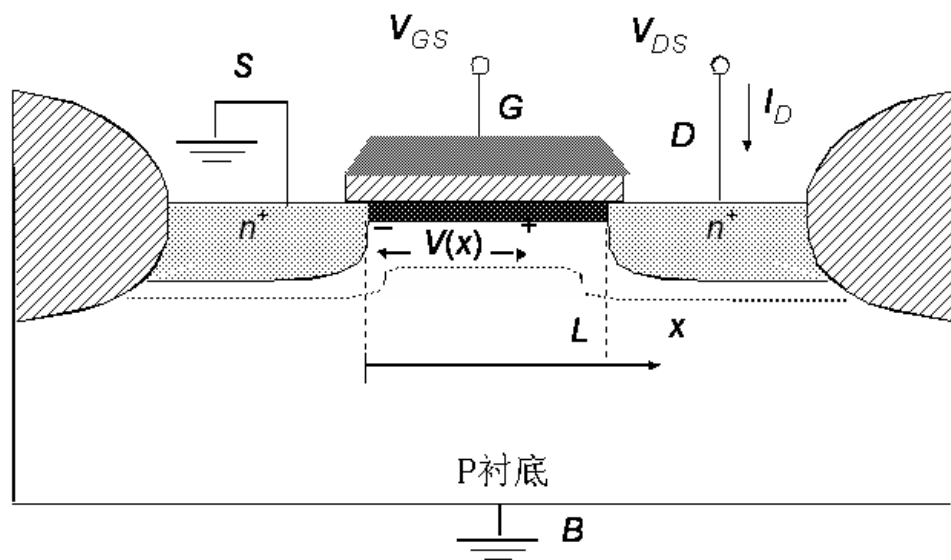
$$v_n(x) = -\mu_n \xi(x) = \mu_n \frac{dV}{dx}$$

$$I_D dx = \mu_n C_{ox} W (V_{GS} - V - V_T) dV$$

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$k'_n = \mu_n C_{ox} = \mu_n \frac{\epsilon_{ox}}{t_{ox}} \quad \text{工艺跨导}$$

$$k_n = k'_n \frac{W}{L} \quad \text{增益因子}$$



MOS晶体管

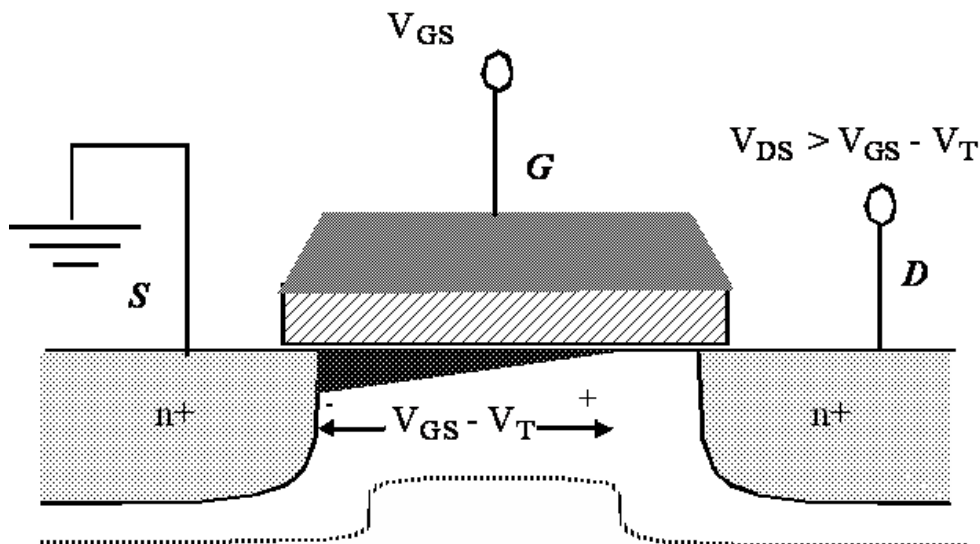


- 静态特性

- 饱和区: $V_{GS} - V_{DS} \leq V_T$

- 沟道上电压差（从夹断点到源）保持固定在 $V_{GS} - V_T$
- 漏电流保持常数（或饱和）
- 漏电流不是 V_{DS} 的函数，与 V_{GS} 存在平方关系（一阶近似）

$$I_D = \frac{k'_n}{2} \frac{W}{L} (V_{GS} - V_T)^2$$



MOS晶体管



- 静态特性

- 沟道长度调制

- 导电沟道长度实际上由所加的 V_{DS} 调制，耗尽区随 V_{DS} 增加而加大，从而缩短有效的沟道长度 L ，使漏电流增加
 - 处在饱和模式下的晶体管受到沟道长度调制的作用，源端和漏端间的电流不再恒定不变， I_D 随 V_{DS} 增加而增加

$$I_D = I_D' (1 + \lambda V_{DS})$$

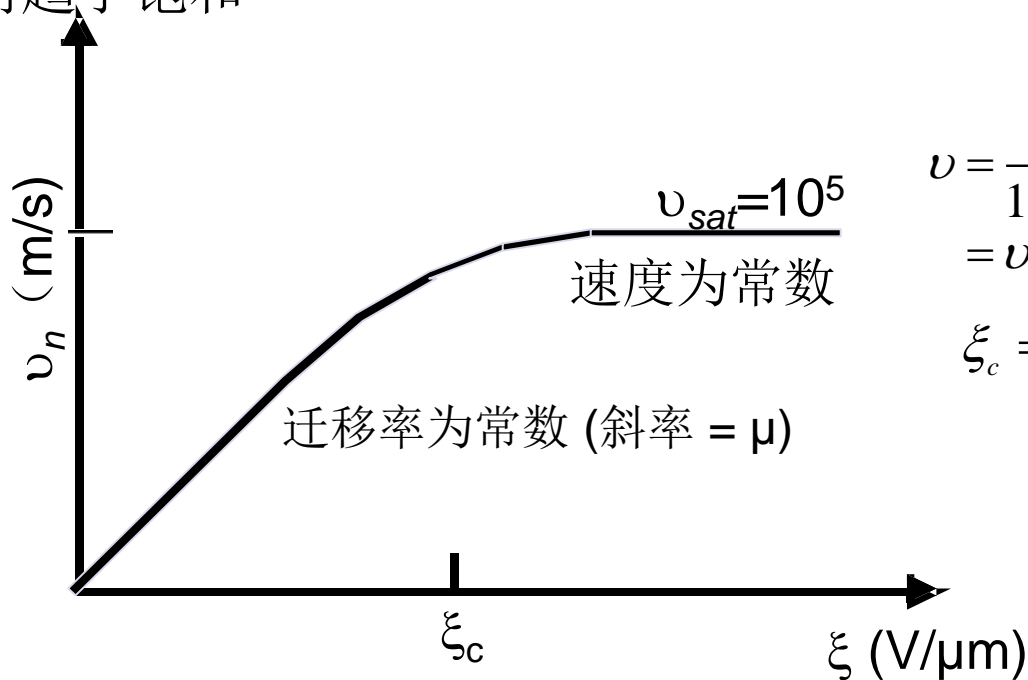
MOS晶体管



- 静态特性

- 速度饱和

- 一般情况下载流子迁移率为常数 $v_n(x) = -\mu_n \xi(x) = \mu_n \frac{dV}{dx}$
 - 在电场强度很高情况下 ($\xi > \xi_c$)，载流子速度由于散射效应而趋于饱和



$$v = \frac{\mu_n \xi}{1 + \xi / \xi_c}, \quad \xi \leq \xi_c$$
$$= v_{sat}, \quad \xi > \xi_c$$
$$\xi_c = 2v_{sat} / \mu_n$$

MOS晶体管



- 静态特性

- 速度饱和

- 用修正后的速度公式重新计算漏电流

$$I_D = \frac{\mu_n C_{ox}}{1 + (V_{DS}/\xi_c L)} \left(\frac{W}{L} \right) \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$
$$= \mu_n C_{ox} \left(\frac{W}{L} \right) \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \kappa(V_{DS})$$

$$\kappa(V) = \frac{1}{1 + (V/\xi_c L)}$$

V_{DS}/L 为沟道的平均电场，长沟器件（ L 值较大）或 V_{DS} 值较小的情况下， κ 接近1

MOS晶体管



- 静态特性
 - 饱和电流计算

$$Q_i(x) = -C_{ox} [V_{GS} - V(x) - V_T]$$

$$I_D = -v_n(x)Q_i(x)W$$

$$\begin{aligned} I_{DSAT} &= v_{sat} C_{ox} W (V_{GT} - V_{DSAT}) \\ &= \kappa(V_{DSAT}) \mu_n C_{ox} \left(\frac{W}{L} \right) \left(V_{GT} V_{DSAT} - \frac{V_{DSAT}^2}{2} \right) \end{aligned}$$

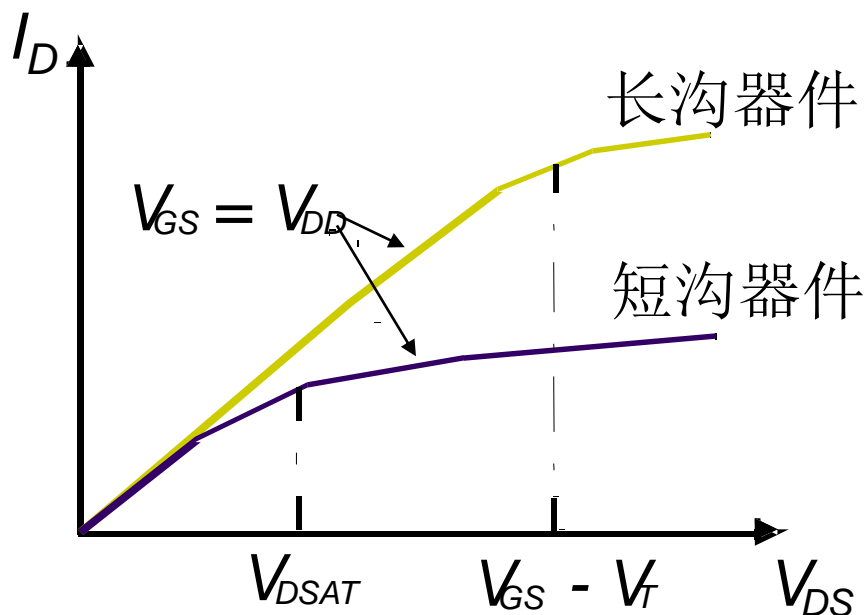
$$V_{DSAT} = \kappa(V_{GT}) V_{GT}$$

MOS晶体管



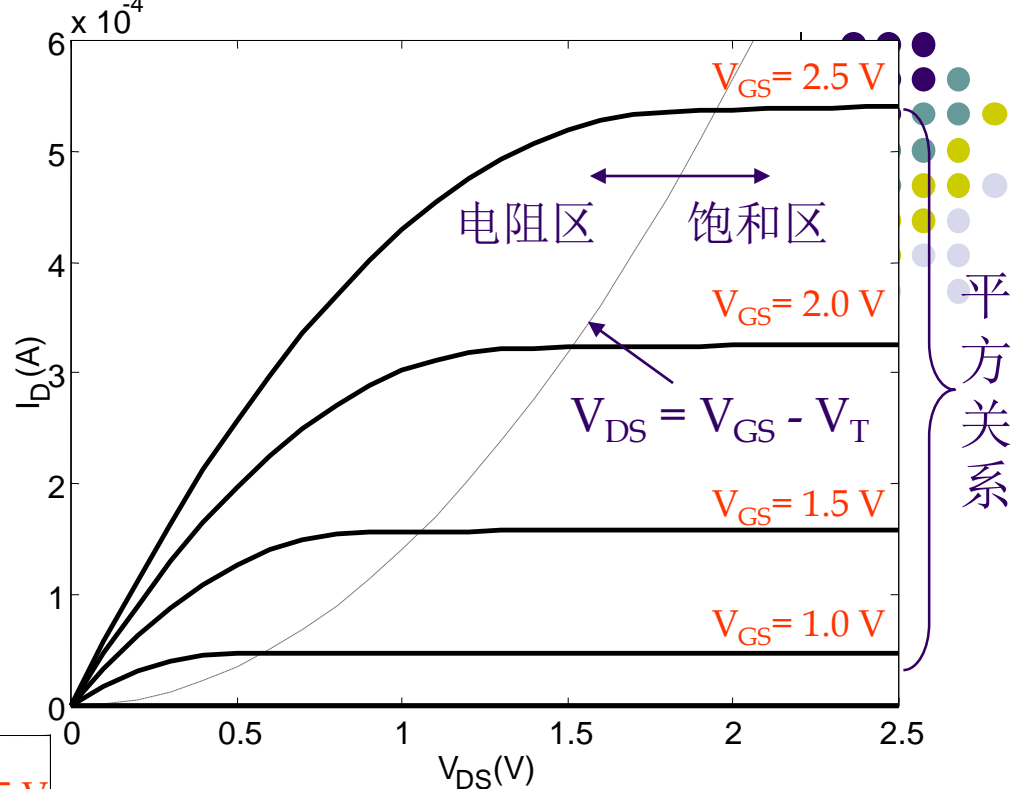
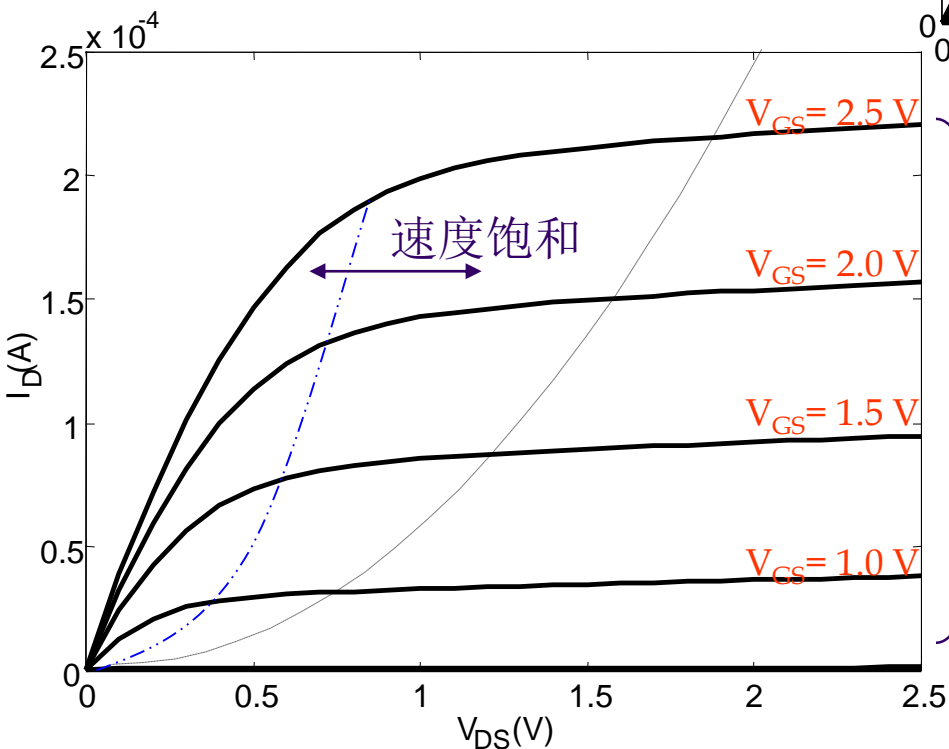
- 静态特性

- 从饱和电流计算公式可以看出 $V_{DSAT} = \kappa(V_{GT})V_{GT}$
 - 对于短沟器件及足够大的 V_{GT} ， κ 明显小于1，由此 $V_{DSAT} < V_{GT}$ ，器件在 V_{DS} 达到 $V_{GS} - V_T$ 之前就已经进入饱和状态。
 - I_{DSAT} 与栅源电压 V_{GS} 成线性关系。



MOS晶体管

- 静态特性
- NMOS电流电压关系



长沟晶体管 ($L_d = 10 \mu\text{m}$)

$$I_D = \frac{k'_n}{2} \frac{W}{L} (V_{GS} - V_T)^2$$

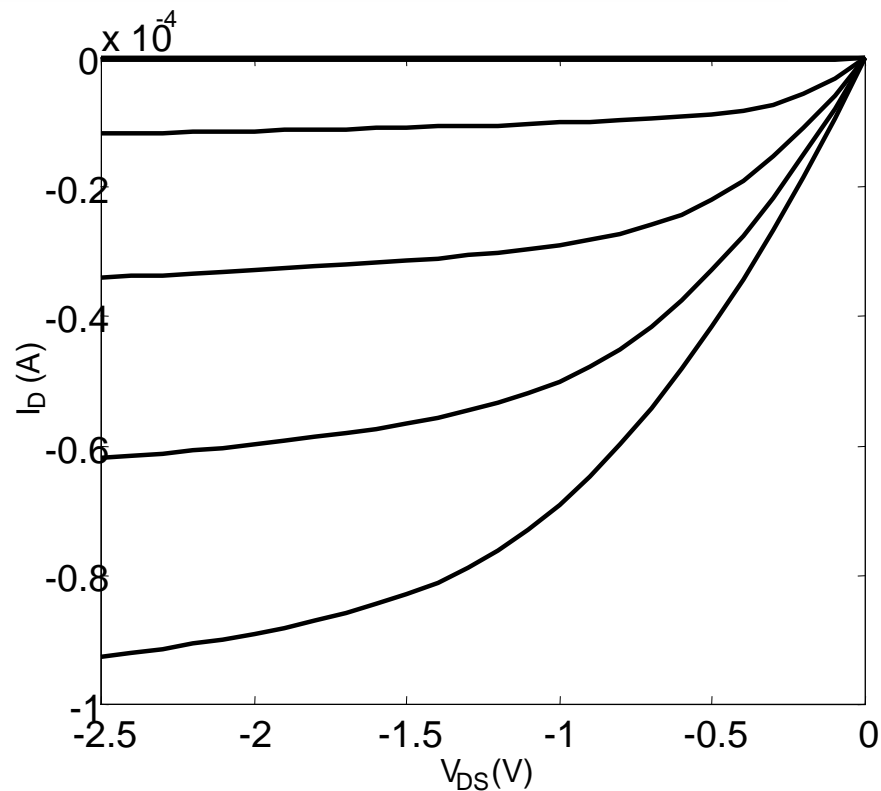
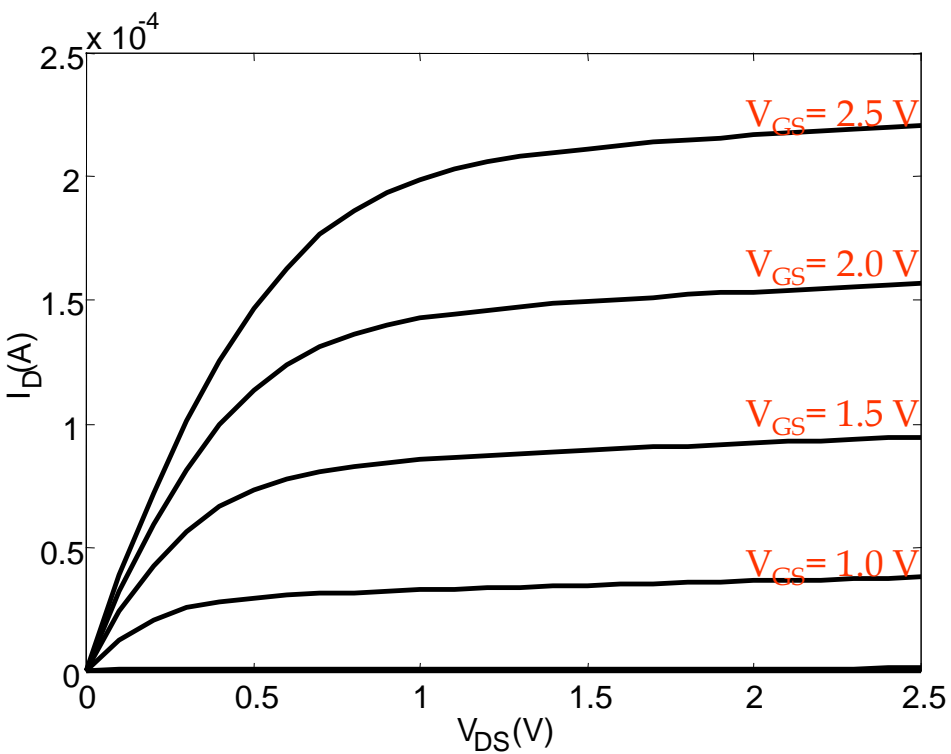
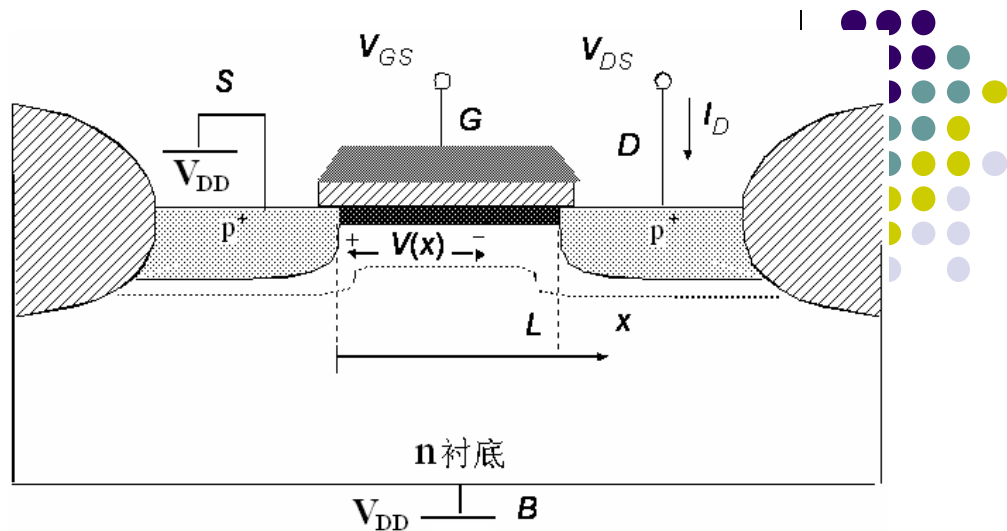
线性关系

$$I_{DSAT} = \kappa(V_{DSAT}) \mu_n C_{ox} \left(\frac{W}{L} \right) \left(V_{GT} V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

短沟晶体管 ($L_d = 0.25 \mu\text{m}$)

MOS晶体管

- 静态特性
- PMOS电流电压关系



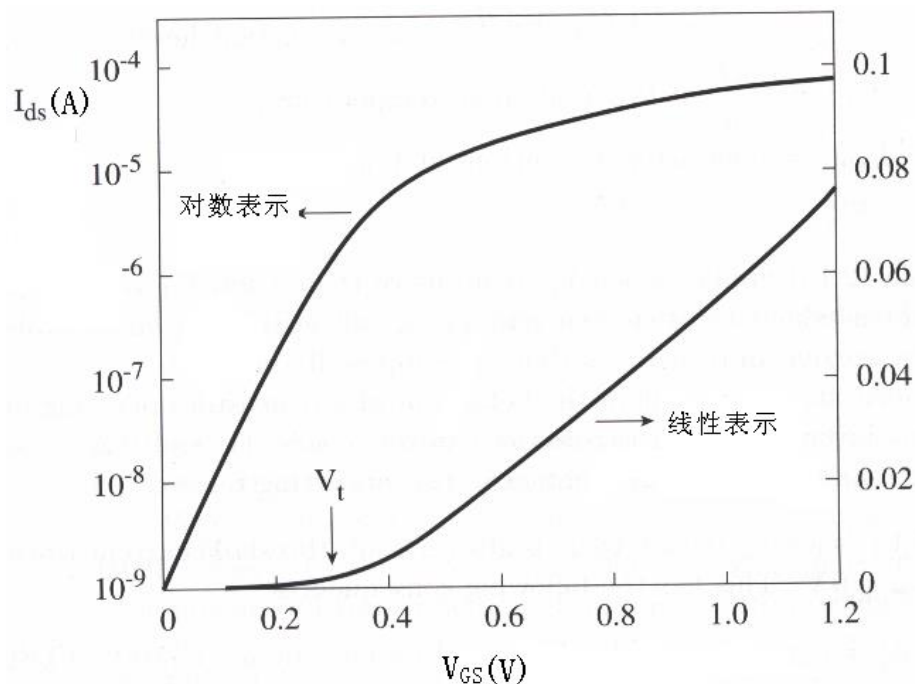
MOS晶体管



- 静态特性

- 亚阈值情况

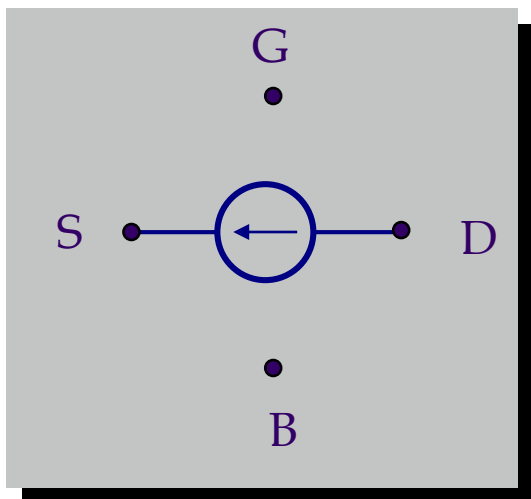
- 当电压低于阈值电压时，MOS晶体管已部分导通
 - 导通到截止的过程是渐变的



MOS晶体管



- 静态特性
 - MOS模型



$$I_D = 0 \quad \text{for } V_{GT} \leq 0$$

$$I_D = k' \frac{W}{L} \left(V_{GT} V_{min} - \frac{V_{min}^2}{2} \right) (1 + \lambda V_{DS}) \quad \text{for } V_{GT} \geq 0$$

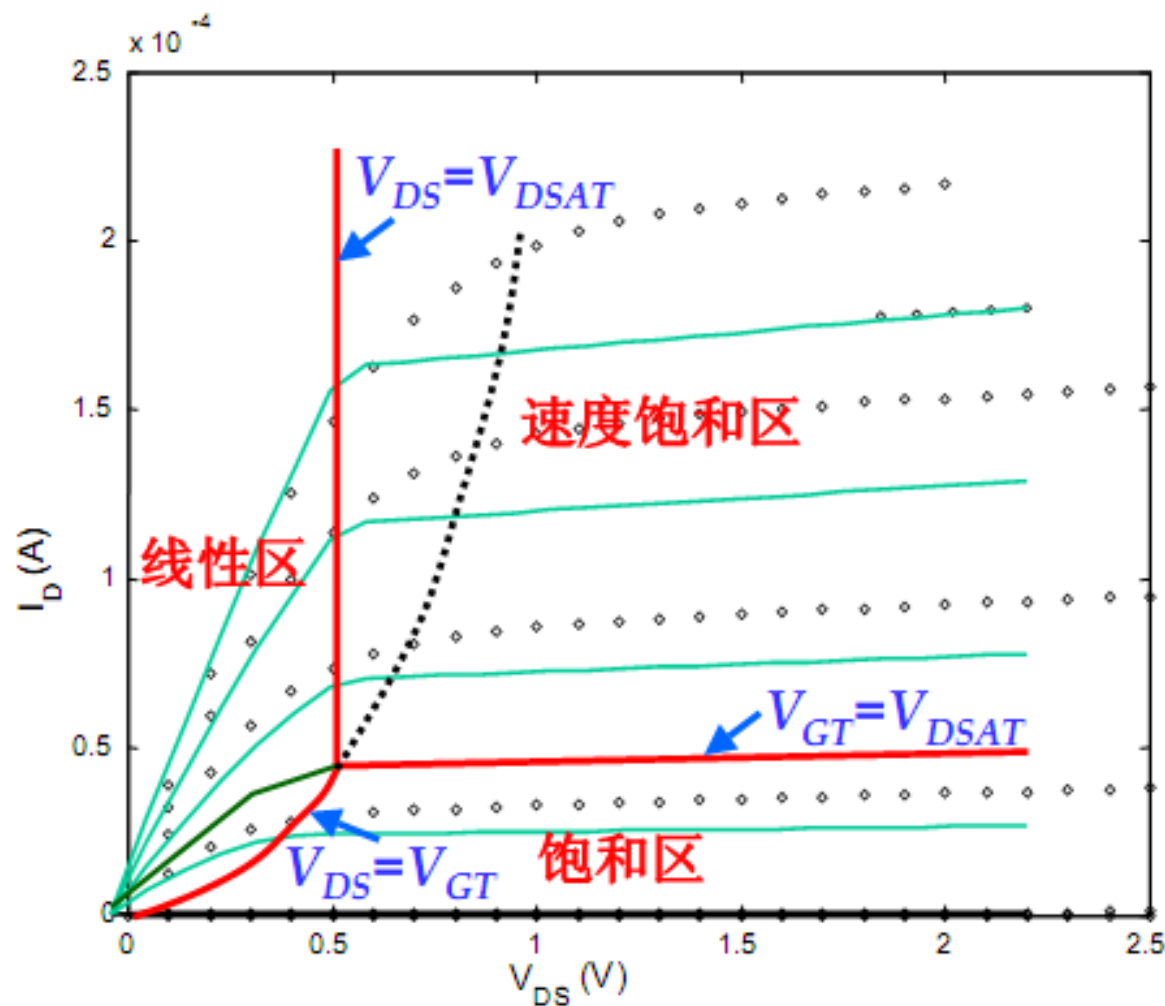
$$\text{with } V_{min} = \min(V_{GT}, V_{DS}, V_{DSAT}),$$

$$V_{GT} = V_{GS} - V_T,$$

$$\text{and } V_T = V_{T0} + \gamma (\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

MOS晶体管

- 静态特性





MOS晶体管

- 静态特性

单位长度0.25um CMOS工艺模型参数

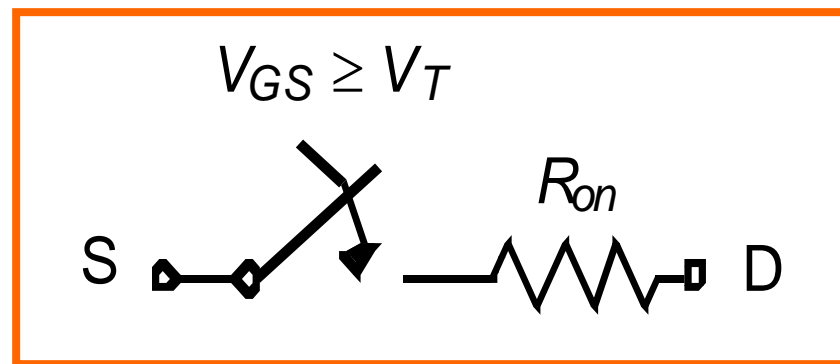
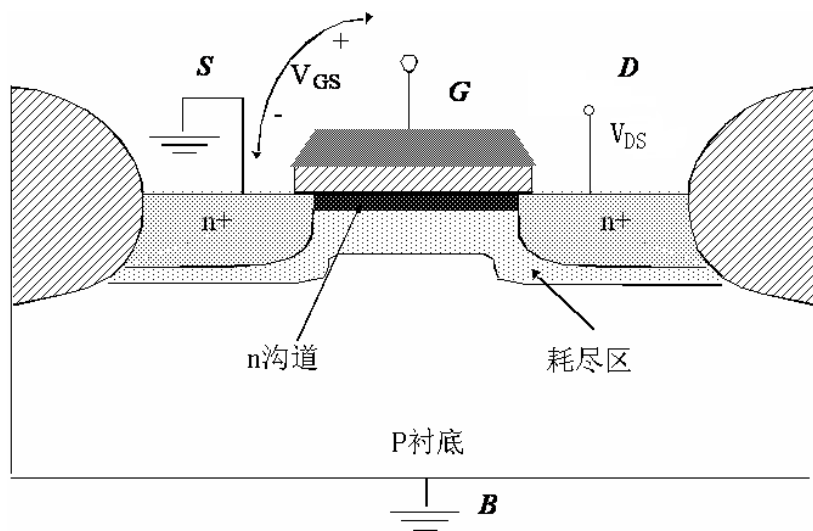
	V_{T0} (V)	γ ($V^{0.5}$)	V_{DSAT} (V)	k' (A/V^2)	λ (V^{-1})
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	-0.4	-0.4	-1	-30×10^{-6}	-0.1

MOS晶体管



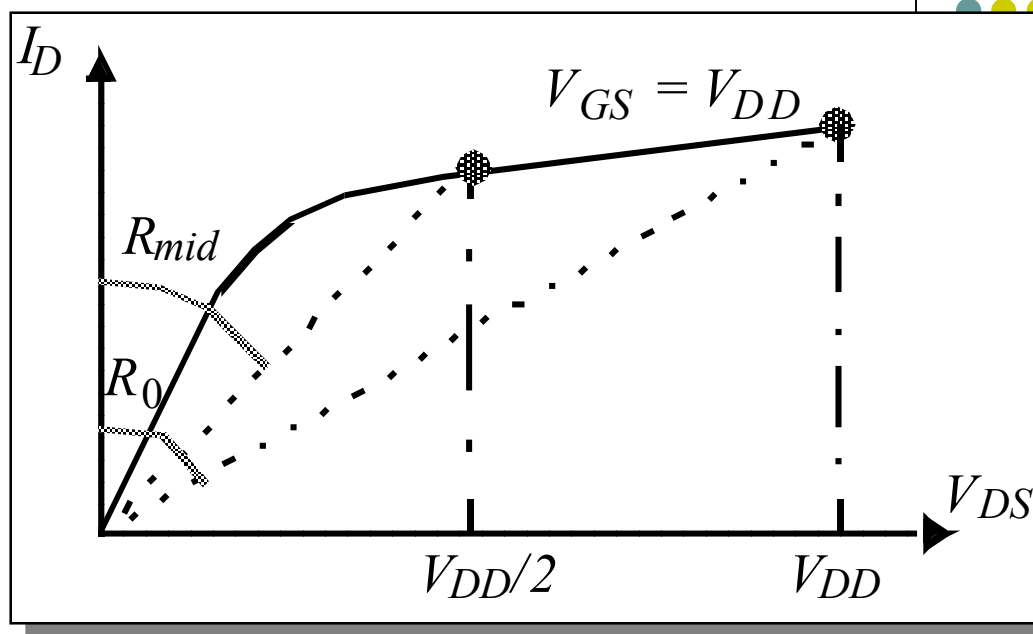
- 等效电阻

- 数字设计中MOS晶体管常常作为一个开关使用
- MOS晶体管电阻通常是非线性的
- 在数字设计中为简化设计常常将其近似成等效线性电阻



MOS晶体管

- 等效电阻计算



$$R_{eq} = \frac{1}{-V_{DD}/2} \int_{V_{DD}}^{V_{DD}/2} \frac{V}{I_{DSAT}(1+\lambda V)} dV \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} (1 - \frac{7}{9} \lambda V_{DD})$$

$$I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

$$R_{eq} = \frac{1}{2} \left(\frac{V_{DD}}{I_{DSAT}(1+\lambda V_{DD})} + \frac{V_{DD}/2}{I_{DSAT}(1+\lambda V_{DD}/2)} \right) \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} (1 - \frac{5}{6} \lambda V_{DD})$$

MOS晶体管

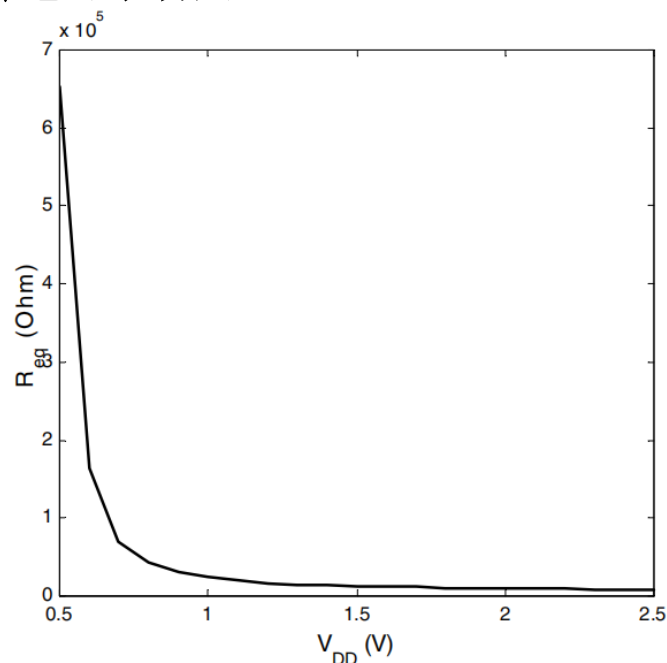


● MOS电阻特点

- 电阻反比于器件的（W/L）比，晶体管宽度加倍时，电阻减少一半
- 当 $V_{DD} \gg V_T + V_{DSAT}/2$ 时，电压对电阻的影响非常小
- 一旦电压降低到 V_T 附近，电阻会急剧增加

$$I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

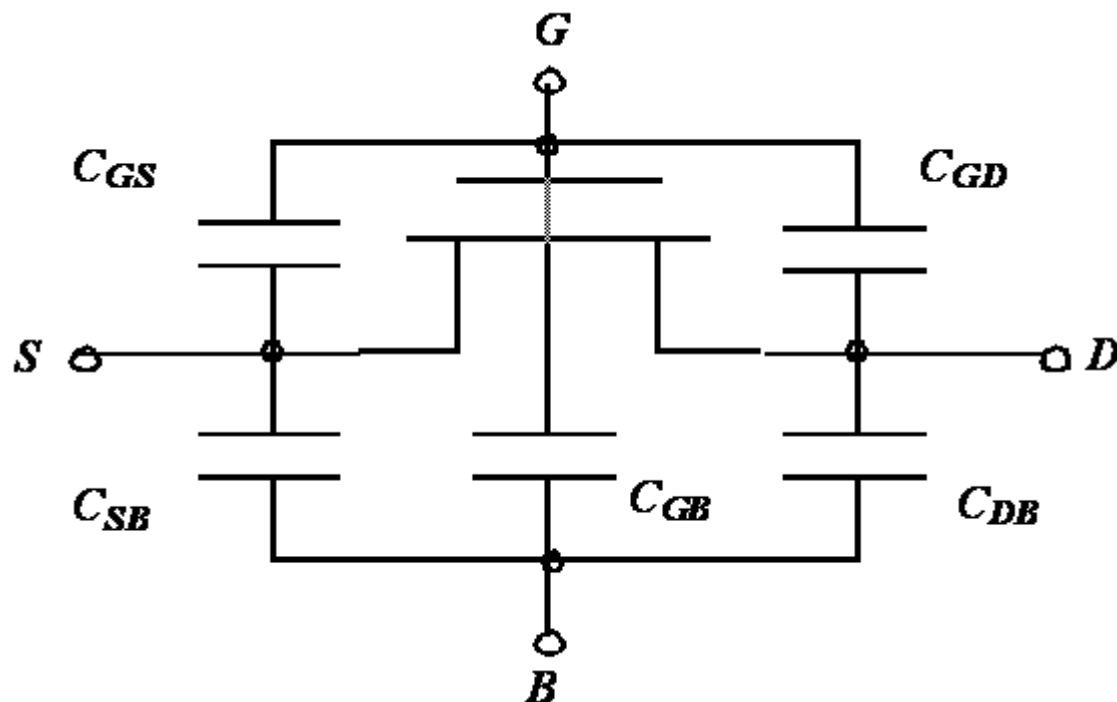
等效电阻与电压 V_{DD} 关系曲线图
($V_{GS}=V_{DD}$, $V_{DS}=V_{DD} \rightarrow V_{DD}/2$)



MOS晶体管



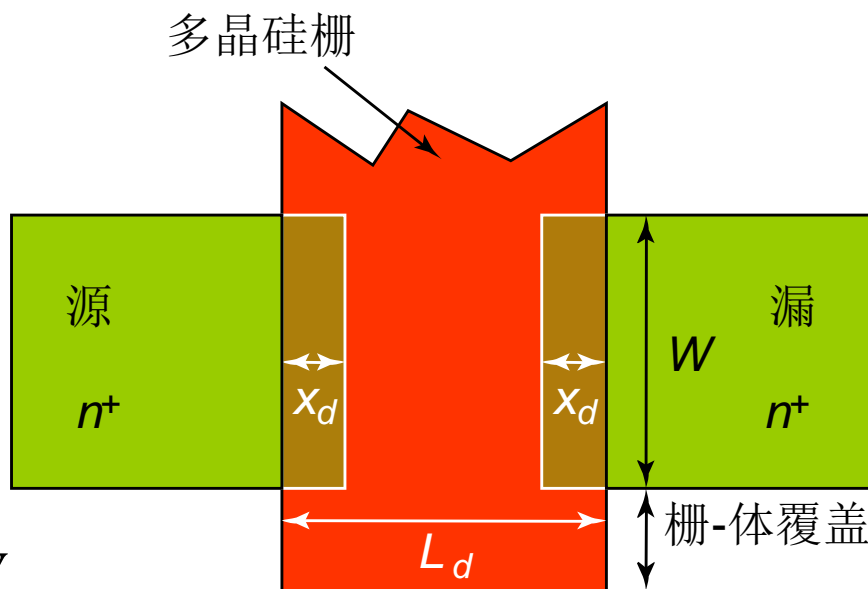
- 动态特性
 - MOS晶体管电容模型



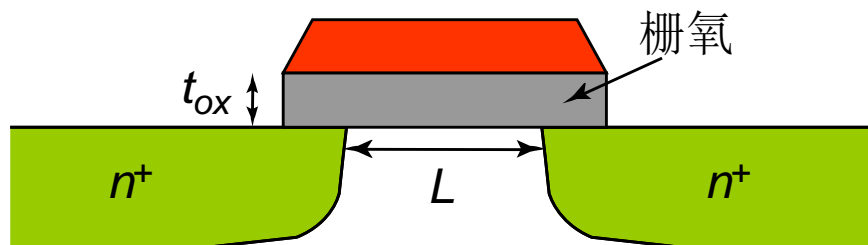
MOS晶体管

- 动态特性
 - MOS结构电容

$$C_{GSO} = C_{GDO} = C_{ox} x_d W = C_o W$$



顶视图



截面图

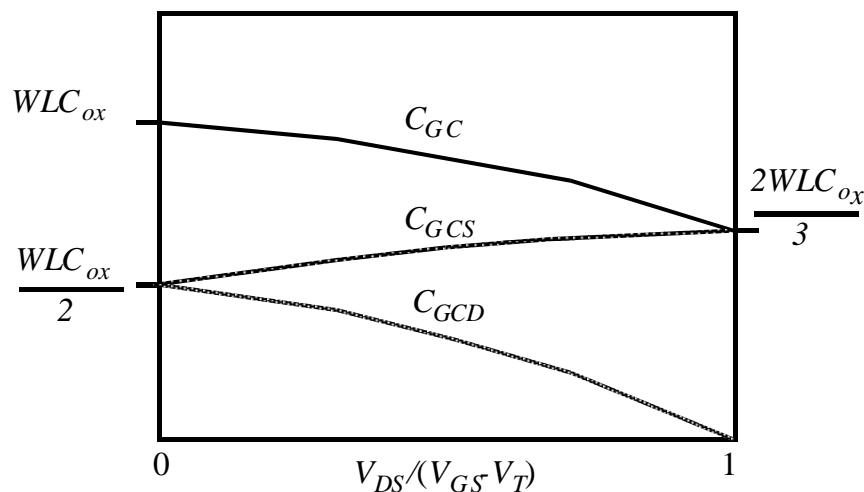
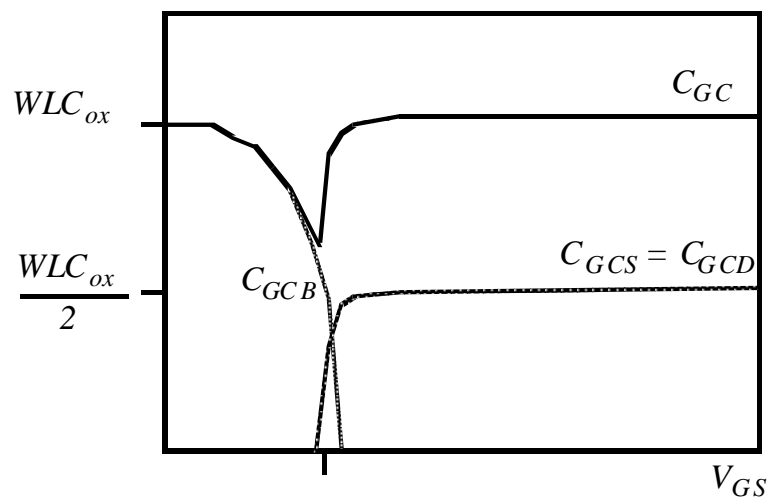
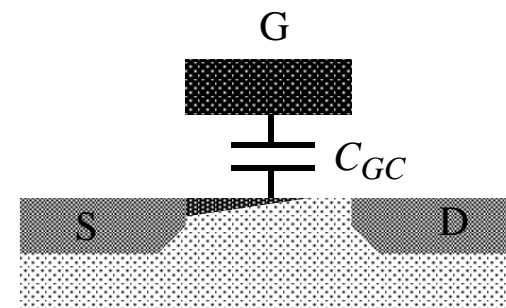
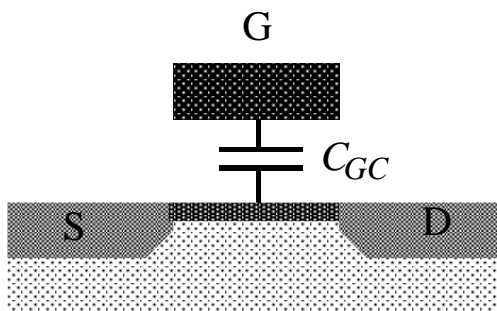
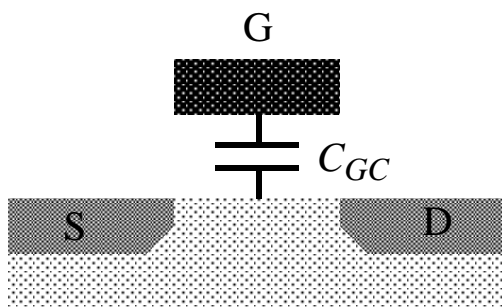


MOS晶体管



- 动态特性

- 沟道电容





MOS晶体管

- 动态特性
 - 沟道电容

不同工作区域MOS管沟道电容的平均分布情况

工作区域	C_{gs}	C_{gs}	C_{gd}	C_{gc}	C_g
截止区	$C_{ox}WL$	0	0	$C_{ox}WL$	$C_{ox}WL + 2C_oW$
电阻区	0	$C_{ox}WL / 2$	$C_{ox}WL / 2$	$C_{ox}WL$	$C_{ox}WL + 2C_oW$
饱和区	0	$(2/3)C_{ox}WL$	0	$(2/3)C_{ox}WL$	$(2/3)C_{ox}WL + 2C_oW$

MOS晶体管



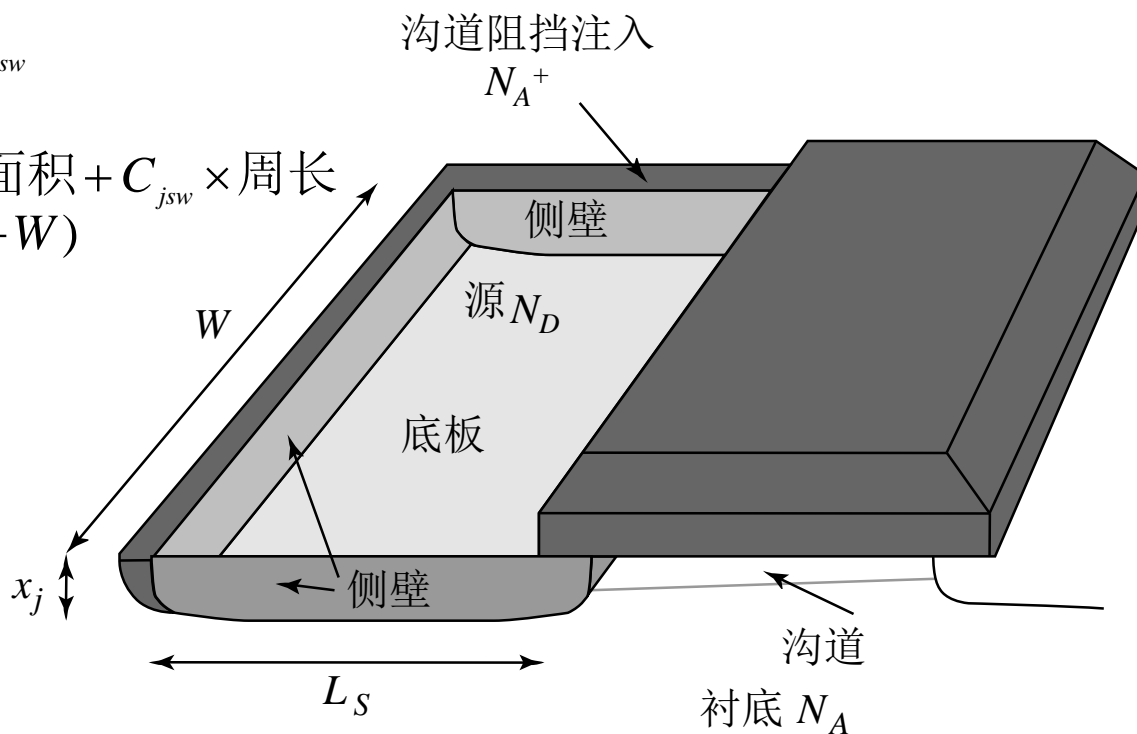
- 动态特性

- 结电容（扩散电容）

- 底板pn结 C_{bottom}

- 侧壁pn结 C_{jsw}

$$\begin{aligned} C_{diff} &= C_{bottom} + C_{sw} = C_j \times \text{面积} + C_{jsw} \times \text{周长} \\ &= C_j L_S W + C_{jsw} (2L_S + W) \end{aligned}$$



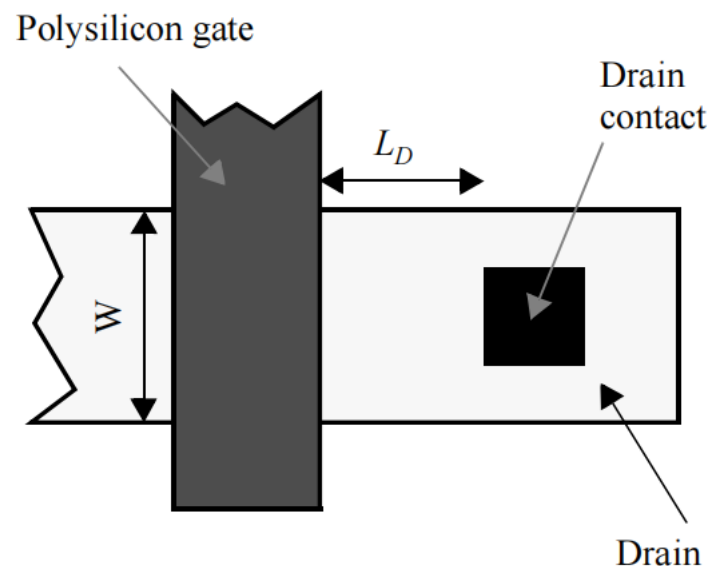
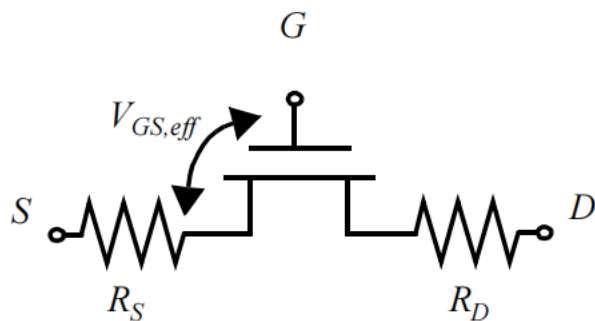
MOS晶体管



- 源漏电阻

- 一组寄生在源区和漏区相串联的电阻
 - 影响晶体管性能，给定漏端电压或栅极电压，漏极电流减少
 - 并随着晶体管尺寸缩小，影响更加显著
 - 源漏区结变浅，接触孔面积

$$R_{S,D} = \frac{L_{S,D}}{W} R_{\square} + R_C$$





MOS晶体管

- 二阶效应

- 阈值变化

- 电压在长沟器件中主要与工艺和 V_{SB} 相关，因此看作一个恒定的值

$$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

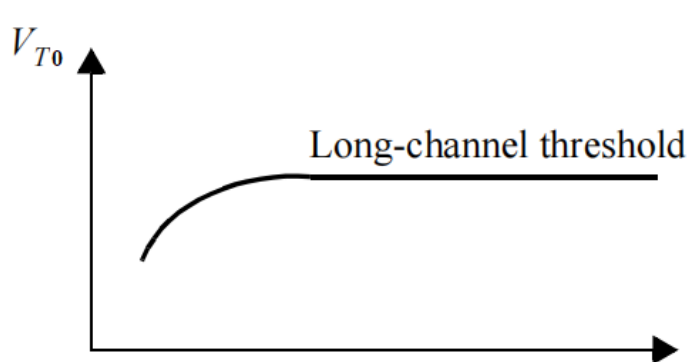
- 随着工艺尺寸的缩小，阈值电压 V_T 不再恒定，并与 L 、 W 和 V_{DS} 相关，这一特性在短沟器件模型中不能忽略
 - 短沟效应（ L 小）： V_{T0} 随着 L 的减小而减少，源漏结的耗尽区随着沟长 L 的减小，对沟道耗尽区的影响逐渐增加

MOS晶体管

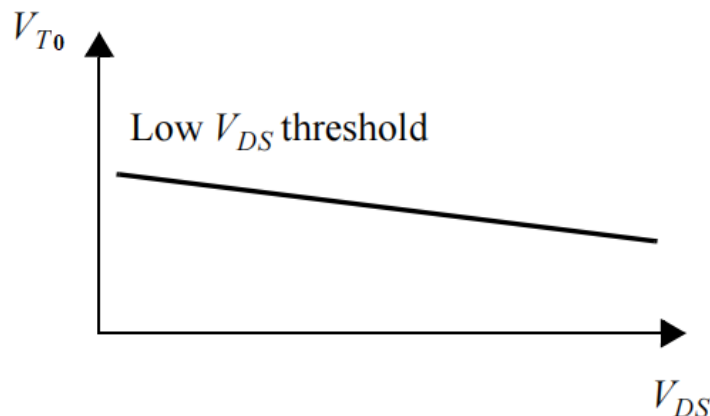
- 二阶效应

- 阈值变化

- **DIBL**: 提高漏端电压同样增加漏端PN结的耗尽区大小, 对沟道耗尽区产生同样的影响, 即漏端感应势垒**DIBL** (**drain-induced barrier lowering**), 导致阈值电压与工作电压相关



阈值与沟长的关系



DIBL

- 窄沟效应 (W 小): 耗尽区向边缘的场氧下面再延伸一些, 栅电压必须维持这些耗尽电荷才能建立沟道, 当 W 较小, 该效应影响提高, 导致阈值电压升高

MOS晶体管



- 工艺偏差

- 工艺制造过程中，器件实际尺寸与设计尺寸存在差异
 - 淀积或掺杂的不均匀导致薄层电阻、电容、阈值电压等参数值差异
 - 光刻技术的精度导致器件尺寸的变化
 - MOS管宽长比
 - 互连线宽度
 - 许多偏差是不同工艺步骤产生的，是不相关的
 - V_{T0} 由氧化层厚度、衬底、多晶和注入掺杂浓度影响
 - 工艺跨导由氧化层厚度以及载流子的迁移率影响
 - W 和 L 由光刻工艺决定
- 工艺偏差的显著影响使电路工作在偏离预期的特性之外，当前的工艺可以保证工艺偏差小到生产出的绝大多数电路能满足设计性能要求

SPICE介绍



- SPICE (Simulation Program with Integrated Circuit Emphasis) : 电路仿真模型
 - Level1: 基于长沟MOS器件模型 (漏电流与栅电压为平方关系)
 - Level2: 基于几何尺寸的模型 (长沟和短沟模型) 考虑了BDIL效应
 - Level3: 解析与经验公式相结合, 精度显著提升
 - BSIM (Berkeley Short-channel IGFET Model) : 深亚微米MOSFET晶体管工艺标准, 包括BSIM3v3 (HSPICE中的Level49) 和BSIM4v5 (HSPICE中的Level54)

