

北京科技大学

2011-2012 学年第一学期期末试题

计算机组成原理

一、选择题（共 20 分，每题 1 分）

1. 零地址运算指令在指令格式中不给出操作数地址，它的操作数来自 ____C____。
A. 立即数和栈顶；
B. 暂存器；
C. 栈顶和次栈顶；
D. 累加器。
2. ____C____ 可区分存储单元中存放的是指令还是数据。
A. 存储器；
B. 运算器；
C. 控制器；
D. 用户。
3. 所谓三总线结构的计算机是指 ____B____。
A. 地址线、数据线和控制线三组传输线。
B. I/O 总线、主存总线和 DMA 总线三组传输线；
C. I/O 总线、主存总线和系统总线三组传输线；
D. 设备总线、主存总线和控制总线三组传输线。
4. 某计算机字长是 32 位，它的存储容量是 256KB，按字编址，它的寻址范围是 ____B____。
A. 128K；
B. 64K；
C. 64KB；
D. 128KB。
5. 主机与设备传送数据时，采用 ____A____，主机与设备是串行工作的。
A. 程序查询方式；
B. 中断方式；
C. DMA 方式；
D. 通道。
6. 在整数定点机中，下述第 ____B____ 种说法是正确的。
A. 原码和反码不能表示 -1 ，补码可以表示 -1 ；
B. 三种机器数均可表示 -1 ；
C. 三种机器数均可表示 -1 ，且三种机器数的表示范围相同；
D. 三种机器数均不可表示 -1 。
7. 变址寻址方式中，操作数的有效地址是 ____C____。
A. 基址寄存器内容加上形式地址（位移量）；
B. 程序计数器内容加上形式地址；
C. 变址寄存器内容加上形式地址；
D. 以上都不对。

8. 向量中断是 ____C____。
- A. 外设提出中断；
 - B. 由硬件形成中断服务程序入口地址；
 - C. 由硬件形成向量地址，再由向量地址找到中断服务程序入口地址
 - D. 以上都不对。
9. 一个节拍信号的宽度是指 ____C____。
- A. 指令周期；
 - B. 机器周期；
 - C. 时钟周期；
 - D. 存储周期。
10. 将微程序存储在 EPROM 中的控制器是 ____A____ 控制器。
- A. 静态微程序；
 - B. 毫微程序；
 - C. 动态微程序；
 - D. 微程序。
11. 隐指令是指 ____D____。
- A. 操作数隐含在操作码中的指令；
 - B. 在一个机器周期里完成全部操作的指令；
 - C. 指令系统中已有的指令；
 - D. 指令系统中没有的指令。
12. 当用一个 16 位的二进制数表示浮点数时，下列方案中第 ____B____ 种最好。
- A. 阶码取 4 位（含阶符 1 位），尾数取 12 位（含数符 1 位）；
 - B. 阶码取 5 位（含阶符 1 位），尾数取 11 位（含数符 1 位）；
 - C. 阶码取 8 位（含阶符 1 位），尾数取 8 位（含数符 1 位）；
 - D. 阶码取 6 位（含阶符 1 位），尾数取 12 位（含数符 1 位）。
13. DMA 方式 ____B____。
- A. 既然能用于高速外围设备的信息传送，也就能代替中断方式；
 - B. 不能取代中断方式；
 - C. 也能向 CPU 请求中断处理数据传送；
 - D. 内无中断机制。
14. 在中断周期中，由 ____D____ 将允许中断触发器置“0”。
- A. 关中断指令；
 - B. 机器指令；
 - C. 开中断指令；
 - D. 中断隐指令。
15. 在单总线结构的 CPU 中，连接在总线上的多个部件 ____B____。
- A. 某一时刻只有一个可以向总线发送数据，并且只有一个可以从总线接收数据；
 - B. 某一时刻只有一个可以向总线发送数据，但可以有多个同时从总线接收数据；
 - C. 可以有多个同时向总线发送数据，并且可以有多个同时从总线接收数据；
 - D. 可以有多个同时向总线发送数据，但可以有一个同时从总线接收数据。
16. 三种集中式总线控制中， ____A____ 方式对电路故障最敏感。
- A. 链式查询；
 - B. 计数器定时查询；

- C . 独立请求 ;
D . 以上都不对。
- 17 . 一个 16K ×8 位的存储器 , 其地址线和数据线的总和是 D 。
A . 48 ;
B . 46 ;
C . 17 ;
D . 22 .
- 18 . 在间址周期中 , C 。
A . 所有指令的间址操作都是相同的 ;
B . 凡是存储器间接寻址的指令 , 它们的操作都是相同的 ;
C . 对于存储器间接寻址或寄存器间接寻址的指令 , 它们的操作是不同的 ;
D . 以上都不对。
- 19 . 下述说法中 B 是正确的。
A . EPROM 是可改写的 , 因而也是随机存储器的一种 ;
B . EPROM 是可改写的 , 但它不能用作随机存储器用 ;
C . EPROM 只能改写一次 , 故不能作为随机存储器用 ;
D . EPROM 是可改写的 , 但它能用作随机存储器用。
- 20 . 打印机的分类方法很多 , 若按能否打印汉字来区分 , 可分为 C 。
A . 并行式打印机和串行式打印机 ;
B . 击打式打印机和非击打式打印机 ;
C . 点阵式打印机和活字式打印机 ;
D . 激光打印机和喷墨打印机。

二、填空 (共 20 分 , 每空 1 分)

- 1 . 设浮点数阶码为 8 位 (含 1 位阶符) , 尾数为 24 位 (含 1 位数符) , 则 32 位二进制补码浮点规格化数对应的十进制真值范围是 : 最大正数为 $2^{127}(1-2^{-23})$, 最小正数为 2^{-129} , 最大负数为 $2^{-128}(-2^{-1}-2^{-23})$, 最小负数为 -2^{127} 。
- 2 . 指令寻址的基本方式有两种 , 一种是 顺序 寻址方式 , 其指令地址由 程序计数器 给出 , 另一种是 跳跃 寻址方式 , 其指令地址由 指令本身 给出。
- 3 . 在一个有四个过程段的浮点加法器流水线中 , 假设四个过程段的时间分别是 $T_1 = 60\text{ns}$ 、 $T_2 = 50\text{ns}$ 、 $T_3 = 90\text{ns}$ 、 $T_4 = 80\text{ns}$ 。则加法器流水线的时钟周期至少为 90ns 。如果采用同样的逻辑电路 , 但不是流水线方式 , 则浮点加法所需的时间为 280ns 。
- 4 . 一个浮点数 , 当其尾数右移时 , 欲使其值不变 , 阶码必须 增加 。尾数右移 1 位 , 阶码 加 1 。
- 5 . 存储器由 m ($m = 1, 2, 4, 8, \dots$) 个模块组成 , 每个模块有自己的 地址 和 数据 寄存器 , 若存储器采用 模 m 编址 , 存储器带宽可增加到原来的 m 倍。
- 6 . 按序写出多重中断的中断服务程序包括 保护现场 、 开中断 、 设备服务 。

- 1 . A . $2^{127}(1-2^{-23})$ B . 2^{-129} C . $2^{-128}(-2^{-1}-2^{-23})$ D . -2^{127}

三、名词解释（共 10 分，每题 2 分）

1. 微操作命令和微操作

答：微操作命令是控制完成微操作的命令；微操作是由微操作命令控制实现的最基本操作。

2. 快速缓冲存储器

答：快速缓冲存储器是为了提高访存速度，在 CPU 和主存之间增设的高速存储器，它对用户是透明的。只要将 CPU 最近期需用的信息从主存调入缓存，这样 CPU 每次只须访问快速缓存就可达到访问主存的目的，从而提高了访存速度。

3. 基址寻址

答：基址寻址有效地址等于形式地址加上基址寄存器的内容。

4. 流水线中的多发技术

答：为了提高流水线的性能，设法在一个时钟周期（机器主频的倒数）内产生更多条指令的结果，这就是流水线中的多发技术。

5. 指令字长

答：指令字长是指机器指令中二进制代码的总位数。

四、计算题（5 分）

设机器数字长为 8 位（含 1 位符号位），设 $A = \frac{9}{64}$ ， $B = -\frac{13}{32}$ ，计算 $[A \pm B]_{\text{补}}$ ，并还原成真值。

计算题 答： $[A+B]_{\text{补}} = 1.1011110$ ， $A+B = (-17/64)$

$[A-B]_{\text{补}} = 1.1000110$ ， $A-B = (35/64)$

五、简答题（共 20 分）

1. 异步通信与同步通信的主要区别是什么，说明通信双方如何联络。（4 分）

同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序，统一的传输周期进行信息传输，通信双方按约定好的时序联络。后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。

2. 为什么外围设备要通过接口与 CPU 相连？接口有哪些功能？（6 分）

答：外围设备要通过接口与 CPU 相连的原因主要有：

（1）一台机器通常配有多台外设，它们各自有其设备号（地址），通过接口可实现对设备的选择。

（2）I/O 设备种类繁多，速度不一，与 CPU 速度相差可能很大，通过接口可实现数据缓冲，达到速度匹配。

（3）I/O 设备可能串行传送数据，而 CPU 一般并行传送，通过接口可实现数据串并格式转换。

（4）I/O 设备的入 / 出电平可能与 CPU 的入 / 出电平不同，通过接口可实现电平转换。

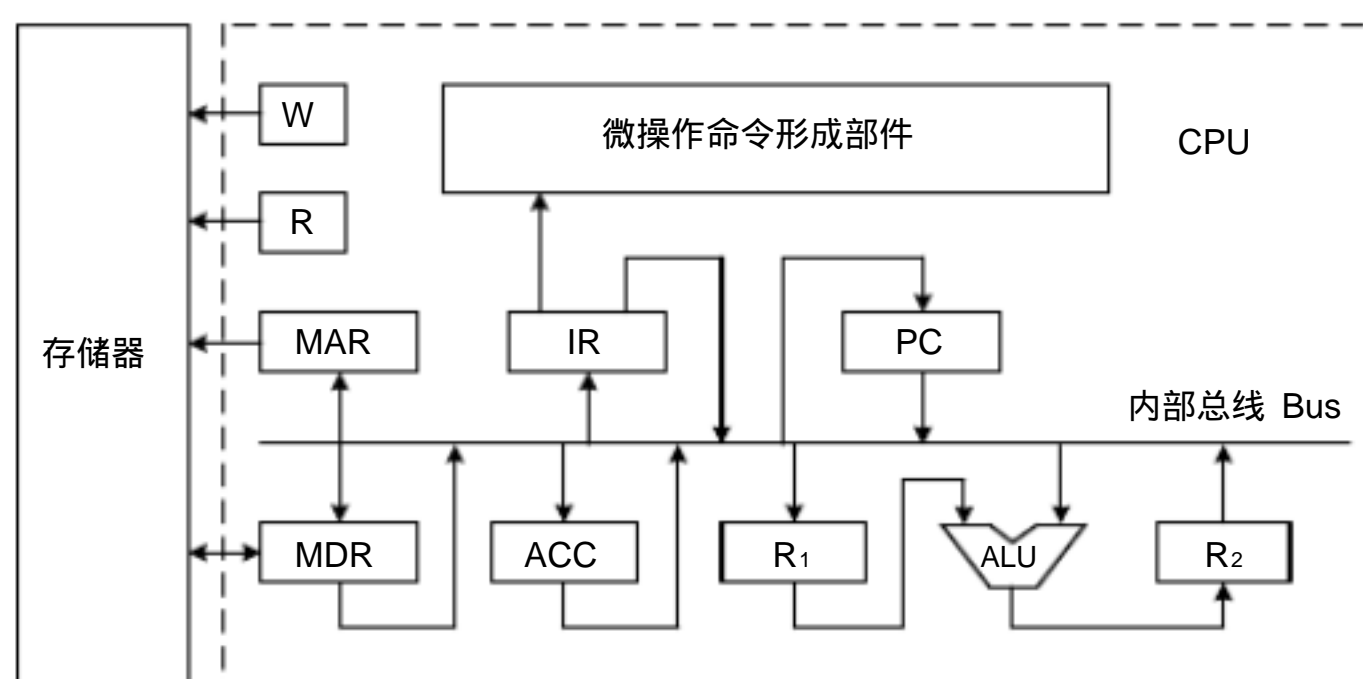
(5) CPU 启动 I/O 设备工作，要向外设发各种控制信号，通过接口可传送控制命令。

(6) I/O 设备需将其工作状态 (“忙”、“就绪”、“错误”、“中断请求”等)及时报告 CPU，通过接口可监视设备的工作状态，并保存状态信息，供 CPU 查询。

可见归纳起来，接口应具有选址的功能、传送命令的功能、反映设备状态的功能以及传送数据的功能(包括缓冲、数据格式及电平的转换)。

六、问答题(共 15 分)

1. 设 CPU 中各部件及其相互连接关系如下图所示。图中 W 是写控制标志，R 是读控制标志， R_1 和 R_2 是暂寄存器。(8 分)



(1) 假设要求在取指周期由 ALU 完成 $(PC)+1$ PC 的操作(即 ALU 可以对它的一个源操作数完成加 1 的运算)。要求以最少的节拍写出取指周期全部微操作命令及节拍安排。

答：由于 $(PC)+1$ PC 需由 ALU 完成，因此 PC 的值可作为 ALU 的一个源操作数，靠控制 ALU 做 + 1 运算得到 $(PC)+1$ ，结果送至与 ALU 输出端相连的 R_2 ，然后再送至 PC。

此题的关键是要考虑总线冲突的问题，故取指周期的微操作命令及节拍安排如下：

T_0 PC → MAR, 1 → R
 T_1 M(MAR) → MDR, $(PC)+1$ → R_2
 T_2 MDR → IR, OP(IR) → 微操作命令形成部件
 T_3 R_2 → PC

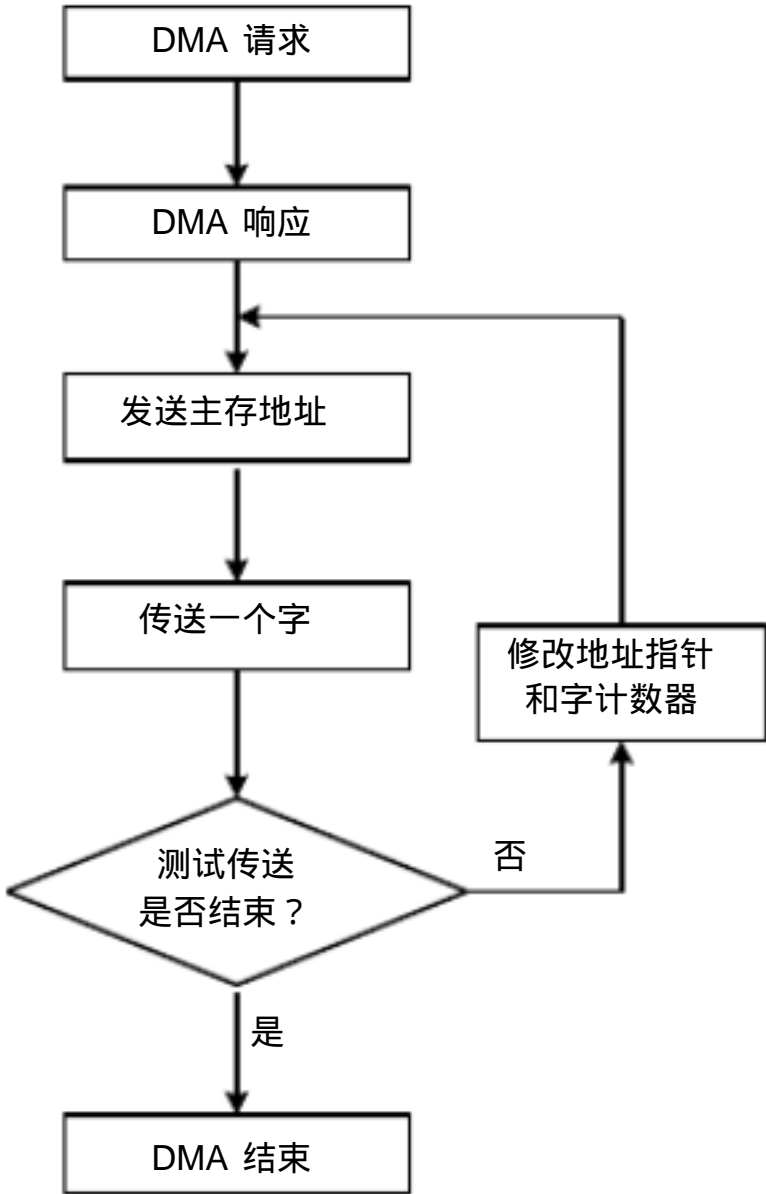
(2) 写出指令 ADD # (#为立即寻址特征，隐含的操作数在 ACC 中)在执行阶段所需的微操作命令及节拍安排。

答：立即寻址的加法指令执行周期的微操作命令及节拍安排如下：

T_0 Ad(IR) → R ; 立即数 → R_1
 T_1 $(R_1)+(ACC)$ → R_2 ; ACC 通过总线送 ALU
 T_2 R_2 → ACC ; 结果 → ACC

2. DMA 接口主要由哪些部件组成？在数据交换过程中它应完成哪些功能？画出 DMA 工作过程的流程图（不包括预处理和后处理）

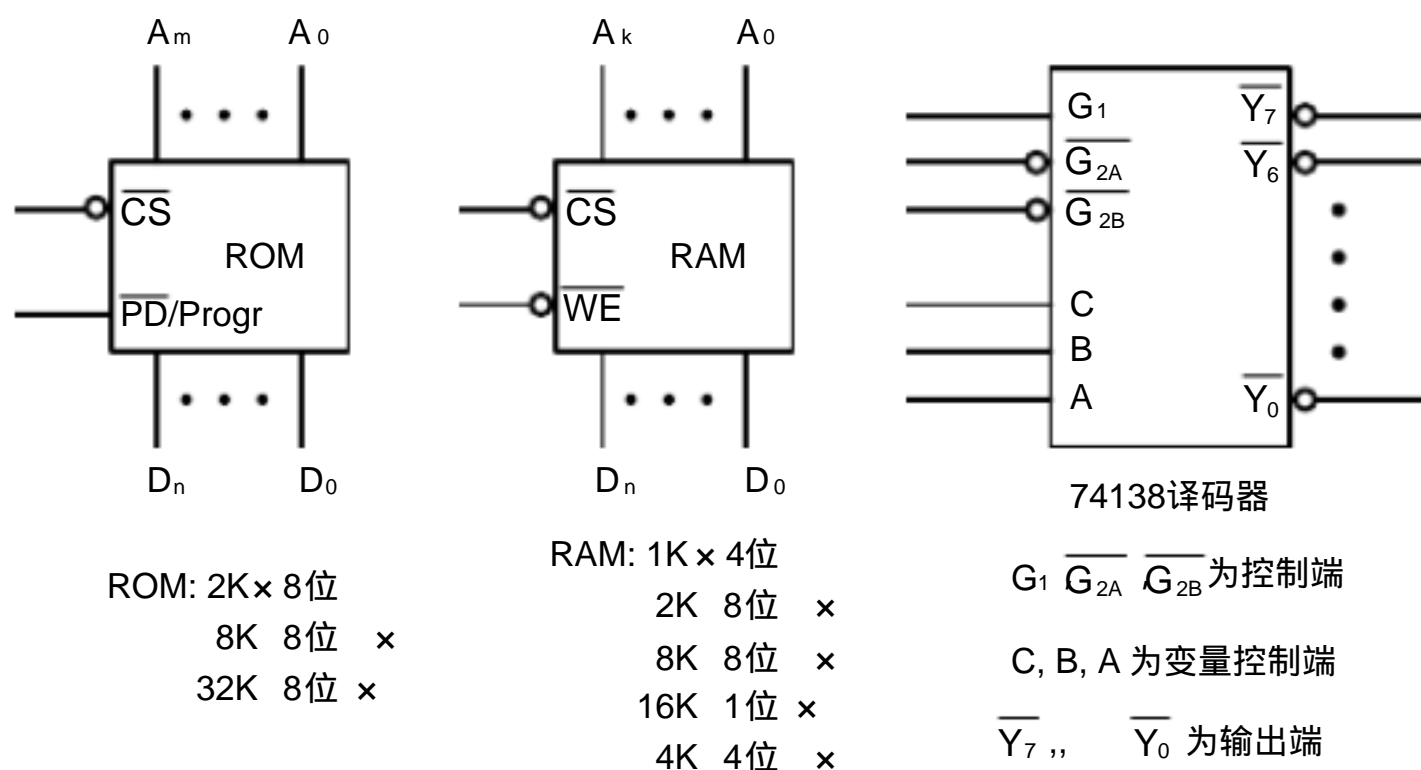
答：DMA 接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和 DMA 控制逻辑等组成。在数据交换过程中，DMA 接口的功能有：（1）向 CPU 提出总线请求信号；（2）当 CPU 发出总线响应信号后，接管对总线的控制；（3）向存储器发地址信号（并能自动修改地址指针）；（4）向存储器发读 / 写等控制信号，进行数据传送；（5）修改字计数器，并根据传送字数，判断 DMA 传送是否结束；（6）发 DMA 结束信号，向 CPU 申请程序中断，报告一组数据传送完毕。DMA 工作过程流程如图所示。



七、设计题（10 分）

设 CPU 共有 16 根地址线，8 根数据线，并用 \overline{MREQ} 作访存控制信号（低电平有效），用 \overline{WR} 作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器的连接图，要求：

- （1）存储芯片地址空间分配为：最大 4K 地址空间为系统程序区，相邻的 4K 地址空间为系统程序工作区，最小 16K 地址空间为用户程序区；
- （2）指出选用的存储芯片类型及数量；
- （3）详细画出片选逻辑。



(1) 主存地址空间分配：

6000H ~ 67FFH 为系统程序区；

6800H ~ 6BFFH 为用户程序区。

答：(1) 主存地址空间分配。(2分)

A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	最大 4K 2K×8位 ROM 2片
1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	
1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	
1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	相邻 4K 4K×4位 RAM 2片
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	最小 16K 8K×8位 RAM 2片
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

(2) 合理选用上述存储芯片，说明各选几片？

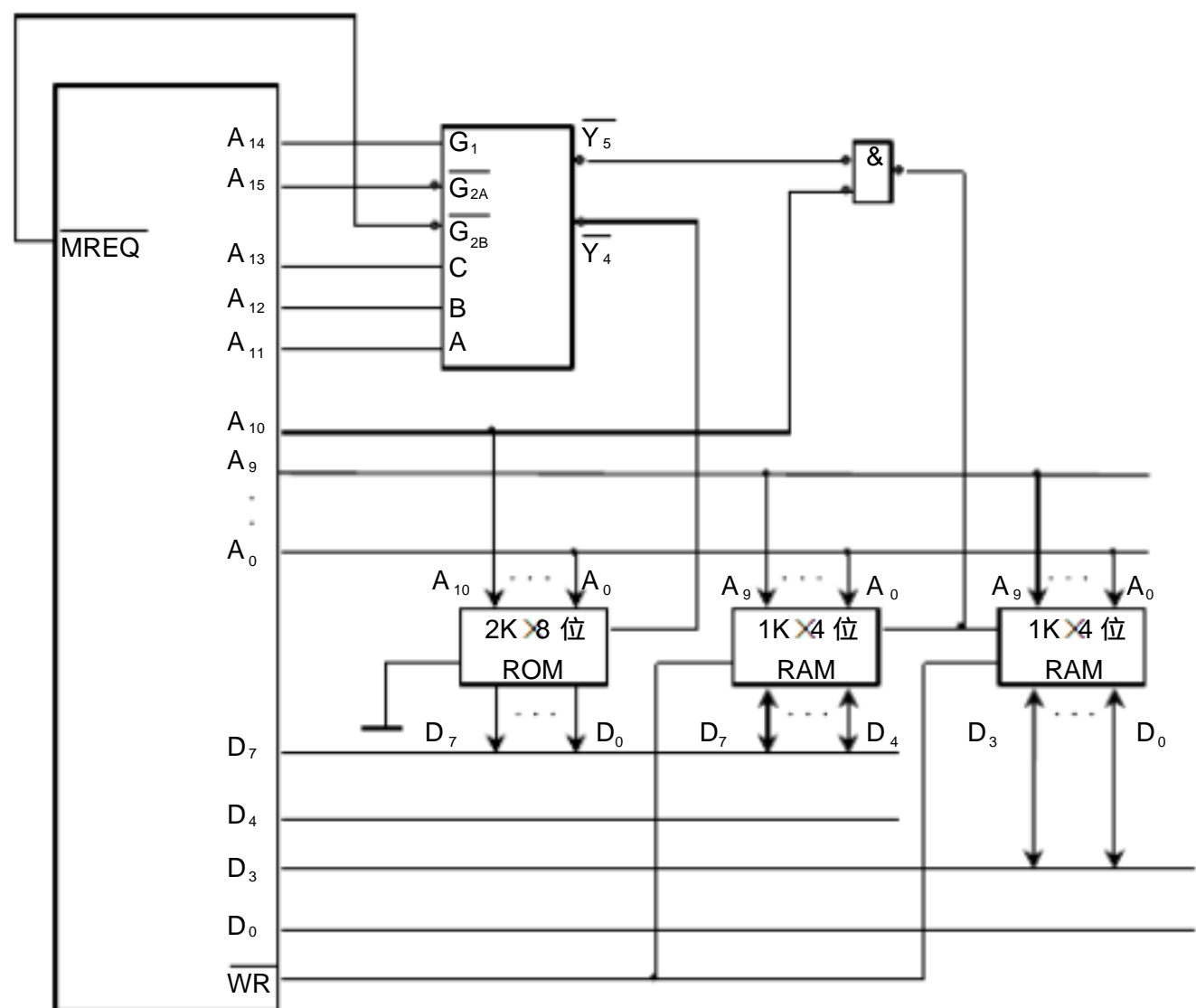
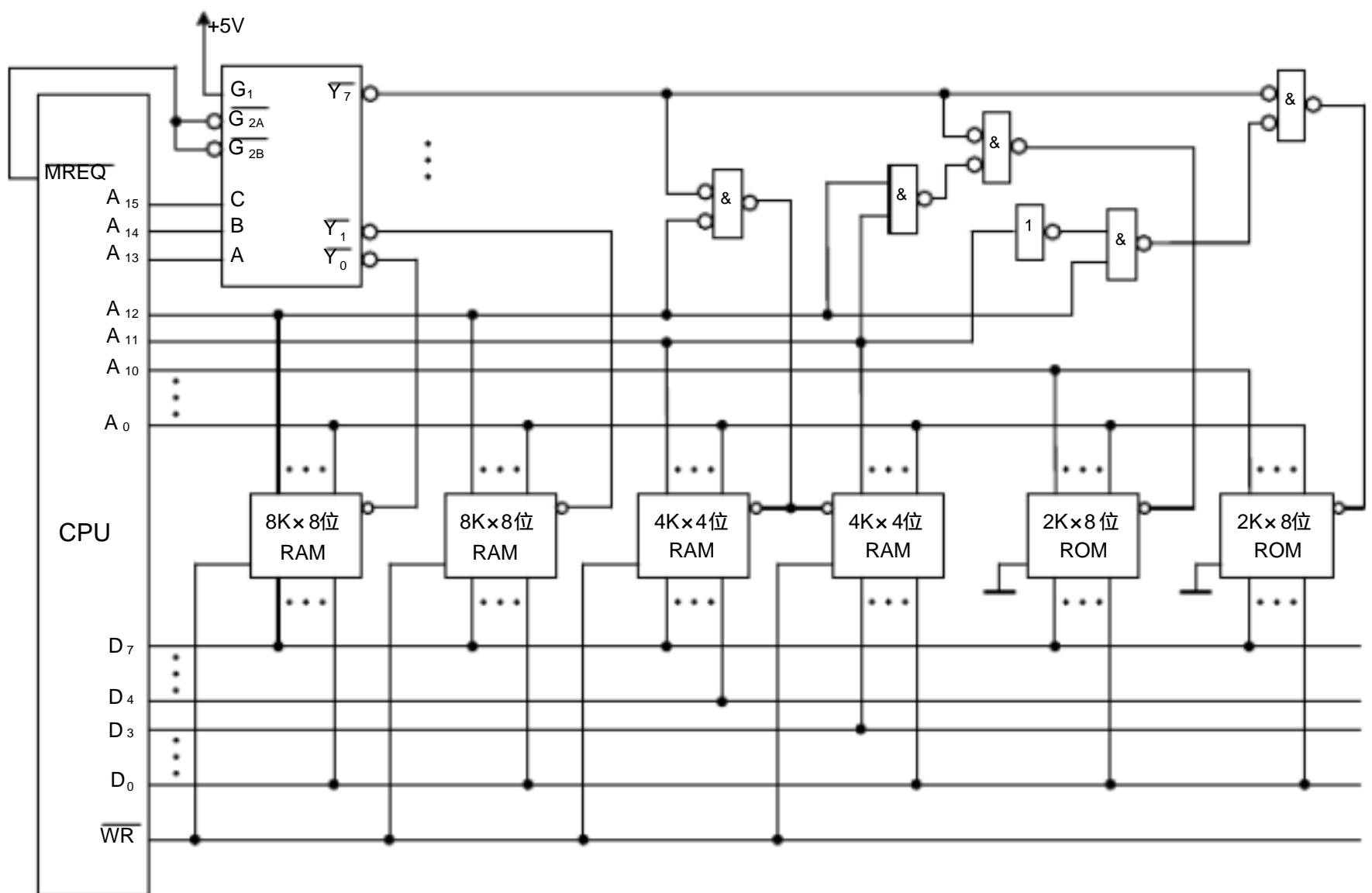
2) 根据主存地址空间分配

最大 4K 地址空间为系统程序区，选用 2片 2K×8位 ROM 芯片；(1分)

相邻的 4K 地址空间为系统程序工作区，选用 2片 4K×4位 RAM 芯片；(1分)

最小 16K 地址空间为用户程序区，选用 2片 8K×8位 RAM 芯片。(1分)

(3) 详细画出存储芯片的片选逻辑图。



答案：

一、选择题（共 20 分，每题 1 分）

- 1 . C 2 . C 3 . B 4 . B 5 . A 6 . B 7 . C
8 . C 9 . C 10 . A 11 . D 12 . B 13 . B 14 . D
15 . B 16 . A 17 . D 18 . C 19 . B 20 . C

二、填空（共 20 分，每空 1 分）

- 1 . A . $A \cdot 2^{127}(1-2^{-23})$ B . 2^{-129} C . $2^{-128}(-2^{-1}-2^{-23})$ D . -2^{127}
2 . A . 顺序 B . 程序计数器 C . 跳跃 D . 指令本身
3 . A . 90ns B . 280ns
4 . A . A . 增加 B . 加 1
5 . A . 地址 B . 数据 C . 模 m D . m
6 . A . 保护现场 B . 开中断 C . 设备服务 D . 恢复现场

三、名词解释（共 10 分，每题 2 分）

1 . 微操作命令和微操作

答：微操作命令是控制完成微操作的命令；微操作是由微操作命令控制实现的最基本操作。

2 . 快速缓冲存储器

答：快速缓冲存储器是为了提高访存速度，在 CPU 和主存之间增设的高速存储器，它对用户是透明的。只要将 CPU 最近期需用的信息从主存调入缓存，这样 CPU 每次只须访问快速缓存就可达到访问主存的目的，从而提高了访存速度。

3 . 基址寻址

答：基址寻址有效地址等于形式地址加上基址寄存器的内容。

4 . 流水线中的多发技术

答：为了提高流水线的性能，设法在一个时钟周期（机器主频的倒数）内产生更多条指令的结果，这就是流水线中的多发技术。

5 . 指令字长

答：指令字长是指机器指令中二进制代码的总位数。

四、（共 5 分）

计算题 答： $[A+B]_{\text{补}} = 1.1011110$ ， $A+B = (-17/64)$

$[A-B]_{\text{补}} = 1.1000110$ ， $A-B = (35/64)$

五、简答题（共 20 分）

1 .（4 分）答：

同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序，统一的传输周期进行信息传输，通信双方按约定好的时序联络。后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。

2 .（6 分，每写出一种给 1 分，最多 6 分）

答：外围设备要通过接口与 CPU 相连的原因主要有：

（1）一台机器通常配有多台外设，它们各自有其设备号（地址），通过接口可实现对设备的选择。

（2）I/O 设备种类繁多，速度不一，与 CPU 速度相差可能很大，通过接口可实现数据缓冲，达到速度匹配。

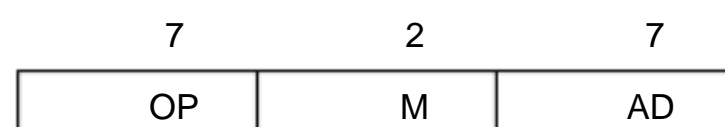
（3）I/O 设备可能串行传送数据，而 CPU 一般并行传送，通过接口可实现数据串并格式转换。

- (4) I/O 设备的入 / 出电平可能与 CPU 的入 / 出电平不同，通过接口可实现电平转换。
- (5) CPU 启动 I/O 设备工作，要向外设发各种控制信号，通过接口可传送控制命令。
- (6) I/O 设备需将其工作状态 (“忙”、“就绪”、“错误”、“中断请求”等)及时报告 CPU，通过接口可监视设备的工作状态，并保存状态信息，供 CPU 查询。

可见归纳起来，接口应具有选址的功能、传送命令的功能、反映设备状态的功能以及传送数据的功能（包括缓冲、数据格式及电平的转换）。

4.(5分)答：

(1) 根据 IR 和 MDR 均为 16 位，且采用单字长指令，得出指令字长 16 位。根据 105 种操作，取操作码 7 位。因允许直接寻址和间接寻址，且有变址寄存器和基址寄存器，因此取 2 位寻址特征，能反映四种寻址方式。最后得指令格式为：



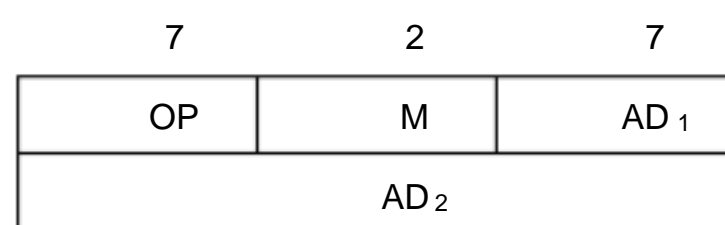
其中 OP 操作码，可完成 105 种操作；

M 寻址特征，可反映四种寻址方式；

AD 形式地址。

这种格式指令可直接寻址 $2^7 = 128$ ，一次间址的寻址范围是 $2^{16} = 65536$ 。

(2) 双字长指令格式如下：



其中 OP、M 的含义同上；

AD₁ AD₂ 为 23 位形式地址。

这种格式指令可直接寻址的范围为 $2^{23} = 8M$ 。

(3) 容量为 8MB 的存储器，MDR 为 16 位，即对应 4M×16 位的存储器。可采用双字长指令，直接访问 4M 存储空间，此时 MAR 取 22 位；也可采用单字长指令，但 R_X 和 R_B 取 22 位，用变址或基址寻址访问 4M 存储空间。

六、(共 15 分)问答题

1.(8分)答：

(1) 由于 (PC)+1 需由 ALU 完成，因此 PC 的值可作为 ALU 的一个源操作数，靠控制 ALU 做 +1 运算得到 (PC)+1，结果送至与 ALU 输出端相连的 R₂，然后再送至 PC。

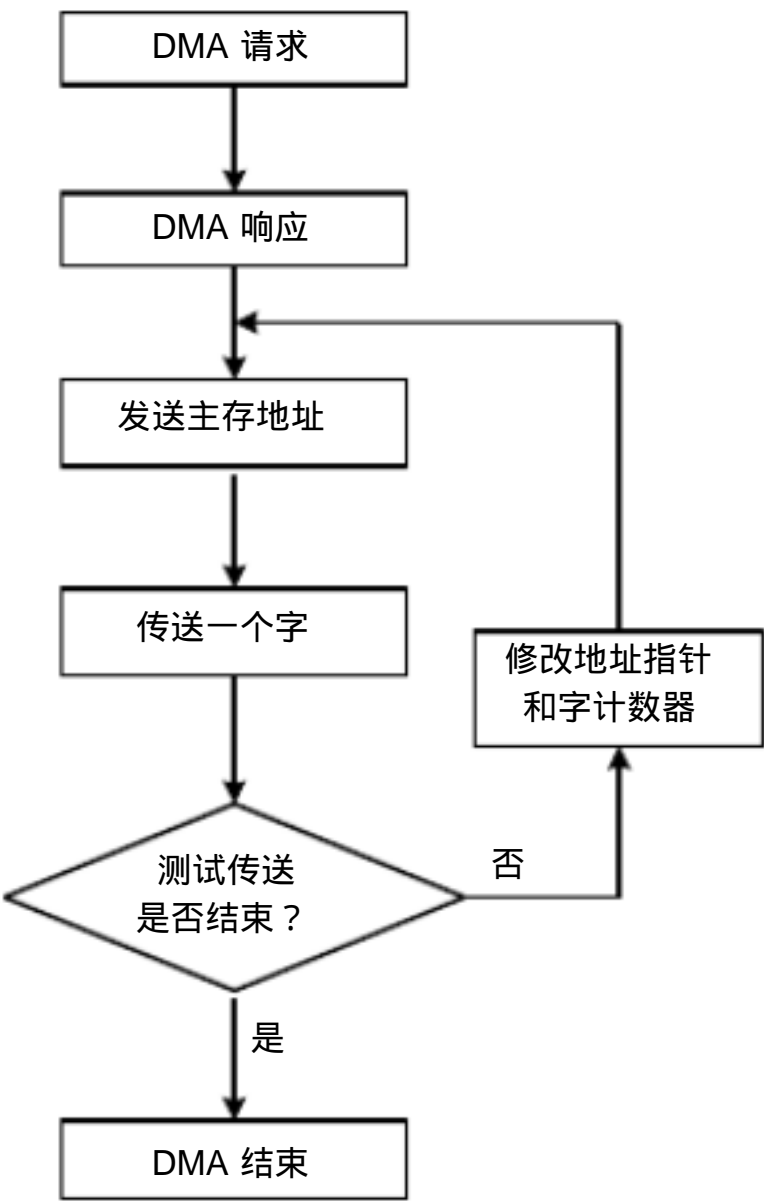
此题的关键是要考虑总线冲突的问题，故取指周期的微操作命令及节拍安排如下：

T₀ PC → MAR, 1 → R
T₁ M(MAR) → MDR, (PC)+1 → R₂
T₂ MDR → IR, OP(IR) 微操作命令形成部件
T₃ R₂ → PC

(2) 立即寻址的加法指令执行周期的微操作命令及节拍安排如下：

T₀ Ad(IR) → R₁ ; 立即数 → R₁
T₁ (R₁)+(ACC) → R₂ ; ACC 通过总线送 ALU
T₂ R₂ → ACC ; 结果 → ACC

2.(7分)答：DMA 接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和 DMA 控制逻辑等组成。在数据交换过程中，DMA 接口的功能有：(1)向 CPU 提出总线请求信号；(2)当 CPU 发出总线响应信号后，接管对总线的控制；(3)向存储器发地址信号(并能自动修改地址指针)；(4)向存储器发读/写等控制信号，进行数据传送；(5)修改字计数器，并根据传送字数，判断 DMA 传送是否结束；(6)发 DMA 结束信号，向 CPU 申请程序中断，报告一组数据传送完毕。DMA 工作过程流程如图所示。



七、设计题（共 10分）
答：

(1) 主存地址空间分配。（2分）

A ₁₅		A ₁₁		A ₇				A ₀	
1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	0	0	0	0	0
1	1	1	1	0	1	1	1	1	1
1	1	1	1	0	0	0	0	0	0
1	1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1	1	1
0	0	1	0	0	0	0	0	0	0
0	0	1	1	1	1	1	1	1	1

主存地址空间分配

最大 4K 地址空间为系统程序区，选用 2片 2K × 8 位 ROM 芯片；(1分)

相邻的 4K 地址空间为系统程序工作区，选用 2 片 4K × 4 位 RAM 芯片；（1 分）

最小 16K 地址空间为用户程序区，选用 2 片 8K × 8 位 RAM 芯片。（1 分）

（3）存储芯片的片选逻辑图（ 5 分）

