Lab3实验报告

20307130013 黄栋豪

1. 随机延迟的处理

1.ALU实现64位的乘除法器，在非除零（除零有特判，没有延迟）的情况下有固定的64周期延迟， 因此需要阻塞住流水线，阻塞信号是1当且仅当乘除法器正在使用（valid），且未算完。将这个阻塞信号传给冲突控制模块，将全部流水段阻塞住，保证可能要转发的数据不丢失。

2.实现hit0周期延迟的cache。由于其读取指令延迟不确定，因此对于decode阶段传出的branch信号和之前存下的branch\_nxt都有可能被使用，这完全取决于有没有被stall住，且当任意一个被使用时，都需要flush之后的流水线寄存器。且当当前指令依赖前两个指令的数据，而上一条指令是mem相关，上上条是load时，可能会出现上一条指令读缓存需要stall而，此时上上条指令的数据已经被写到寄存器，但流水线寄存器已经不存在这个数据，无法转发的情况。此时需要在decode阶段阻塞一个周期，即可获得在寄存器内的正确数据。

1. 实验截图





