

计算机系统结构实验报告 实验一

惠宇龙 518030910059

计算机系统结构实验报告 实验一

- 1 实验概述
 - 1.1 实验描述
 - 1.2 实验目的
- 2 流水灯模块
 - 2.1 模块的设计
 - 2.2 模块的实现
 - 2.3 模块的验证
- 3 总结反思

1 实验概述

1.1 实验描述

实现一组可以循环依次点亮的LED组合。本实验最基础的实验（只需通过按部就班的操作）为后续复杂的实验做铺垫。

1.2 实验目的

- 熟悉Vivado工具和VerilogHDL语言
- 使用功能仿真

2 流水灯模块

2.1 模块的设计

设置Clk、reset、cnt_reg 等变量，用Led [7:0] 表示八盏灯。

当reset信号为1时，计数器 cnt_reg 被初始化为零，输出信号 led[0]设置为高电位，即 led[7:0] 取值为 00000001。

当reset信号为0时，Clk用来表示时钟信号，每次时钟信号出现上升沿，则cnt_reg加一。每当cnt_reg的值达到10以后（原书为达到24以后），切换到下一盏灯，并将其点亮（电平设为高电平）。如果已经达到了第八盏灯，则下一次切换时，循环回到第一盏灯。

2.2 模块的实现

参考书已经给出了该模块的绝大部分实现代码。需要改动的地方是：参考书上的 cnt_reg 达到最大值时，并未将其重新置零，这将导致循环无法正常进行，因此我添加了将 cnt_reg 置零的代码。

```
module flowing_light(  
    input clock,  
    input reset,  
    output [7:0] led  
);  
  
    reg [23:0] cnt_reg;  
    reg [7:0] light_reg;
```

```

always @ (posedge clock)
begin
    if (reset)
        cnt_reg<=0;
    else
        cnt_reg<=cnt_reg+1;
    end
always @ (posedge clock)
begin
    if(reset)
        light_reg<=8'h01;
    else if (cnt_reg==24'h0a)
        begin
            cnt_reg<=0;
            if (light_reg == 8'h80)
                light_reg<=8'h01;
            else
                light_reg <= light_reg << 1;
        end
    end
    assign led =light_reg;
endmodule

```

2.3 模块的验证

参考书给出了激励文件的代码，只需要稍加调整参数即可。需要注意：在书写initial代码之前，需要先
将模块实例化。

```

module flowing_light_tb(
);

reg clock;
reg reset;
wire [7:0] led;

flowing_light u0(
    .clock(clock),
    .reset(reset),
    .led(led));

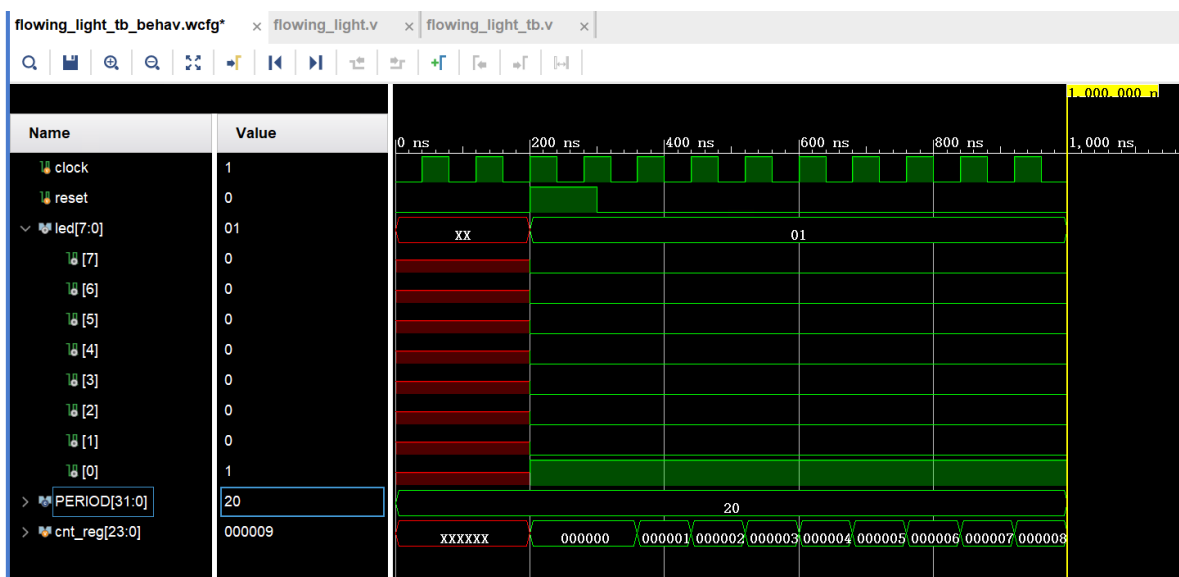
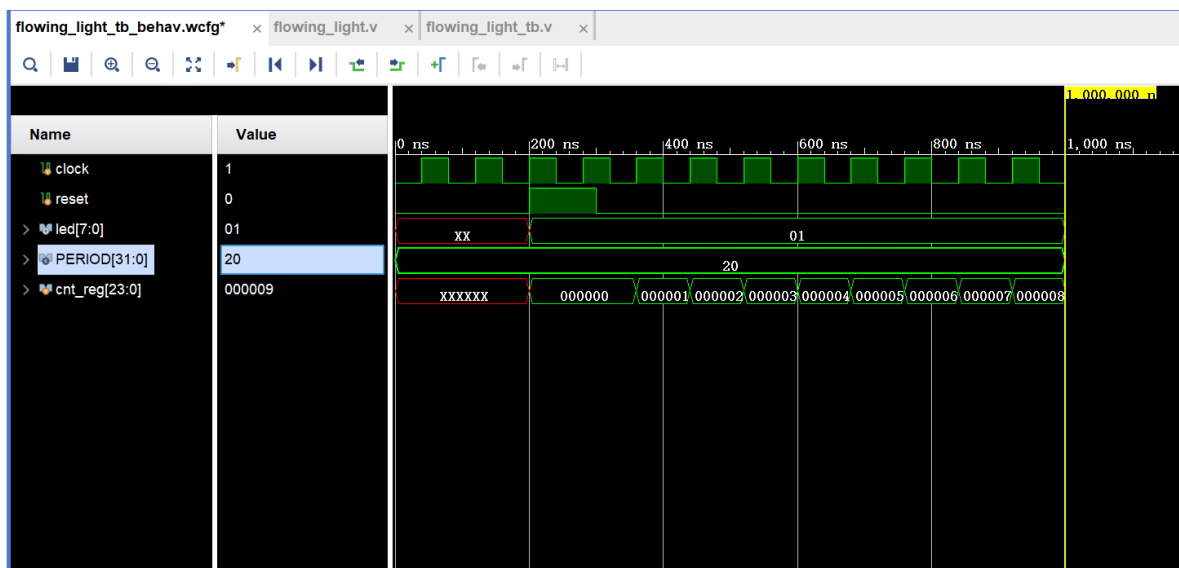
parameter PERIOD=20;

always #(PERIOD*2) clock= !clock;

initial begin
    clock= 1'b0;
    reset=1'b0;
    #(PERIOD *10) reset = 1'b1;
    #(PERIOD*5) reset =1'b0;
end

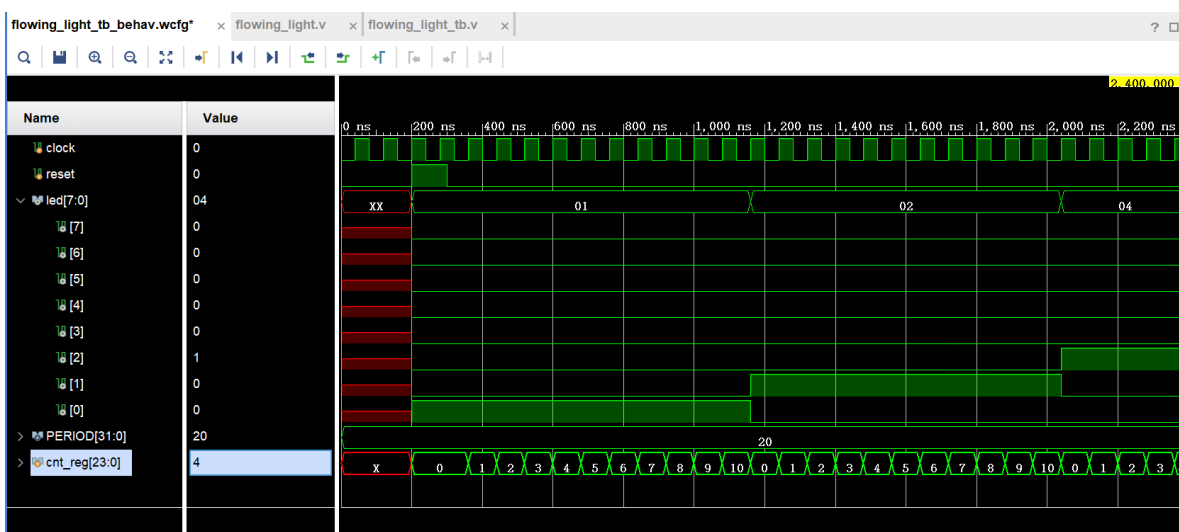
```

随后，运行代码可以得到如下两张图：



这与参考书要求的图像一致（出于波形的整齐美观，cnt_reg 的最大值被我调节为10，因此具体数据细节会与参考书存在出入）。

为了能看到循环点亮的效果，我们延长运行时间，并得到下图：



可以看到，LED灯从0到1到2，依次被点亮。

综上，本次实验正确完成。

3 总结反思

由于本次实验较简单，并没有出现太多的困难。

经过本次实验的操作，我熟悉了Vivado的操作，并且学习了一些简单实用的Verilog语法，为后续的复杂实验做好了铺垫。

特别地，我感受到了硬件语言和日常使用的高级语言之间的差别。硬件语言对于线路连接、事件发生的时序有着特别的要求。而且触发条件和触发之后的处理在硬件语言中起着重要的作用，这是高级语言所没有的。这就要求我们对装置的实现，不仅要有宏观的把控，也要注意连线 and 时序安排等等小细节。