**AMBA总线整理**

本文档源自于AMBA官方手册。

# APB总线

## Goals and Non-Goals of This Specification

该规范规定了PCI-to-PCI桥接器必须满足的要求，符合(兼容)*PCI Local Bus Specification*。此外，还指定了可选扩展的要求。本规范不描述PCI-to-PCI桥接器的实现细节。然后，针对PCI-to-PCI桥接器要实现的功能提供了一些建议。

## Overview and Terminology

PCI-to-PCI桥提供两个独立PCI总线之间的连接路径。桥接器的主要功能是允许一个PCI总线上的主设备和另一PCI总线上的目标设备之间发生事务处理。PCI-to-PCI桥为系统和附加卡设计者提供了通过创建分层PCI总线来克服电气负载限制的能力。为了帮助讨论PCI-to-PCI桥接器架构，本文档中使用了以下术语：

bridge-本文中的bridge专指PCI-to-PCI桥；

downstream-从primary interface传输到secondary interface的事务被称为downstream；

originating bus-跨桥事务的主机所在的bus称为始发总线；

primary interface-靠近CPU侧的称为primary接口；

secondary interface-远离CPU侧的称为secondary接口；

destination bus-跨桥事务的从机所在的总线称为目标总线；

upstream-从secondary接口传输到primary接口的事务称为upstream

因此，桥接器有两个PCI接口：primary和secondary接口。每个接口都能够进行master操作和target操作。桥接器充当始发总线上的目标，代表实际驻留在目标总线上的target。同样，桥接器代表originating bus上的始发主控器，充当目标总线上的master。

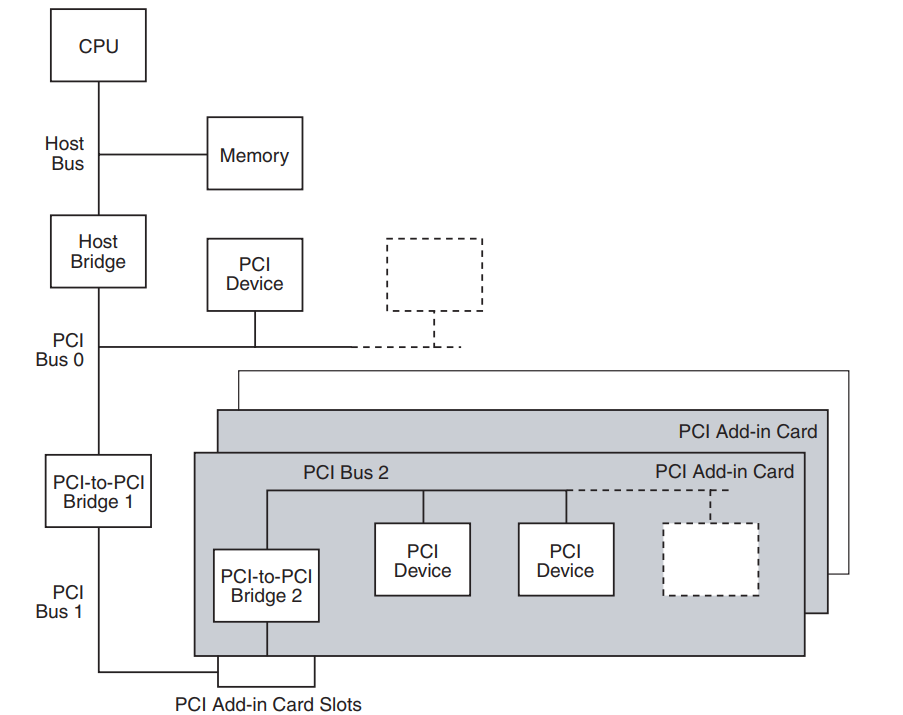


图 1‑1 Typical Bridge Applications

图 1‑1说明了桥的两种典型应用。

第一个应用是使用桥来创建第二个PCI总线段，并向其中添加额外的PCI连接器。该总线段在图中标记为PCI Bus 1。在本示例中，桥接器1的primary接口为PCI Bus 0，而其secondary接口为PCI Bus 1。

第二个应用示例是桥接器使用在附加卡上创建PCI总线段，允许多个PCI设备驻留在单个附加卡上。在此示例中，桥接器2的primary接口连接到PCI Bus 1，其secondary接口连接到PCI Bus 2。请注意，分配给桥接器的编号对应于桥接器产生的总线段的编号。在此示例中，主桥被视为桥号0并生成PCI Bus 0。

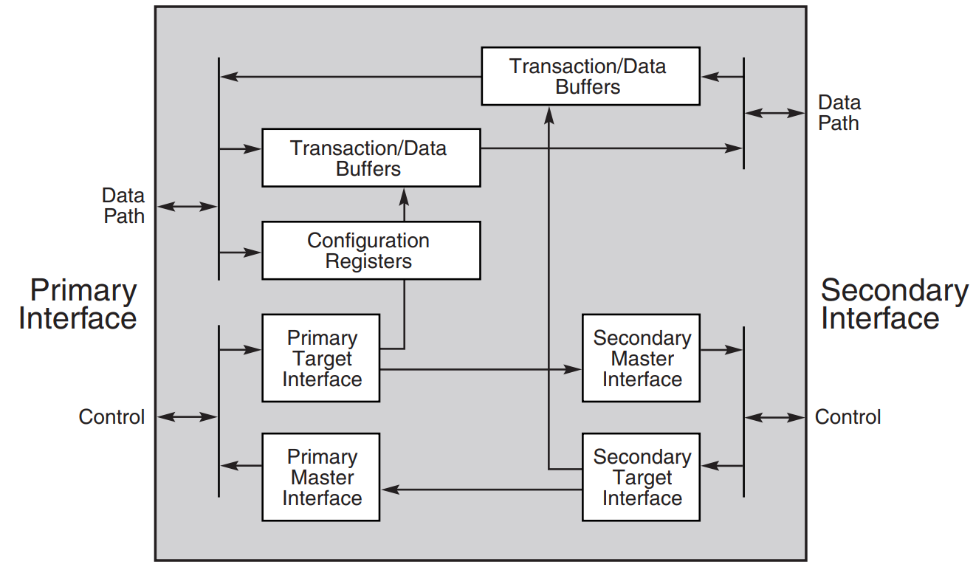


图 1‑2 Example Bridge Block Diagram

桥接器允许一个PCI接口上的主设备与另一个接口上的目标设备之间进行事务处理，如图 1‑2所示。一个总线上的目标接口连接到另一总线上的主接口。primary接口和secondary接口的数据路径之间的块提供了必要的事务地址和数据的缓冲。连接到primary PCI接口的目标块必须支持PCI配置空间。该桥基本上由四个状态机组成-两个主设备和两个目标设备。**这里解释下，primary接口和secondary接口各有master和target**。每个master和target接口状态机都必须符合(兼容)*PCI Local Bus Specification*的要求。

# AHB总线

## Summary of Key Requirements

下面列出了桥接器功能要求的汇总：

桥接器必须符合PCI Local Bus Specification。其中包括如下要求：

* 桥接器必须符合所有PCI信号的电器负载限制。当桥用在add-in card上，桥接器仅限于每个PCI信号(例如CLK)一个连接。因此，当secondary bus和primary bus同步运行时，桥接器必须缓冲从add-in card连接器接收到的CLK信号，以便分配给连接到second bus上的PCI 设备。有关时钟缓冲注意事项，请参见10.2.1节；
* 桥接器必须支持从DC到33MHz的工作范围。桥接器可以选择支持*PCI Local Bus Specification*定义的66MHz操作；桥的primary和secondary bus接口时钟之间的关系是特定于实现的；
* PCI连接器不支持边带信号。因此，当用于add-in card应用时，桥接器不需要任何边带信号即可正确操作。当事务沿任意方向穿过桥接器时，桥接器必须按照*PCI Local Bus Specification*附录E中所述维持事务排序；
* 桥接器必须遵守16个target时钟初始延迟和8个target时钟所有事务的后续延迟规则，包括通过桥转发的事务以及访问桥内部寄存器的事务。*PCI Local Bus Specification*对初始化期间的target初始化延迟给与例外处理。

桥必须符合本文件其余部分规定的要求。 这包括下面列出的所需功能：

* 配置寄存器空间遵循PCI-to-PCI桥Type1 Header格式；
* 分层配置事务支持
* 用于事务转发的I/O地址空间(Memory mapped)

——Posting memory写传输

——支持延迟传输（针对non-posted传输）

——支持DAC upstream转发

如果桥接器为secondary总线提供仲裁器，则其设计必须能够防止死锁。桥接器需要实现公平算法以避免潜在的死锁。请参阅第 8.2 节了解更多详细信息。

## Capabilities Not Supported

下面列出了本规范排除的功能。可能还有其他本规范排除的功能未出现在下面的列表中。

对于异常配置的支持（下面列出了一些示例）。

* 使用两个桥连接同一个secondary总线，同时上游连接不同的primary总线；
* 多个桥连接到同一primary总线和同一secondary总线；
* 两个网桥，其中一个桥的primary接口连接到另一桥的secondary接口，反之亦然；

特殊周期传输的转发。 仅支持通过Configuration Type1传输。

转发中断应答事务。

下面列出了不受本规范控制的功能。或许有可能桥会提供对这些（和其他）功能的支持，但此规范确实不试图为他们的支持做出规定。

* 支持需要映射到前1MB内存空间的下游设备；
* 支持桥下游连接non-PCI总线；
* 针对 VGA 以外设备的 ISA 兼容性寻址；
* 由位于分层PCI总线上的ISA主设备或ISA DMA设备进行访问。假定ISA主设备或ISA DMA仅访问系统内存；
* primary 接口在secondary接口上boot ROM。必须在访问下游设备之前先配置好桥；

## Optional Capabilities

下面列出的是桥不需要支持的功能，但在之前规范中需要支持的功能。这些功能可由桥选择性支持，只要他们遵守本规范和*PCI Local Bus Specification*中的要求。

支持可选地址范围：

* I/O地址范围
* Prefetchable memory地址范围

VGA 支持：

* VGA 寻址
* VGA颜色校正

JTAG

primary接口上的64位寻址

64位数据路径

对secondary侧设备的仲裁支持

扩展ROM

减法解码

# AXI总线

## Overview of Hierarchical Configuration

PCI Local Bus Specification定义了两种配置事务类型：Type0和Type1，如图 3‑1所示。两种配置地址格式通过地址位AD[1:0]的值来区分。Type0配置事务用于访问当前bus段上的设备，Type1用于访问桥接器下游的设备。

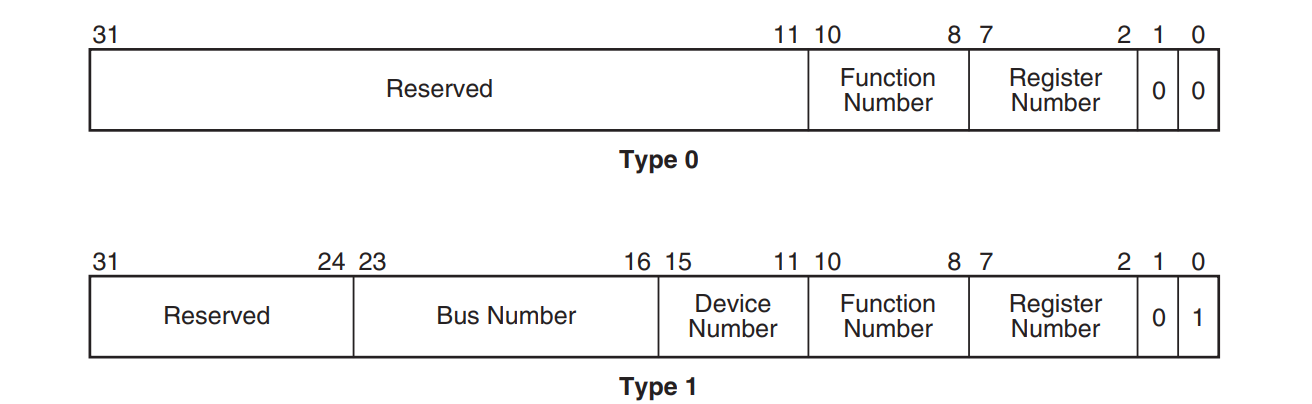


图 3‑1 Configuration Type0 and Type1 Address Format

如果地址位AD[1:0]为00b，则为Type0配置事务。Type0配置事务不通过桥转发，Type0事务用于配置桥或其它PCI设备(桥和PCI设备连接的PCI bus有Type0配置事务传输产生)。

如果地址位AD[1:0]为01b，则为Type1配置事务。Type1配置事务用于寻址不驻留在当前bus段上并且可以通过桥转发到另一个bus段的设备上。

以下部分描述了桥为Type0和Type1配置事务提供的支持。

### Type 0 Configuration Transaction Support

桥接器在配置时仅响应其primary接口上的Type 0配置事务。桥会忽略源自secondary接口的Type 0配置事务。因此，桥不在其secondary接口上实现IDSEL。Type 0配置事务用于配置桥，并且不会由桥向下游转发(从其primary接口到secondary接口)。

当满足以下所有条件时，PCI设备(包括桥)被PCI配置事务选中：

* IDSEL已置位；
* PCI总线命令是配置读取或配置写入；
* 地址位AD[1:0]为00(在事务的地址阶段)；
* 如果是multi-function设备，地址位AD[10:8]选择对应function；

在配置事务期间，地址位AD[7:2]选择设备256字节配置空间的DWORD寄存器。地址位AD[31:11]在配置事务期间被设备忽略。

### Type 1 Configuration Transaction Support

在Type 1配置事务期间，地址位AD[23:16]指定target所在的PCI层次结构中的唯一bus number。桥将指定的bus number与上电枚举的三个配置寄存器进行比较，以确定是否声明并通过桥转发Type 1配置事务。下面列出了三个配置寄存器：

* Primary bus number(18h)
* Secondary bus number(19h)
* Subordinate bus number(1Ah)

如果桥声明Type 1配置事务，这三个寄存器会确定事务如何通过网桥转发。以下各节讨论桥接器可用于primary接口和secondary接口Type 1事务转发选项。

#### Primary Interface

如果桥的primary接口上发生Type 1配置事务，则桥要么忽略该事务，要么声明该事务并将其转发到其secondary接口，如下所示。

如果地址位AD[23:16]指定的总线号不在secondary总线号(含)和subordinate总线号指定的范围内，则桥接器会忽略其primary接口上的Type 1配置事务。

如果地址位AD[23:16]指定的总线号落在由secondary总线号（含）和subordinate总线号(含)指定的范围内，则桥在其primary接口上声明Type 1配置事务。在这种情况下，Type 1配置事务指定位于桥后面的总线号。如果桥将Type 1配置事务转发到secondary接口，必须使用一下方法之一：

* 将事务转换为Type 0配置事务(以访问连接到桥secondary接口的设备的配置寄存器)
* 转发未修改的事务(作为Type 1配置事务来访问不驻留在桥secondary接口上但位于下游bus段上的设备)
* 转换为特殊周期事务。

以下部分描述了何时使用每种Type 1配置事务转发方法。

##### Type1 to Type0 Conversion

如果桥接器的primary接口上发生Type 1配置事务，并且地址位AD[23:16]指定的bus号与secondary总线号匹配，则桥接器声明该事务，将其转换为Type 0事务(如下所述)，并将Type 0事务转发到其secondary接口。在这种情况下，连接到桥secondary接口的设备是Type0配置事务的target。

要将转发的事务从Type 1转换为Type 0配置事务，桥必须执行以下操作：

* 修改地址位AD[1:0]，使其为00b；
* 对Type 1事务的地址位AD[15:11]指定的设备编号字段进行解码，以表 3‑1 IDSEL Generation指定的模式，在生成的Type 0事务期间驱动地址位AD[31:16]在secondary总线上。

来自primary接口上Type 1配置事务的地址位AD[10:2]必须由桥未经修改地传递到其secondary接口上生成Type 0配置事务。在生成Type 0配置事务期间，桥在地址位AD[15:11]上驱动的值未指定。

表 3‑1 IDSEL Generation

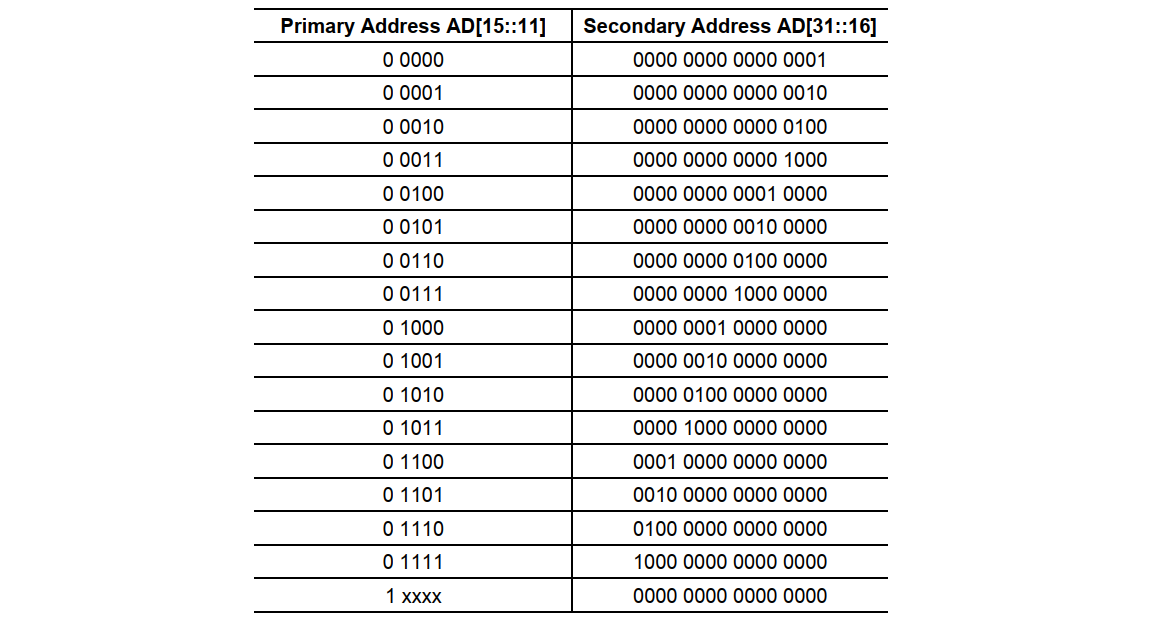


表 3‑1指定了桥接器在地址位AD[31:16]上为设备编号字段(地址位AD[15:11])的每个编码驱动的模式。如果AD[15]为0，则在sedondary总线上生成Type 0事务期间，地址位AD[31:16]上驱动的模式将有一个(且仅有一个)位设置为1(所有其它位都将被设置为0）。这允许系统板设计人员使用地址位AD[31:16]作为连接到桥的secondary接口设备的IDSEL信号(通过将AD[31:16]的某一位连接到每个设备上的IDSEL引脚)。如果AD[15]为1，则桥在secondary总线上生成的Type 0事务期间，必须将地址位AD[31:16]驱动为0(所有位)。

当进行Type 1到Type 0的转换时，桥接器可以提供额外的IDSEL生成方法，但必须始终按照表 3‑1的规定转换AD[31:16]。系统板设计人员可以使用独立于桥的提供IDSEL生成替代方法。然而系统板设计者必须遵循第9章中指定的中断路由要求。

##### Type1 to Type1 Forwarding

如果桥的primary接口上发生Type 1配置事务，并且地址位AD[23:16]指定的总线号在secondary总线号(不包含)和从属总线号(包含)，桥接器认领该事务并将其原封不动地转发到其secondary接口。在这种情况下，配置事务的target并不驻留在桥接器的secondary接口上，而是位于更下游的总线段上。在secondary总线上生成的Type 1配置事务可能会寻址位于连接到该桥的secondary接口的其他桥后面的设备。请注意，桥接器使用在主接口上接收到的完全相同的地址、总线命令、字节使能和数据(如果是写入)在其辅助接口上生成Type 1事务(没有转换)。

##### Type1 to Special Cycle Conversion

桥接器声明在其primary接口上发生的Type 1配置写入事务，并在满足以下所有条件时转换为其secondary接口上的Special Cycle：

* 地址位AD[23:16]指定的总线号与桥的secondary总线号匹配。
* 地址位AD[15:11]指定的设备号均为1(等于11111b)。
* 地址位AD[10:08]指定的功能号均为1(等于111b)。
* 地址位AD[7:2]指定的寄存器号全为零(等于000000b)。

PCI设备忽略Special Cycle期间的地址，并且允许桥在地址阶段驱动AD[31:00]上的任何值。secondary接口上的Special Cycle的数据是从primary接口上的Type 1配置事务接收到的写入数据。指定(通过桥)转换为Special Cycle的Type 1配置事务仅限于数据突发长度1(有关详细信息，请参阅*PCI Local Bus Specification*规范)。

#### Secondary Interface

与primary接口上的支持相比，桥的secondary接口上对配置事务的支持是有限的。桥只允许在其secondary接口上声明Type 1配置写入事务，该事务指定到位于桥上方的总线段上的Special Cycle的转换。在所有其它情况下，桥需要忽略其secondary接口上的配置事务。这意味着桥会忽略其secondary接口上的以下配置事务：

* Type 0配置事务(读或写)；
* Type 1配置读取事务；
* Type 1配置写事务，如果总线号(AD[23:16])在桥的secondary bus号（含）和Subordinatebus号(含)之间的范围内；
* Type 1配置写入事务未准确指定转换为Special Cycle；

##### Type 1 to Type 1 Forwarding

如果满足以下所有条件，桥会将未修改的Type 1配置写入事务转发到其primary接口：

* 地址位AD[15:11]指定的设备号均为1(等于11111b)。
* 地址位AD[10:08]指定的功能号均为1(等于111b)。
* 地址位AD[7:2]指定的寄存器编号为0(等于000000b)。
* 地址位AD[23:16]指定的总线号不在secondary号(含)和subordinate号(含)之间。

在这种情况下，桥接器使用与secondary接口上的事务中包含的完全相同的地址和数据信息在primary接口上生成Type 1配置写入事务。然后在桥的primary接口上生成Type 1事务可以由另一个桥声明，并转换为目标总线段上的Special Cycle事务。

##### Type 1 to Special Cycle Conversion

桥接器会将secondary接口上接收到的Type 1配置写入事务转换为其primary接口上的Special Cycle，前提是满足以下所有条件：

* 地址位AD[15:11]指定的设备号均为1(等于11111b)。
* 地址位AD[10:08]指定的功能号均为1(等于111b)。
* 地址位AD[7:2]指定的寄存器编号为零(等于000000b）。
* 地址位AD[23:16]指定的总线号与桥的primary总线号匹配。

PCI设备忽略Special Cycle期间的地址，并且允许桥在Special Cycle事务的地址阶段驱动AD[31:00]上为任何值。桥接器会将其secondary接口上接收到的Type 1配置写入事务转换为其primary接口上的Special Cycle。主接口上的特殊周期的数据将是来自辅助接口上的类型1配置事务的写入数据。指定(通过桥)转换为Special Cycle的Type 1配置事务仅限于数据突发长度1(有关详细信息，请参阅*PCI Local Bus Specification*规范)。

## PCI-to-PCI Bridge Configuration Space Header Format

*PCI Local Bus Specification*规范要求所有设备(包括PCI-to-PCI桥接器)实现256字节的配置寄存器地址空间。每个设备的PCI配置空间中的前64字节必须遵循标准配置标头格式。配置空间的剩余192字节可用于由功能指针定义的附加功能或用于设备特定的目的。桥的64字节报头格式定义如图 3‑2所示。桥头的前16个字节实现了*PCI Local Bus Specification*规范所要求的所有设备的通用格式。设备配置空间的接下来48个字节是特定于heaer Type类型的。标头Type 1表示设备遵循本规范中定义的桥寄存器布局。以下部分定义了配置寄存器的基本行为以及复位如何影响它们。然后简要回顾了通用寄存器，然后详细介绍了桥专用寄存器。

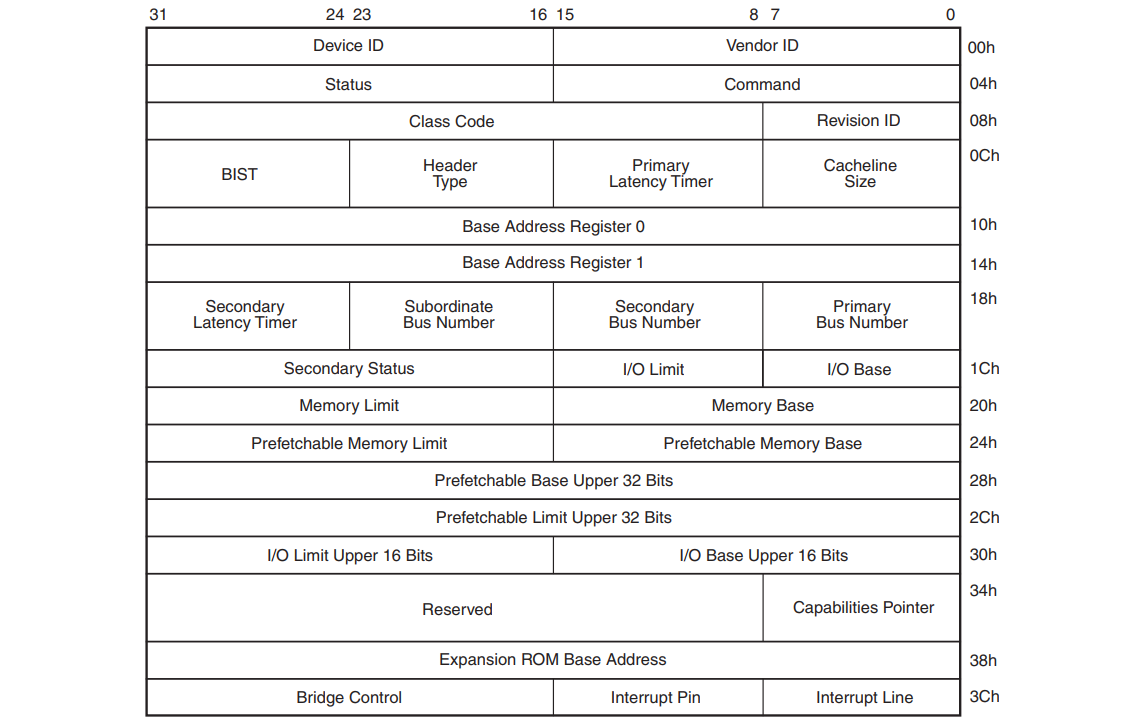


图 3‑2 PCI-to-PCI Bridge Configuration Registers

### Accessing Reserved Registers

对未实现的保留或可选寄存器的读访问必须正常完成，并在读取时返回数据值零。除非本文档另有规定，否则对保留寄存器的写入必须被视为无效操作。也就是说，写访问必须正常完成，并且写数据没有任何作用并且被简单地丢弃。

### Accessing Reserved Bit Fields

软件在访问具有保留供将来使用的位字段的寄存器时必须小心。对于读访问，软件必须使用适当的掩码来提取定义的位，并且不能依赖于保留位为任何特定值。对于写访问，软件必须确保保留保留位位置的值。也就是说，必须首先读取保留位位置的值，将其与其他位置的新值合并，然后将合并的数据写回。

### Reset Events

primary接口上RST#的置位会影响桥配置寄存器中某些位的状态。每个位的复位状态在每个寄存器的位定义中描述(如果适用)。secondary接口上RST#的置位不会影响桥配置头的标准部分(前64个字节)中任何寄存器位的状态。然而设置桥控制寄存器中的secondary总线复位(bit 6)(请参阅第3.2.5.18节)会影响桥的内部状态。

### Common Format Configuration Registers

以下各节将简要描述所有PCI设备必须支持的通用格式寄存器。有关更详细的讨论，请参阅*PCI Local Bus Specification*规范。除非明确指定为可选，否则所有寄存器和位都是必需的。

#### Vendor ID Register

供应商ID寄存器标识设备的制造商，并由PCI‑SIG分配以确保唯一性。供应商ID寄存器必须实现为只读寄存器。

#### Device ID Register

设备ID寄存器标识特定设备并由供应商分配。设备ID寄存器必须实现为只读寄存器。

#### Command Register

命令寄存器控制桥在primary接口上的行为方式，与除VGA色彩校正外的所有设备相同。由于桥接器有两个接口，因此需要对命令寄存器位进行一些具体说明，如表 3‑2所示。在大多数情况下，该寄存器中的位仅影响桥接器primary接口的行为(指定了例外情况)。

表 3‑2 Command Register

|  |  |  |
| --- | --- | --- |
| Bit | Bit Function | PCI-to-PCI Bridge Specific Notes |
| 0 | I/O Space Enable | 控制桥的响应作为primary接口上I/O事务的目标，这些I/O事务对驻留在桥后面的设备(请参阅第3.2.5.6节I/O基址和限制寄存器）或桥本身内的位置（请参阅第3.2.5.1节）进行寻址。如果桥不支持I/O地址范围或I/O映射基地址寄存器，则该位必须实现为只读位，读取时返回0。如果桥实现I/O地址范围或I/O映射基址寄存器，则该位必须实现为读/写位。复位后该位的默认状态必须为 0。当该位使能后又被禁止时，不指定内部事务缓冲区的状态。当这种情况发生时，桥可以选择它的行为方式。注意：当该位重新启用时，软件不能指望桥保持状态并在不丢失数据的情况下恢复。  0-忽略primary接口上的I/O事务；  1-启用primary接口上的I/O事务的响应； |
| 1 | Memory Space Enable | 控制桥的响应作为primary接口上memory访问的目标，该目标对驻留在桥后面的memory映射I/O和可预取内存范围中的设备进行寻址（请参阅第 3.2.5.8 节和第 3.2.5.9 节）或以某个位置为目标在桥本身内（参见第3.2.5.1节）。桥必须将此位实现为读/写位(需要内存地址范围的支持)。复位后该位的默认状态必须为0。当该位使能后又被禁止时，不指定内部事务缓冲区的状态。当这种情况发生时，桥可  以选择它的行为方式。注意：当该位重新启用时，软件不能指望桥保持状态并在不丢失数据的情况下恢复。  0‑忽略primary接口上的所有memory事务  1‑启用primary接口上memory事务的响应 |
| 2 | Bus Master Enable | 当代表secondary接口上的主设备将memory或I/O事务从secondary接口转发到primary接口时，控制桥接器作为primary接口上的master设备进行操作的能力。该位不影响桥将配置事务从secondary接口转发或转换到primary接口的能力。请注意，当该位为零时，桥接器必须禁用对辅助接口上所有memory或I/O事务的响应作为目标（它们无法转发到primary接口）。桥接器必须将此位实现为读/写位。复位后该位的默认状态必须为0。  当该位使能后又被禁止时，不指定内部事务缓冲区的状态。当这种情况发生时，桥可以选择它的行为方式。注意：当该位重新启用时，软件不能指望桥保持状态并在不丢失数据的情况下恢复。  0‑不启动memory或I/O事务primary接口并禁用对secondary接口上的内存和I/O事务的响应  1‑使桥在primary接口能够作为master设备运行用于从secondary接口转发的memory和I/O事务 |
| 3 | Special Cycle Enable | 桥不作为Special Cycle事务的目标进行响应，因此该位被定义为只读，并且在读取时必须返回0。 |
| 4 | Memory Write and Invalidate Enable | 不发起memory写入和无效事务(除非为另一个主设备转发事务)的桥将该位实现为只读值为0。当内存写入和无效命令使用条件满足时（详细信息请参见第5.2.1节)允许桥将memory写入事务转换为memory写入和无效事务。实现此类功能的桥必须将此位实现为读/写位，复位后默认状态为0。 |
| 5 | VGA Palette Snoop Enable | 控制桥对VGA兼容调色板写入访问的响应。桥接器的该位的定义与具有Type 0 header的设备的*PCI Local Bus Specification*规范定义不同。  通过桥接器实现VGA色彩校正是可选的。如果不支持则该位必须实现为只读且值为0。如果桥接器支持则该位必须实现为读/写位且复位后默认状态为0。  如果该位置位，I/O写事务将写入I/O地址空间的前64KB(AD[31:16]为0000h)，地址位AD[9:0]等于3C6h、3C8h或3C9h（包括ISA别名‑AD[15:10]未解码，可以是任何值）必须在primary接口上正确解码并转发到secondary接口。相反，secondary接口上的桥必须忽略这些相同的地址。  0‑忽略primary接口上的VGA调色板访问  1‑启用对primary接口上的VGA调色板写入的正解码响应，I/O地址位AD[9:0]等于3C6h、3C8h和3C9h(包括ISA别名-AD[15:10]不会被解码，并且可以是任何值) |
| 6 | Parity Error Response | 控制桥对其primary接口上的地址和数据奇偶校验错误的响应。如果该位置1，则当检测到奇偶校验错误时，桥必须采取正常操作。如果该位被清除，桥必须忽略它检测到的任何奇偶校验错误并继续正常操作。桥接器必须将此位实现为读/写位，复位后默认状态为0。 |
| 7 | Reserved | 硬连线至0，保留位 |
| 8 | SERR# Enable | 控制主接口上SERR#驱动程序的启用。桥接器必须将此位实现为读/写位。复位后该位的默认状态必须为0。  0‑禁用primary接口上的SERR#驱动程序  1‑启用primary接口上的SERR#驱动程序 |
| 9 | Fast Back-to-Back Enable | 控制桥向primary接口上的不同设备发起快速背靠背事务的能力。无法启动快速背靠背事务的桥必须将该位实现为只读，且值为0。能够启动快速背靠背事务的桥必须将该位实现为读/写位，复位后默认状态为0。在系统初始化期间，如果primary接口上的所有设备都能够快速背靠背操作，配置软件将设置该位。  0‑禁止桥在primary接口上启动快速背靠背事务  1‑使桥能够在primary接口上发起快速背靠背事务 |
| 10 | Interrupt Disable | 该位是可选的。如果实现，该位将禁用桥内部拉高INTx#中断。该位对桥转发secondary bus所连设备的中断没有影响。  0-启用桥的INTx#中断  1-禁用桥的INTx#中断  复位后该位的默认状态必须为 0。 |
| 15:11 | reserved | 保留位，PCI-SIG将来预留使用 |

#### Status Register

状态寄存器提供有关系统primary接口的信息。表 3‑3提供了每个位应用于桥接器时的具体细节。

表 3‑3 Status Register

|  |  |  |
| --- | --- | --- |
| Bit | Bit Function | PCI-to-PCI Bridge Specific Notes |
| 2:0 | reserved | 这些位保留供 PCI‑SIG 将来使用，并且必须实现为只读位，读取时返回 0。 |
| 3 | Interrupt Status | 该位是可选的。如果实现，该只读位反映桥内发起的中断的状态。仅当命令寄存器中的  中断禁用位为 0 并且该中断状态为 1 时，才会针对桥内发起的中断断言桥的 INTx# 信  号。  将中断禁用位设置为 1 不会影响该位的状态。桥接器从其辅助总线上的 PCI 设备转发的  中断对该位的状态没有影响。 |
| 4 | Capabilities List | 该位指示桥是否实现指向新能力的链表数据结构的能力指针寄存器。桥接器对  功能列表的支持是可选的。  0 ‑ 桥接器不支持功能列表 1 ‑ 桥接器支持功能列表（偏移 34h是指向数据结构的指针） |
| 5 | 66 MHz Capable | 该位指示桥的主接口是否能够以 66 MHz 运行。桥接器对 66 MHz 操作的支持是可  选的。该位必须作为只读位来实现。 0 ‑ 桥接器的主接口不能进行 66 MHz 操作 1 ‑  桥接器的主接口能够进行 66 MHz 操作 |
| 6 | reserved | 该位保留供将来使用，必须实现为只读位，当读。 |
| 7 | Fast Back-toBack Capable | 该位指示当事务来自同一主设备但到不同目标时，桥接器的主接口是否能够解码快  速背靠背事务。 （需要一个桥来支持作为来自同一主设备的目标的快速背对背事  务。）该位必须实现为只读位。  0 ‑ 桥的主接口无法解码到不同目标的快速背靠背事务  1 ‑ 网桥的主接口能够解码快速背靠背交易到不同的目标 |
| 8 | Master Data Parity Error | 当桥作为事务的主设备时，该位用于报告桥检测到奇偶校验错误。如果满足以下所有  条件，则设置该位： 桥接器是主接口上事务的总线主控器。  桥接器断言 PERR#（读事务）或检测到 PERR# 断言（写事务）。  命令寄存器中的奇偶校验错误响应位被设置。  一旦设置，该位将保持设置状态，直到通过向该位位置写入 1 将其复位。桥接器必须  实现该位，复位后默认状态为 0  0 ‑ 在主接口上未检测到奇偶校验错误 1 ‑ 在主接口上检测到奇偶校验  错误 |
| 10:9 | DEVSEL# Timing | 该只读位字段对主接口 DEVSEL# 的时序进行编码，如下所列。当桥作为任何 PCI 事务（配置读取或配置写入除外）的目标进行响应时，编  码必须指示桥用于在其主接口上断言 DEVSEL# 的最慢响应时间。  00 ‑ 快速 DEVSEL# 解码 01 ‑ 中等  DEVSEL# 解码 10 ‑ 慢速 DEVSEL# 解码  11 ‑ 保留 |
| 11 | Signaled Target-Abort | 当网桥作为其主接口上的事务目标进行响应时，该位报告网桥发出的“目标中止”终止  信号。一旦设置，该位将保持设置状态，直到通过向该位位置写入 1 将其复位。桥接器必须  实现该位，复位后默认状态为 0。  0 ‑ 桥接器未在其主接口上发出目标中止信号  1‑ 由主桥上的桥发出目标中止信号界面 |
| 12 | Received Target-Abort | 当桥是其主接口上的事务的主控时，该位报告桥对目标中止终止的检测。一旦设置，该  位将保持设置状态，直到通过向该位位置写入 1 将其复位。桥接器必须实现该位，复位  后默认状态为 0。  0 ‑ 桥接器在其主接口上未检测到目标中止  1 ‑ 网桥在其主接口上检测到目标中止 |
| 13 | Received Master-Abort | 当桥是其主接口上的事务的主时，该位报告桥对主中止终止的检测。一旦设置，该位将  保持设置状态，直到通过向该位位置写入 1 将其复位。桥接器必须实现该位，复位后该位  的默认状态为 0。  0 ‑ 桥接器在其主接口上未检测到主中止  1 ‑ 主桥在其主节点上检测到主节点中止界面 |
| 14 | Signaled System Error | 该位报告桥在其主接口上对 SERR# 的断言。一旦设置，该位将保持设置状态，直到  通过向该位位置写入 1 将其复位。桥接器必须实现该位，复位后默认状态为 0。  0 ‑ 网桥在其主接口上未断言 SERR#  1 ‑ SERR# 由桥接器在其主接口上置位 |
| 15 | Detected Parity Error | 该位报告桥在其主接口上检测到的地址或数据奇偶校验错误。当以下任一条件为真时，  必须设置该位： 检测到地址奇偶校验错误作为潜在目标  当写入事务的目标时检测数据奇偶校验错误  当读取事务的主机时检测数据奇偶校验错误  无论命令寄存器中奇偶校验错误响应位（位 6）的状态如何，都会设置该位。  一旦设置，该位将保持设置状态，直到通过向该位位置写入 1 将其复位。桥接器必须实现  该位，复位后默认状态为 0。  0 ‑ 桥接器在其主接口上未检测到地址或数据奇偶校验错误  1 ‑ 桥接器在其主接口上检测到地址或数据奇偶校验错误 |

#### Revision ID Register

修订ID寄存器指定设备特定的修订标识符。修订ID由桥接设备的供应商分配，并且必须作为只读寄存器实现。

#### Class Code Register

类别代码寄存器用于识别设备的功能，分为三个字节宽的字段：基类代码、子类代码和编程接口。当读取该寄存器时，桥返回值06\_04\_00h或06\_04\_01h，指示基类06h（桥设备）、子类代码04h（PCI-to-PCI桥）以及编程接口00h或01h。编程接口代码00h被分配给支持本规范要求的桥。01h被分配给支持本规范要求的桥接器并且它还支持primary接口上的减法解码（有关减法解码的更多信息，请参阅*PCI Local Bus Specification*规范的设备选择部分）。允许使用特定于设备的配置位来启用和禁用减法解码。如果实现了这样的位并且启用了减法解码，则编程接口也设置为01h。当减法解码被禁用时，编程接口设置为00h。

##### 实施说明

减法解码桥的主要用途是将笔记本电脑系统连接到扩展坞并支持扩展坞中的传统ISA设备。以下是减法解码桥的一些用途和限制的列表：

* PCI总线段上只能有一个减法解码设备。
* 减法解码桥可以支持secondary总线上的传统编程I/O设备(如ISA)。
* ISA DMA控制器需要它与从设备之间的DMA请求和授权信号。ISA DMA控制器不支持重试功能，因此当执行DMA读取时，DMA 从机和系统memory之间不能存在写操作。支持减法解码桥下游ISA DMA从设备的要求超出了本规范的描述范围。
* 类别代码06\_04\_01h表示的唯一独特功能是除了*PCI-to-PCI Bridge Architecture Specification*所有要求之外还支持减法解码。对于具有06\_04\_01h类别代码的桥不应假设有其他功能特性。
* 减法解码类别代码的目的是让配置PCI设备的配置软件知道桥支持减法解码。

#### Cacheline Size Register

当终止使用内存写入和无效命令的事务以及预取（内存读取行和内存读取多个命令）时，将使

用高速缓存行大小寄存器。请注意，只有 2 的幂的缓存行大小才有效。

桥接器可以限制其支持的缓存行大小的数量。例如，它可以接受小于 128 字节的 2 的幂的缓存行

大小。如果将不支持的值写入高速缓存行大小寄存器，则桥接器的行为必须如同写入 0

值一样。

高速缓存行大小寄存器必须在发起或转发内存写入和无效事务的桥中实现为读/写寄存器（详

细信息请参见第 5.2.1 节）。如果桥不发起或转发内存写入和无效事务，或支持任何增强型内

存读取命令，则高速缓存行大小寄存器必须实现为读取时返回 0 的只读寄存器。

PCI 本地总线规范中提供了高速缓存线大小寄存器操作的详细描述。

#### Latency Timer Register

如果桥接器能够在其主接口上突发传输两个以上数据阶段，则需要延迟定时器寄存器。如果实现，

延迟定时器寄存器必须是读/写寄存器，并且允许实现通过将低三位硬接线为 0 将粒度限制为

8 个 PCI 时钟。 桥接器不能进行超过 10 个突发传输允许其主接口上的两个数据阶段将延迟计

时器硬连线为 16 或更小值。如果作为读/写寄存器实现，则复位后延迟定时器的默认值必须

为 0。 PCI 本地总线规范中提供了延迟定时器操作的详细说明。

#### Header Type Register

标头类型寄存器是只读寄存器，用于指示器件配置空间字节 10h 到 3Fh 的布局。桥返回值

01h 表示标头遵循本规范定义的 PCI 到 PCI 桥配置空间布局。如果桥接器是多功能设备（即，除

了桥接器之外，它还集成了其他功能），则读取标头类型寄存器时将返回值81h。

#### BIST Register

BIST 寄存器是一个可选寄存器，用于内置自测试功能的控制和状态报告。不支持 BIST 的桥必须

将此寄存器实现为读寄存器仅在读取时返回 0 的寄存器。表 3‑4 定义了桥接器支持 BIST 时 BIST 寄存器中的位。调用

BIST 的桥不能干扰主总线上其他设备的正常操作，但桥不会作为目标进行响应（对 BIST 寄存

器的配置访问除外），也不会在 BIST 期间将任何事务转发到相反的总线。未指定 BIST 对辅

助总线的影响。

当 BIST 处于活动状态时，软件不能依赖辅助总线设备或桥接功能的任何行为（BIST 寄存器

的配置寄存器访问除外）。 BIST 完成后，桥接器和所有下游器件必须通过软件重新初始化。

表 3‑4 BIST Register

|  |  |  |
| --- | --- | --- |
| Bit | Bit Function | PCI-to-PCI Bridge Specific Notes |
| 3:0 | BIST Result | 该位字段报告 BIST 操作的结果。值为零表示设备通过了测试。非零值表示设备发生故障。  允许以非零值对供应商指定的设备特定故障代码进行编码。 |
| 5:4 | reserved | 这些位保留供 PCI‑SIG 将来使用，并且必须实现为只读并在读取时返回 0。 |
| 6 | Start BIST | 该位用于启动器件中的 BIST 操作并指示 BIST 操作完成。向该位位置写入 1 将启动  BIST 操作。桥将该位重置为 0，表示它已完成 BIST 操作。  如果 2 秒后 BIST 未完成，则允许软件假定器件已发生故障。  0 ‑ BIST 操作完成 1 ‑ BIST 操作正在  进行 |
| 7 | BIST Capable | 该位是只读的，如果桥支持 BIST，则读取时返回 1。如果桥不支持 BIST，则读取时  该位和位 <6:0> 必须返回 0。  0 ‑ 不支持内建自测试  1 ‑ 支持内建自测试 |

### Bridge Specific Configuration Registers

#### Base Address Registers

基地址寄存器是可选寄存器，用于将内部（特定于设备）寄存器映射到内存或 I/O 空间。这

些寄存器对 I/O、内存和可预取内存基址和限制寄存器指定的跨桥转发事务没有影响。配置软件

必须映射基址寄存器请求的地址范围，以便它们不包括 I/O、内存和可预取内存基址和限制寄

存器指定的地址范围。由基地址寄存器映射的设备特定寄存器必须可以从桥的两个接口访问。

请注意，桥配置头布局仅提供两个基址寄存器。

因此，如果需要 64 位内存映射，则只能支持一个基址范围（两个基址寄存器都将被单个 64 位

映射占用）。建议桥接器将其内部资源映射到 32 位地址空间。

如果桥实现单个 32 位基地址寄存器，则允许桥使用任一位置。未使用的基址寄存器必须实现为

只读寄存器，读取时返回 0。基地址寄存器必须遵循内存基地址寄存器或 I/O 基地址寄存器格

式。以下部分简要概述了位定义和典型用法。有关基地址寄存器的详细讨论，请参阅PCI 本

地总线规范。

##### Memory Base Address Register Format

如果桥实现基地址寄存器以将内部设备特定寄存器映射到存储器地址范围，则它必须遵守表

3‑5 中定义的寄存器格式。

表 3‑5 Memory Base Address Register

|  |  |  |
| --- | --- | --- |
| Bit | Bit Function | PCI-to-PCI Bridge Specific Notes |
| 0 | Memory Space  Indicator | 该位被实现为只读位，读取时返回 0。  该值指示正在请求的内存地址范围（如果支持基址寄存器）。 |
| 2:1 | Memory  Mapping Type | 该只读位字段对基地址寄存器请求的存储器地址范围的属性进行编码，如下所列。  00 ‑ 基址寄存器为 32 位宽，可以映射到 32 位内存空间中的任何位置。  01 ‑ 桥接器中不允许使用此编码 注意： PCI 本地总线规范的先前修订版支持 01 编码，以明确请求映射第一个 1 MB 边界  以下的内存资源。本文档定义的网桥架构的目的是该网桥能够在  另一个网桥的下游运行。因此，内存资源必须能够映射到第  一个 1 MB 边界之上。  10 ‑ 基地址寄存器为 64 位宽，可以映射到 64 位地址空间中的任何位置。  11 ‑ 保留 |
| 3 | Prefetchable | 该只读位指示所请求的存储器地址范围的可预取性。如果设置，则存储器地址范围是可  预取的（即，没有读取副作用，并且无论字节使能如何，都在读取时返回所有字节）并  且允许写入事务的字节合并。如果清除，则内存地址范围不可预取，并且可能会产生读取  副作用。0 ‑ 不可预取 1 ‑ 可预取 |
| 31:4 | Base Address | 该位字段用于指示所请求的地址范围的大小并将该范围映射到特定的地址  集。 PCI 本地总线规范中详细解释了基地址位字段的用法。复位后基地址位  字段的默认值未定义，因为它必须在配置过程中由软件写入以确定所请求的  资源。 |

##### I/O Base Address Register Format

如果桥实现基地址寄存器以将内部设备特定寄存器映射到 I/O 地址范围，则它必须遵守表 3‑6 中

定义的寄存器格式。

表 3‑6 I/O Base Address Register

|  |  |  |
| --- | --- | --- |
| Bit | Bit Function | PCI-to-PCI Bridge Specific Notes |
| 0 | I/O Space Indicator | 该位被实现为只读位，读取时返回 1  该值指示正在请求的 I/O 地址范围。 |
| 1 | reserved | 该位保留供将来使用，并且必须实现为只读位，读取时返回 0。 |
| 31:2 | Base Address | 该位字段用于指示所请求的地址范围的大小并将该范围映射到特定的地址  集。 PCI 本地总线规范中详细解释了基地址位字段的用法。复位后基地址位  字段的默认值未定义，因为它必须在配置过程中由软件写入。 |

#### Primary Bus Number Register

主总线号寄存器用于记录桥的主接口所连接的PCI总线段的总线号。配置软件对该寄存器中的值进行

编程。桥接器使用该寄存器来解码辅助接口上的类型 1 配置事务，该事务必须转换为主接口上的特殊

周期事务。桥必须3将此寄存器实现为读/写寄存器，并且复位后的默认状态必须为零。

#### Secondary Bus Number Register

次总线号寄存器用于记录桥接器次接口所连接的PCI总线段的总线号。配置软件对该寄存器中

的值进行编程。桥接器使用此寄存器来确定何时响应主接口上的类型 1 配置事务并将其转

换为辅助接口上的类型 0 事务。该桥还使用辅助总线编号寄存器和从属总线编号寄存器来确定何时向

上游转发类型 1 配置事务。桥必须将该寄存器实现为读/写寄存器，并且复位后的默认状态必须为零。

#### Subordinate Bus Number Register

从属总线号寄存器用于记录桥后面（或从属）的最高编号 PCI 总线段的总线号。配置软件对该

寄存器中的值进行编程。桥接器将此寄存器与辅助总线编号寄存器结合使用，以确定何时响应主接

口上的类型 1 配置事务并将其传递到辅助接口。

该桥还使用辅助总线编号寄存器和从属总线编号寄存器来确定何时向上游转发类型 1 配置事务。桥

必须将此寄存器实现为读/写寄存器，并且复位后的默认状态必须为零。

#### Secondary Latency Timer Register

辅助延迟定时器寄存器遵循PCI 本地总线规范中延迟定时器的定义，但仅适用于桥接器的辅助接口。

在其辅助接口上支持两个以上数据阶段的突发传输的桥必须将辅助延迟定时器实现为读/写寄存

器。允许实现通过将低三位硬连线为 0 将粒度限制为 8 个 PCI 时钟。

不支持其上两个以上数据阶段的突发传输的桥

允许辅助接口将辅助延迟计时器硬连线至 16 或更小的值。如果作为读/写寄存器实现，则复位后

辅助延迟定时器的默认值必须为 0。

#### I/O Base Register and I/O Limit Register

表 3‑7 I/O Addressing Capability

|  |  |  |
| --- | --- | --- |
|  |  |  |
|  |  |  |
|  |  |  |

#### Secondary Status Register

表 3‑8 Secondary Status Registers

|  |  |  |
| --- | --- | --- |
|  |  |  |
|  |  |  |
|  |  |  |

#### Memory Base Register and Memory Limit Register

#### Prefetchable Memory Base Register and Prefetchable Memory Limit Register

#### Prefetchable Base Upper 32 Bits and Prefetchable Limit Upper 32 Bits Registers

#### I/O Base Upper 16 Bits and I/O Limit Upper 16 Bits Registers

#### Capabilities Pointer

#### Subsystem ID and Subsystem Vendor ID

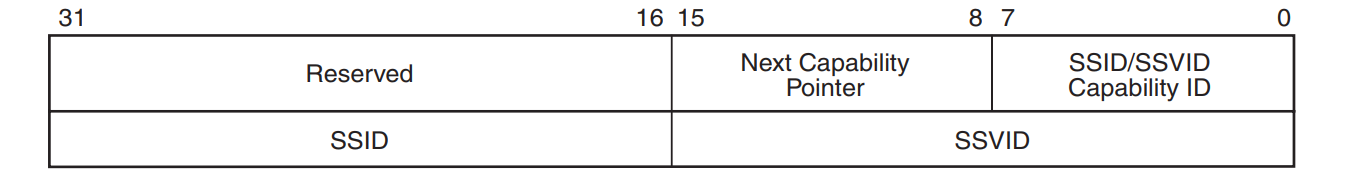


图 3‑3 Subsystem ID and Subsystem Vendor ID Capability List Item Format

表 3‑9 Subsystem ID and Subsystem Vendor ID Capability List Item

|  |  |  |
| --- | --- | --- |
|  |  |  |
|  |  |  |
|  |  |  |

#### Reserved Registers at 35h, 36h, and 37h

#### Expansion ROM Base Address Register

#### Interrupt Line Register

#### Interrupt Pin Register

#### Bridge Control Register

表 3‑10 Bridge Control Register

|  |  |  |
| --- | --- | --- |
|  |  |  |
|  |  |  |
|  |  |  |

### Slot Numbering Capabilities List Item

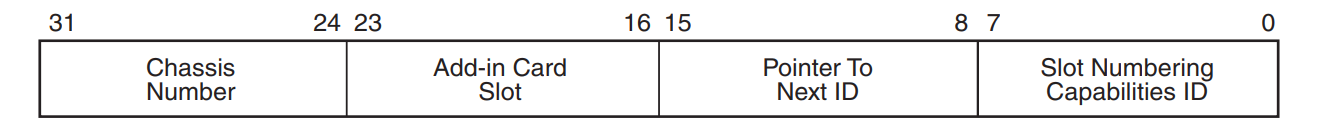


图 3‑4 Slot Numbering Capabilities Register

#### Slot Numbering Capabilities ID

#### Pointer to Next ID

#### Add-in Card Slot Register

表 3‑11 Add-in Card Slot Register

|  |  |  |
| --- | --- | --- |
|  |  |  |
|  |  |  |
|  |  |  |

#### Chassis Number Register